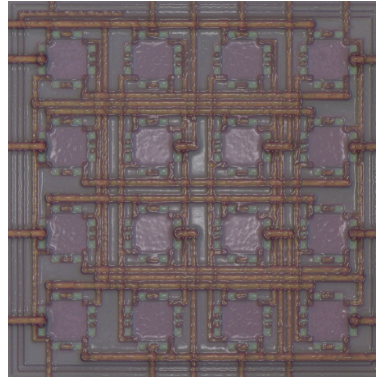


Diploma Thesis

CMOS Based Stress Sensors - Novel Experimental Setup and Devices

Christian Peters



Abstract

This diploma thesis reports the development and characterization of a novel experimental setup to apply compressive stress to silicon test chips. The principle of the experimental setup is similar to a vise, i. e., the test chip is compressed between two jaws. The force is applied by a piezo electrical actuator. Force values up to 400 N is applied to test chips with an edge length from 4 mm to 15 mm. The applied force value can be measured with a highly accurate quartz force sensor. For electrical contacting of the test chip a printed circuit board (PCB) was designed. A total number of 32 bond pads are available on the PCB which can be contacted using a wire bonding process. The influence of different jaw materials and protection layers on the stress distribution was investigated using three-dimensional (3D) finite element (FE) simulations. The maximum *von Mises* stress component on the chip dependent on the misalignment angle between test chip and jaws was also calculated using the 3D FE simulation. Several state-of-the-art measurement methods like a laser vibrometer are used for the characterization of the experimental setup. Different types of jaw materials and protection layers on the jaws were investigated. Scotch tape and Kapton foil are used as protection layers to protect the brittle silicon test chips from damage. The stiffness of the entire experimental setup and their parts were determined using a laser vibrometer and the force sensor. The stiffness of the mechanical parts is 4.18 N/ μm . The drift behavior of the quartz force sensor is determined to 2.8 fC/sec. Bending of the test chip during the application of force is measured using a laser profilometer. A two-dimensional analytic model is developed to calculate the stress value on the surface of the test chip including the applied force and the bending of the test chip.

Additionally, this diploma thesis reports on the design of a CMOS test chip including mechanical stress sensitive MOSFETs. These chips were manufactured in a 0.6 μm triple-metal double-poly CMOS process by *austriamicrosystems* AG. Beside several FETs with a novel channel geometry an array of 16 mechanical stress sensitive FETs is placed under a bondpad to measure the stress distribution during a wire bonding process. The total number of bondpads to contact the individual devices is reduced by using six 16:1 analog multiplexers. The faultless operation of the multiplexer was experimentally proved. Additionally, diffused resistor based Wheatstone bridges are placed to measure the stress distribution on the surface of the test chip. These structures measure mechanical stress using the piezoresistance effect in silicon which is briefly discussed in this thesis.

Zusammenfassung

Die vorliegende Diplomarbeit beschreibt die Entwicklung und Charakterisierung eines neuartigen Messaufbaus, mit dessen Hilfe kompressive mechanische Spannung auf Silizium-Testchips aufgebracht werden kann. Das Arbeitsprinzip dieses Messaufbaus ist vergleichbar mit dem eines Schraubstock, zwischen dessen Backen der Testchip zusammengedrückt wird. Die erforderliche Kraft wird mit einem piezoelektrischen Aktor aufgebracht. Kräfte bis 400 N können so an Testchips mit einer Kantenlänge zwischen 4 mm und 15 mm angelegt werden. Die aufgebrachte Kraft wird mit einem hochpräzisen Quartz-Kraftsensor gemessen. Für die elektrische Kontaktierung des Testchips wurde ein *Printed Circuit Board* (PCB) entworfen. Die 32 vom PCB zur Verfügung gestellten Bondpads können mit einem Drahtbond-Prozess kontaktiert werden. Der Einfluß verschiedener Backenmaterialien und verschiedener Schutzschichten auf den Backen ist mit einer dreidimensionalen (3D) Finite Elemente (FE) Simulation untersucht worden. Ebenso wurde die maximal auftretende *von Mises*-Vergleichspannung in Abhängigkeit von der Fehlausrichtung zwischen Testchip und Backen mit dieser FE-Simulation untersucht. State-of-the-art Messmethoden wurden für die Charakterisierung des Messaufbaus eingesetzt. Untersucht wurden der Einfluss unterschiedlicher Backenmaterialien und Schutzfolien auf die Testchips. Tesafilm und Kapton Folie wurden verwendet, um den spröden Silizium Chip vor Beschädigung zu bewahren. Die Steifigkeit des gesamten Messaufbaus und einige seiner Einzelkomponenten wurden mit einem Laser-Vibrometer und dem Kraftsensor untersucht. Die Steifigkeit der mechanischen Komponenten des Messaufbaus wurde zu 4.18 N/ μ m ermittelt. Die Messung des zeitlichen Drifts des Quartz-Kraftsensors ergab 2.8 fC/sec. Die Durchbiegung des Testchips durch das Anlegen von kompressiver Spannung wurde mit einem Laserprofilometer gemessen. Ein zweidimensionales analytisches Modell wurde entwickelt, um die mechanische Spannung auf der Oberfläche des Testchips in Abhängigkeit der angelegten Kraft und der Durchbiegung zu berechnen.

Darüber hinaus beschreibt diese Diplomarbeit den Entwurf eines CMOS-Testchips mit MOSFETs, die auf mechanische Spannungen sensitiv sind. Diese Testchips wurden in einem 0.6 μ m CMOS-Prozeß (triple-metal, double-poly) von *austriamicrosystems* gefertigt. Neben einigen FETs, die eine neuartige Kanalgeometrie besitzen, wurden 16 FETs unter einem Bondpad plaziert, um die auftretende Stressverteilung bei einem Drahtbond-Prozeß zu ermitteln. Die Gesamtzahl der Bondpads, die erforderlich sind um die Bauteile zu kontaktieren, wurde mit sechs analogen 16:1 – Multiplexern reduziert. Die korrekte Funktionsweise des Multiplexer wurde experimentell nachgewiesen. Zusätzlich wurden Wheatstone-Brücken, die auf diffundierten Widerständen basieren, integriert, um die mechanische Spannungsverteilung auf dem Testchip zu messen. Diese Strukturen nutzen den piezoresistiven Effekt von Silizium, der in dieser Arbeit ebenfalls kurz beschrieben wird.

For further information, please contact:

Michael Doelle
Institute for Microsystem Technology IMTEK
Microsystem Materials Laboratory MML
Georges-Koehler Allee 103
79110 Freiburg, Germany
phone ++49/761-203-7193
fax ++49/761-203-7192
e-mail doelle@imtek.de