

PRAKTIKUM - ELEKTRONIK - VERSUCH 10

Sequentielle Schaltungen

Betreuer:

J. Becker / C. Peters

jobeck@imtek.de / peters@imtek.de

0761/203-7593 / -7514

Praktikum Elektronik WS04/05

Versuch 10 – Seq. Schaltungen

Gruppe

Name

Matrikelnummer

Datum des Versuchs

Bewertung

.....

.....

.....

.....

.....

.....

.....

.....

Korrektur bis **Unterschrift**

Testat

Datum **Unterschrift**

Keine Bewertung der Ausarbeitung ohne dieses Deckblatt!



PRAKTIKUM - ELEKTRONIK - VERSUCH 10

Einführung

Der zehnte Versuch des Elektronikpraktikums befasst sich mit sequentiellen Schaltungen und Automaten. Sequentielle Schaltungen sind ein wichtiger Bestandteil heutiger digitaler Schaltungen, da sie es ermöglichen, logische Werte temporär zu speichern. In den meisten Anwendungen werden Latches/Flip-Flops mit logischen Gattern kombiniert, um so leistungsstarke Schaltungen zu erhalten.

Das Praktikum umfasst fünf Bereiche. Der erste befasst sich mit verschiedenen Arten von Latches und Flip-Flops. Im zweiten und dritten Teil werden diese Bauteile dann genutzt, um asynchrone und synchrone Zähler aufzubauen. Die Schaltungen werden im Vorfeld wieder mit dem Simulationstool *PSpice* simuliert. Im vierten Teil werden Schieberegister durchgenommen. Der letzte Teil behandelt das wichtige Thema Automaten, wobei wir uns hier auf Moore und Mealy Automaten beschränken.

Verwenden Sie die Graphen und Zeitdiagramme die in **Anhang A** gegeben sind und geben Sie diese Blätter ausgefüllt ab.

Ausschnitte der Datenblätter befinden sich im **Anhang B**.

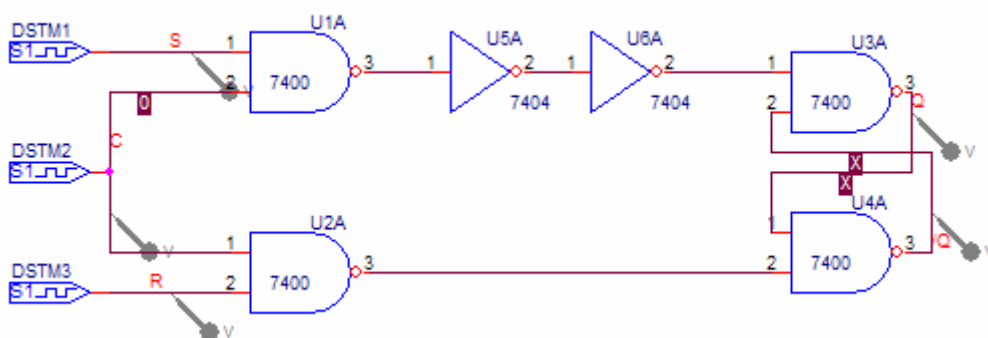
Let's get it on...

I. Latches und Flip-Flops



→ Vorbereitung:

- Beschreiben Sie den Unterschied zwischen einem Latch und einem Flip-Flop. Vervollständigen Sie das Zeitdiagramm in Abbildung 6 (Anhang A) und geben Sie es ab.
- Beschreiben Sie Stichwortartig die Unterschiede zwischen den wichtigsten Flip-Flop und Latch Typen (RS-Latch, D-Latch, JK-Flip-Flop). Geben Sie auch die Wahrheitstabellen und die Symbole mit an.
- Simulieren Sie die in Abbildung 1 gezeigte Schaltung ohne die Inverter (7404) mit *PSpice* unter Verwendung der gegebenen Stimuli. Bezeichnen Sie die Leitungen mit dem Befehl *Place* → *Net Alias* entsprechend. Realisieren Sie die Eingänge mit *DSTM*-Quellen. Mit einem Doppelklick können Sie die Stimuli unter *Command1* bis *Command16* vorgeben. Geben Sie *Xs* *Y* ein, wobei *X* die Zeit und *Y* den digitalen Wert angibt. In Tabelle 1 sind die Werte für die Clock *C* für die ersten 5 Sekunden dargestellt. Setzen Sie die *Volt/Level Marker* in der Reihenfolge *C*, *S*, *R*, *Q*, */Q*. Führen Sie eine *Transient Simulation* durch (*TStop=25s*). Was fällt Ihnen auf? Geben Sie das Zeitdiagramm ab. Fügen Sie nun die beiden Inverter (7404) ein und simulieren Sie erneut. Was sehen Sie jetzt? Geben Sie auch diesen Ausdruck mit ab und begründen Sie den Unterschied.
- Leider ist der Versuch mit LEDs auf sich aufmerksam zu machen fehlgeschlagen und Sie befinden sich immer noch auf der einsamen Insel. An einem wunderschönen Freitagmorgen finden Sie nicht ihren Kumpel Freitag, sondern die in Abbildung 2 gezeigte Schaltung. Um was handelt es sich hierbei? Stellen Sie die Wahrheitstabelle auf und betrachten Sie besonders den Zustand $C=R=S=1$. Was kann passieren und wozu könnten die Delays gut sein?



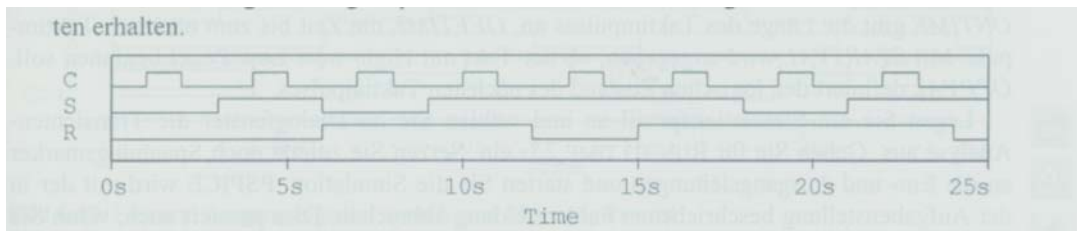


Abbildung 1: Schaltung I.1.c.

COMMAND1	COMMAND2	COMMAND3	COMMAND4
0s 0	1s 1	2s 0	4s 1

Tabelle 1: Stimuli der Clock C für die ersten 5 Sekunden.

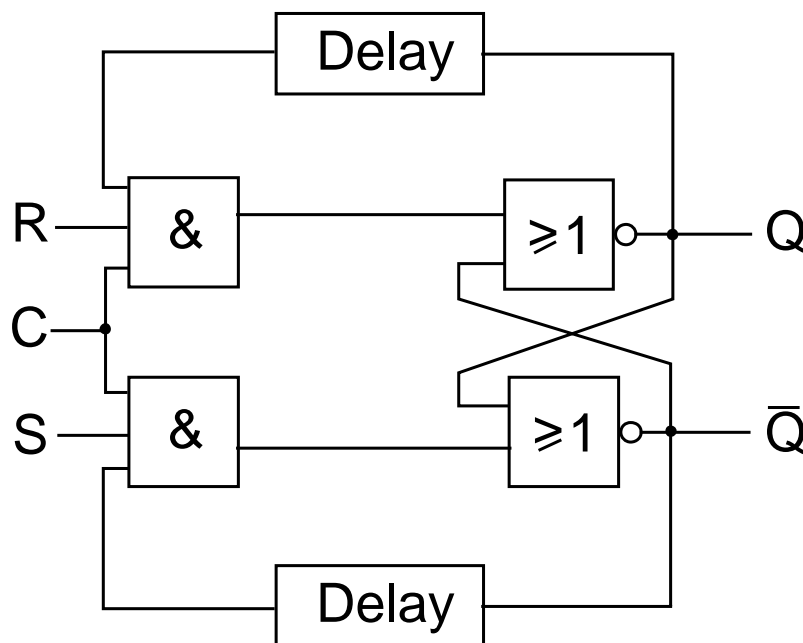


Abbildung 2: Unbekannte Schaltung.

→ Durchführung:

- a) Bauen Sie ein RS-Latch aus NOR Gattern (4001 BE CMOS) auf. Verwenden Sie geeignete Eingangsspannungen wie Sie es im ersten Digital Praktikum gelernt haben. Verwenden Sie das Digital Board zum Setzen der Eingangssignale und zur Darstellung der Ausgänge. (Das Board wird Ihnen an Anfang des Versuches erklärt). Stellen Sie die Wahrheitstabelle auf.



- b) Erweitern Sie die Schaltung zu einem D-Latch. Es stehen Ihnen NOR (4001) und NAND (4001) CMOS Gatter zur Verfügung. Schließen Sie den Eingang (D) an den Funktionsgenerator an und wählen Sie eine geeignete Kurvenform, Amplitude, Frequenz und **Offset!** Beobachten Sie die Ausgänge mit dem Oszilloskop. Skizzieren Sie das Ergebnis.
- c) Ändern Sie die Frequenz auf 100kHz, 500kHz und 1MHz. Skizzieren Sie jeweils was Sie beobachten.

II. Asynchrone Zähler

→ Vorbereitung:

- a) Nennen Sie den wesentlichen Unterschied zwischen einem asynchronen und einem synchronen Zähler. Welche Vor- und Nachteile haben die einzelnen Zählerarten.
- b) Entwickeln Sie einen BCD-Vorwärtszähler mit T-Latches die über negierte Rücksetzeingänge verfügen (siehe Abbildung 3). Neben den T-Latches stehen ihnen nur NAND Gatter zur Verfügung.
- c) Wie sieht die Beschaltung eines 3-Bit-Dual-Vorwärtszählers mit JK-FF aus?

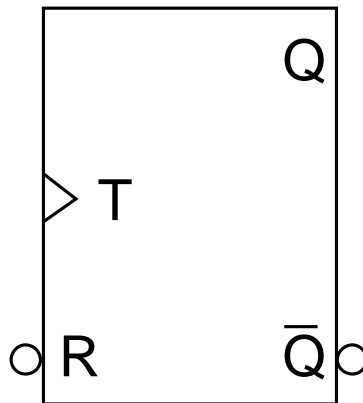


Abbildung 3: T-Latch mit neg. Rücksetzeingang.

→ Durchführung:

- a) Bauen Sie den 3-Bit-Dual-Vorwärtszähler mit JK-FF aus II.c auf. Entnehmen Sie das Eingangssignal wieder dem Funktionsgenerator. Die Ausgänge schließen Sie an die Digitalanzeige des Digital Boards an. Zeigen Sie ihrem Betreuer, dass der Zähler korrekt arbeitet!!!



III. Synchrone Zähler

→ Vorbereitung:

- Entwerfen Sie einen 3-Bit-Dual-Vorwärtszähler mit JK-FF. Wie ist die allgemeine Beschaltung der Eingänge für Zähler höherer Bitzahl?
- Entwerfen Sie einen synchron Zähler mit D-Latches. Die Zählfolge soll dabei (001→101→110→010→011→111) zyklisch durchlaufen. Füllen Sie dafür die Wahrheitstabelle 2 (Anhang) vollständig aus. Geben Sie die logischen Funktionen für D0 bis D2 an. Minimieren Sie diese Funktionen mit Hilfe von KV-Diagrammen (Abbildung 7). Vervollständigen Sie den Zähler in Abbildung 8.

→ Durchführung:

- Bauen Sie den 3-Bit-Dual-Vorwärtszähler wie er in Abbildung 4 gegeben ist auf. Verwenden Sie 74LS73 (JK) und 4011 (NAND) Bausteine. Entnehmen Sie das Eingangssignal wieder dem Funktionsgenerator. Die Ausgänge schließen Sie an die Digitalanzeige des Digital Boards an. Zeigen Sie ihrem Betreuer, dass der Zähler korrekt arbeitet !!!

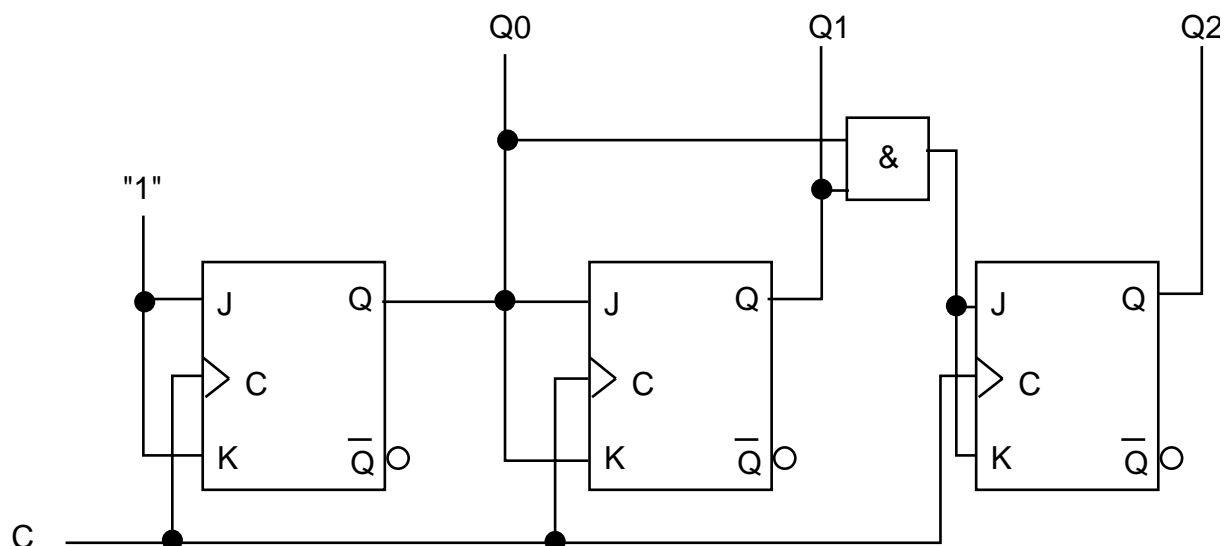


Abbildung 4: 3-Bit Dual-Vorwärtszähler.

IV. Schieberegister

→ Vorbereitung:

- a) Stellen Sie die verschiedenen Lade- und Entladearten von Schieberegistern dar. Welche Anwendungen finden Schieberegister?

→ Durchführung:

- a) Bauen Sie das in Abbildung 5 gegebene Schieberegister auf (SN74LS74A). Geben Sie den Input Manuel vor und zeigen Sie die Ausgänge mit Hilfe der LEDs des Digital Boards an. Zeigen Sie das Schieberegister ihrem Betreuer!

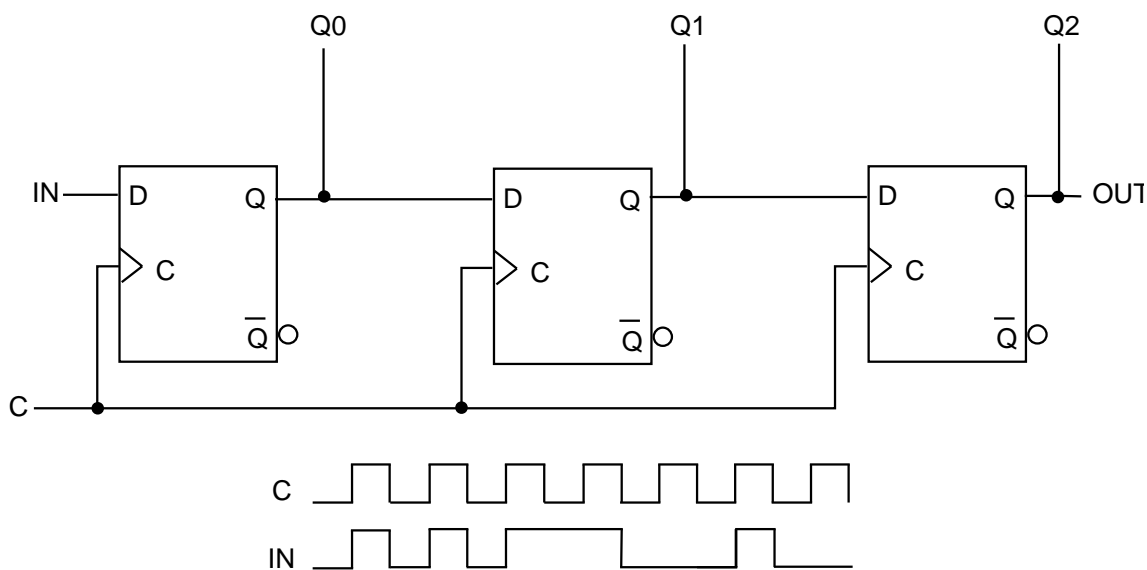


Abbildung 5: Schieberegister.

V. Automaten

→ Vorbereitung:

- a) Skizzieren Sie den schematischen Aufbau eines Moore- und eines Mealy- Automaten. Beschreiben Sie kurz die Eigenschaften mit ihren eigenen Worten. Kann man beide Typen ineinander Überführen? Welche Probleme könnten dabei auftreten?
- b) Es soll folgender Automat entworfen werden: Der Ausgang out soll den Wert vom Eingang in annehmen, wenn dieser dreimal hintereinander einen identischen Wert hatte. Zu Beginn steht der Ausgang auf logisch Null. Ist ein Moore- oder ein Mealy-Automat sinnvoll? Begründen. Geben Sie das Zustandsdiagramm an. Was könnte die Funktion dieses Automaten sein?



Anhang A:

Zeitdiagramm zu Aufgabe I.b



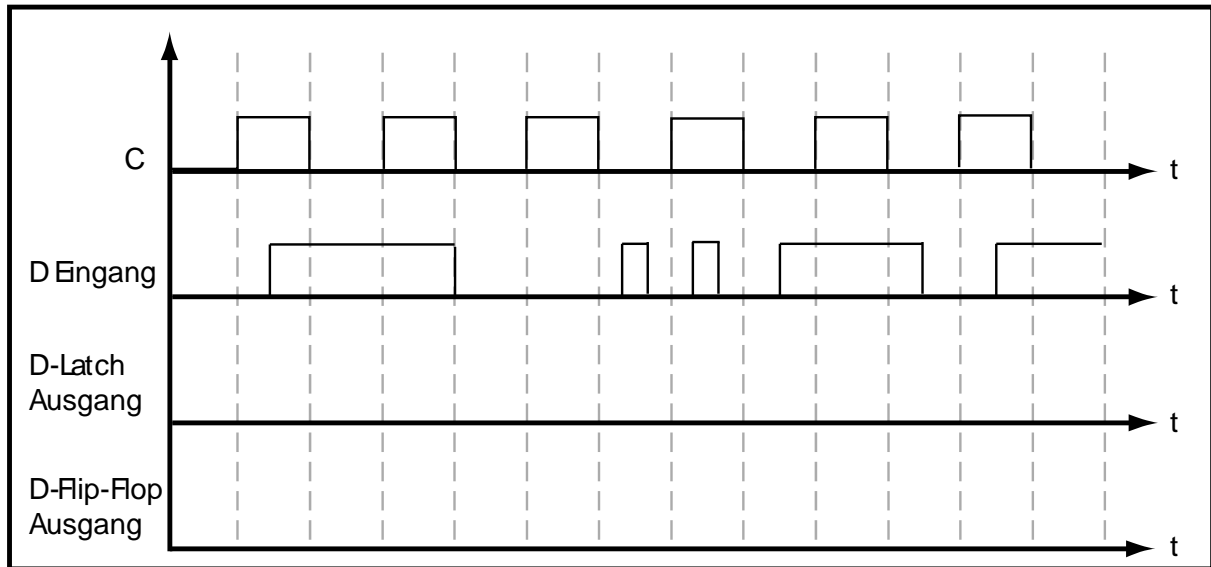


Abbildung 6: Zeitdiagramm zu Aufgabe I.b

Aufgabe III.b

t_n			t_{n+1}					
Q2	Q1	Q0	Q2	Q1	Q0	D2	D1	D0
0	0	1	1	0	1	1	0	1
1	0	1						
1	1	0						
0	1	0						
0	1	1						
1	1	1						

Tabelle 2: Wahrheitstabelle Zähler

KV-Diagramme:



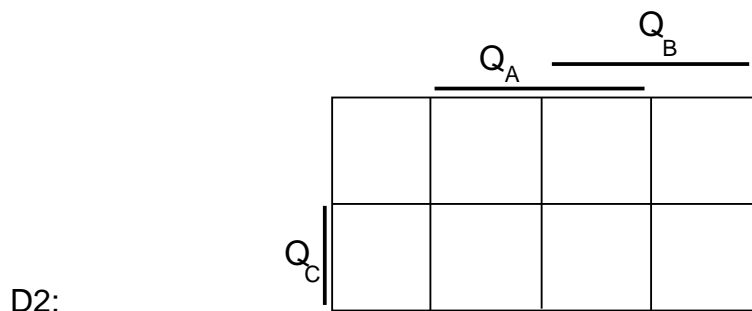
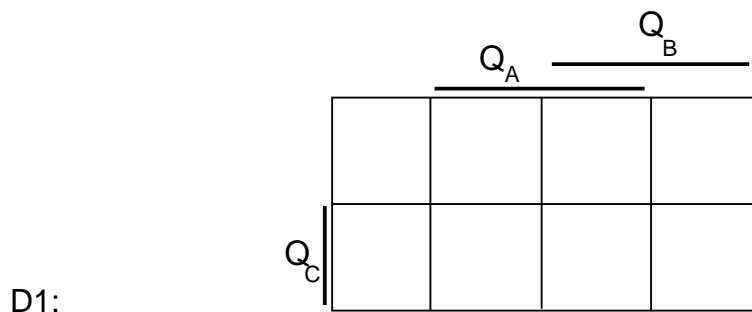
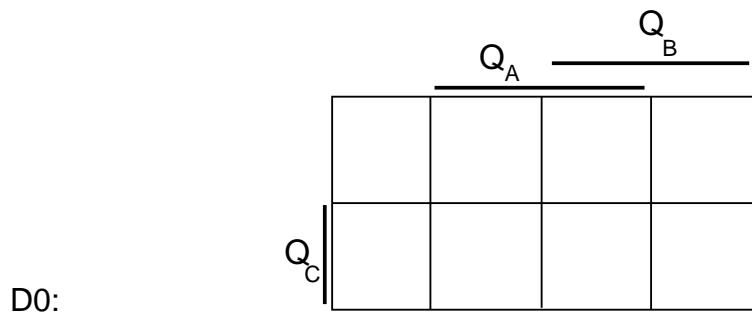


Abbildung 7: KV Diagramme

Synchroner Zähler:

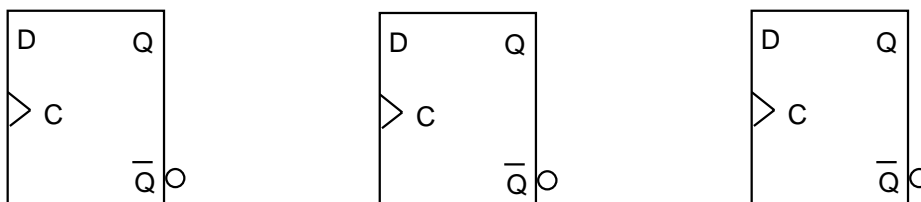


Abbildung 8: Synchroner Zähler

Anhang B Datenblätter (Ausschnitt):



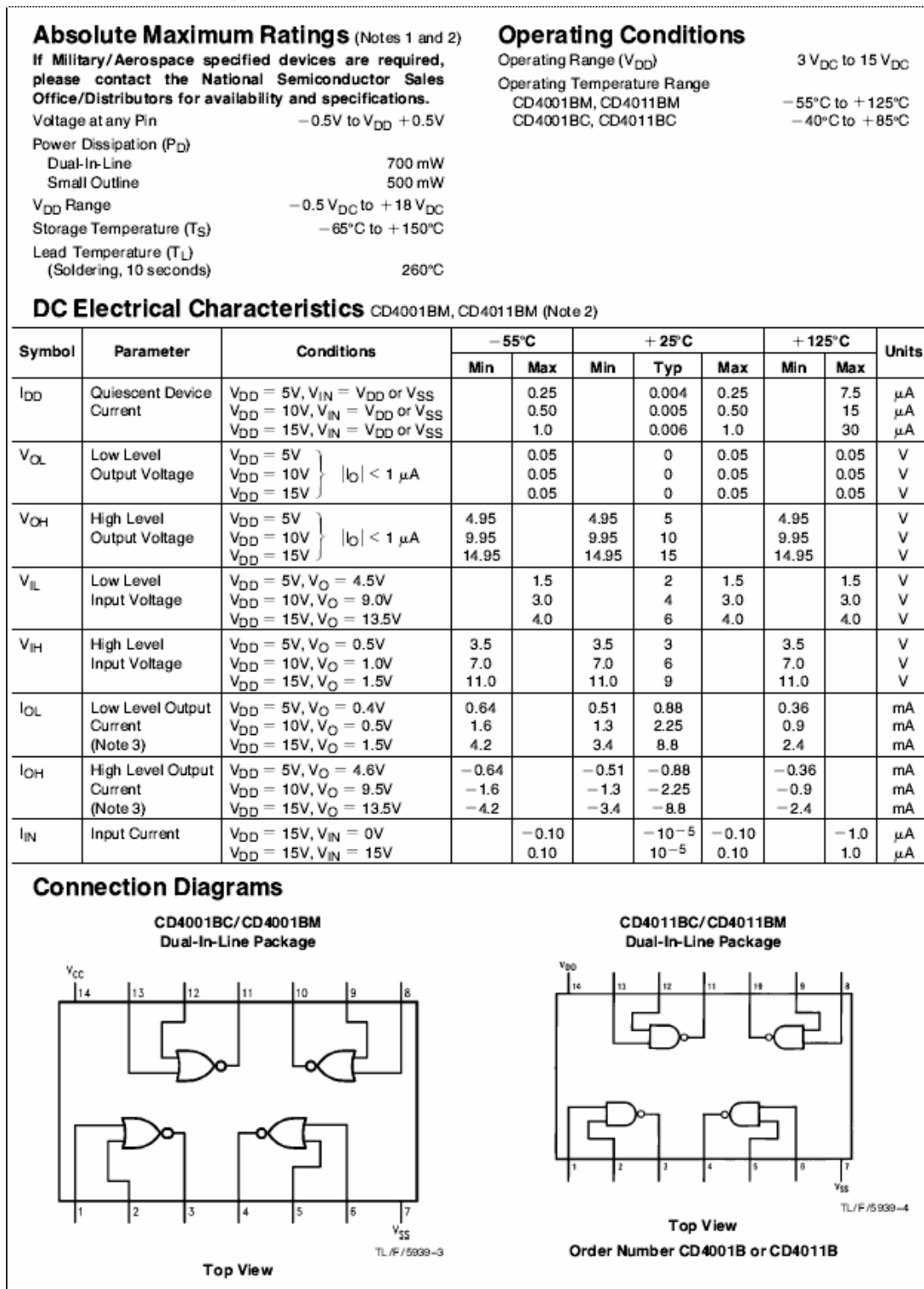


Abbildung 9: 4001 und 4011

SN5473, SN54LS73A, SN7473, SN74LS73/ DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1981

- Package Options Include Plastic "Small Outline" Packages, Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

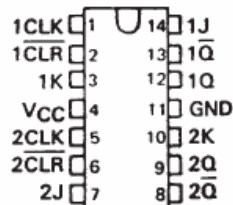
description

The '73, and 'H73, contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '73, and 'H73, are positive pulse-triggered flip-flops. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS73A contains two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the \bar{Q} output high.

The SN5473, SN54H73, and the SN54LS73A are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7473, and the SN74LS73A are characterized for operation from 0°C to 70°C .

SN5473, SN54LS73A . . . J OR W PACKAGE
SN7473 . . . N PACKAGE
SN74LS73A . . . D OR N PACKAGE
(TOP VIEW)



73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q_0	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	TOGGLE
H	\downarrow	H	H	Q_0	\bar{Q}_0

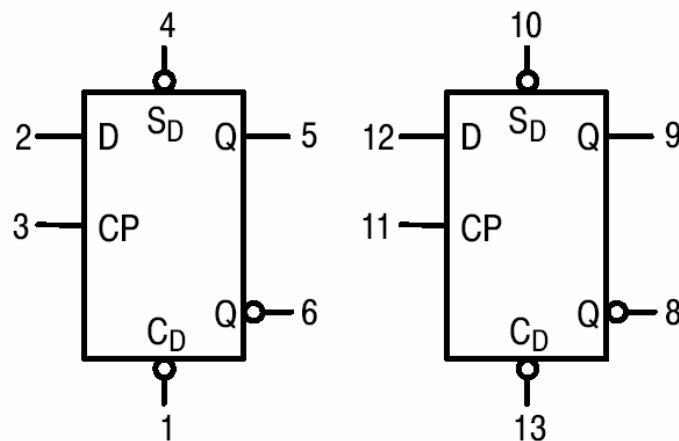
'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q_0	\bar{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	TOGGLE
H	\downarrow	H	H	Q_0	\bar{Q}_0

FOR CHIP CARRIER INFORMATION,
CONTACT THE FACTORY

Abbildung 10: JK 74LS73

LOGIC SYMBOL



V_{CC} = PIN 14
 GND = PIN 7

MODE SELECT – TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	\overline{S}_D	\overline{C}_D	D	Q	\overline{Q}
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both \overline{S}_D and \overline{C}_D are LOW, but the output states are unpredictable if \overline{S}_D and \overline{C}_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH} .

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Don't Care

l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

Abbildung 11: D 74LS74

