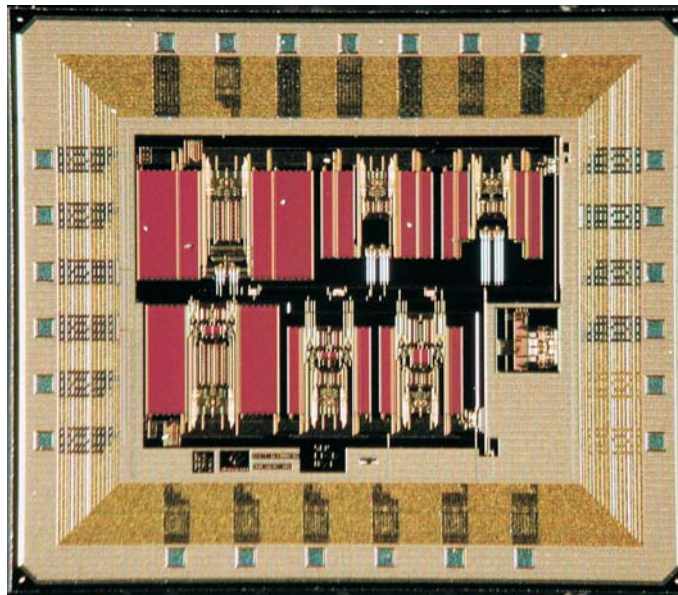


CMOS ANALOGE SCHALTUNGEN

Y. MANOLI



V 1.0 ©März 2002

LEHRSTUHL FÜR MIKROELEKTRONIK
ALBERT-LUDWIGS-UNIVERSITÄT FREIBURG
GEORGES-KÖHLER-ALLEE 102
79110 FREIBURG

Danksagung

Hiermit sei Herrn Dipl.-Ing. Stefan *Jewie* Groß für die Ausarbeitung dieses Skriptes gedankt.

Inhaltsverzeichnis

1	Einführung in die Analogtechnik	7
2	MOS-Technologie	11
2.1	Eigenschaften von bipolarer und MOS-Technologie in analogen Schaltungen	11
2.2	Bauelemente in MOS-Technologie	12
2.2.1	Dioden	12
2.2.2	Widerstand	13
2.2.3	Kapazitäten	15
2.2.4	Transistor	17
2.3	Funktionale Sicht des Transistors	18
2.3.1	Bereiche des Transistorbetriebs	18
2.3.2	Berücksichtigung der Kanalverkürzung	22
3	MOS-Transistoren in Schaltungen	23
3.1	Inverter	23
3.2	Kleinsignalverhalten	27
3.2.1	Abhängigkeit von der Source-Bulk-Spannung U_{SB}	30
3.2.2	Innere Verstärkung des Transistors	32
3.2.3	Admittanzparameter	32
3.3	Zweistufiger Verstärker	34
3.4	Die Differenzstufe	34
3.4.1	Aussteuerungsbereich (Großsignalverhalten)	37
3.4.2	Kleinsignalverhalten	39
3.5	Transistoren als Widerstände	45
3.5.1	n-Kanal-Transistor als Diode	46

3.5.2	p-Kanal-Transistor als Diode	47
3.5.3	Transistor mit festem U_{GS}	49
3.5.4	Zweiter Transistor aktiv	50
3.6	Stromquellen	51
3.6.1	Feste Spannungsquelle	51
3.6.2	Stromspiegel	52
3.6.3	Widlar-Stromquelle	56
3.6.4	Stromspiegel-Kaskode	59
3.6.5	Wilson-Stromquelle	59
3.6.6	Stromspiegel mit p-Kanal-Transistoren	65
3.7	Inverter und Differenzstufe mit Stromspiegel	65
3.8	Ausgangsstufen	72
3.8.1	Source-Folger	73
3.8.2	Ausgangsbereich des Source-Folgers	75
3.9	Gesamtaufbau	78
4	Parasitäre Kapazitäten	82
4.1	Kapazitäten eines Transistors	82
4.1.1	Kleinsignalersatzschaltbild	86
4.2	Frequenzgang	89
4.2.1	Beschreibung im Frequenzbereich	89
4.2.2	Anwendung auf einen Transistor	94
4.2.3	”Schein”-Eingangsimpedanz	96
5	Einstufiger Verstärker	105
5.1	Aufbau	105
5.1.1	Eingangsstufe	105
5.1.2	Ausgangsstufe	107
5.2	Wirkung der Kapazitäten	111
5.2.1	Pole	112
5.2.2	Nullstellen	114

6	Zweistufiger Verstärker	120
6.1	Allgemeine Betrachtungen	121
6.1.1	Pole	123
6.1.2	Nullstellen	126
6.2	Zusammenwirken von Polen und Nullstellen	126
6.3	Wichtige Verstärkerparameter	130
6.3.1	CMRR	130
6.3.2	PSRR	131
6.3.3	Slew Rate	132
6.3.4	Leistungsbandbreite	135
6.3.5	Offset-Spannung	136
6.3.6	Rauschen	137
6.3.7	Verlustleistung	138
6.4	Parameter eines Operationsverstärkers	139
7	Schalter-Kondensator-Technik	142
7.1	Typische Verstärkerschaltungen	142
7.1.1	Verstärker	142
7.1.2	Integrator	143
7.2	Schaltungen in Schalter-Kondensator-Technik	144
7.2.1	Integrator in SC-Technik	145
7.2.2	Parasitäre Kapazitäten	146
7.2.3	Integrator mit Summen	148
7.2.4	Berücksichtigung der Taktfrequenz	149
7.2.5	Verstärker	150
7.2.6	Verstärker mit Summen	151
7.2.7	Nichtidealitäten	152
8	A/D - D/A - Wandler	154
8.1	D/A-Wandler	155
8.1.1	Fehler	155
8.2	Realisierungen	156
8.2.1	Widerstandskette als Spannungsteiler	156
8.2.2	Stromteiler	157

8.2.3	R2R-Netzwerk	159
8.2.4	Inverses R2R-Netzwerk	160
8.2.5	Realisierung mit Stromquellen	161
8.2.6	Verwendung von Kapazitäten	162
8.2.7	Realisierung mit weniger Kapazitäten	164
8.3	Serielle D/A-Umsetzer	165
8.3.1	Pipeline	167
8.4	A/D-Wandler	168
8.4.1	Paralleler A/D-Umsetzer	168
8.4.2	2-stufiger Parallelumsetzer	169
8.4.3	Zählverfahren	170
8.4.4	Sukzessive Approximation	171
8.4.5	Zyklischer Umsetzer	171
8.4.6	Single Slope Umsetzer	172
8.4.7	Dual Slope Umsetzer	173
8.5	Aufbau eines Komparators	174
9	Zusammenfassung	177

Kapitel 1

Einführung in die Analogtechnik

Digitale Schaltungen sind in den letzten Jahren immer leistungsfähiger, schneller und billiger geworden, und es ist zu erwarten, daß dieser Trend noch anhält. Dennoch werden auch in Zukunft analoge Schaltungen unentbehrlich bleiben, da physikalische Signale analog vorliegen (z.B. Sprache oder Bilder). Für die Umwandlung werden A/D-Wandler benötigt; oft ist am Ende ein D/A-Wandler einzusetzen, wenn auch das Ausgangssignal analog vorliegen soll (z.B. Musik von einer CD). Zur Übertragung von Signalen werden Modulatoren, Filter und Demulatoren verwandt.

Diese Anwendungen betreffen in erster Linie Schnittstellenschaltungen, aber bei einfachen Funktionen erweist es sich als günstig, die ganze Signalverarbeitung auf rein analoger Ebene durchzuführen. Ein neuer Trend zur Schaltungsentwicklung ist das Analog-VLSI. Dabei nutzt man die VLSI-Eigenschaften, um viele analoge Komponenten - oft in Form eines Arrays - monolithisch zu integrieren und somit parallele Verarbeitung zu ermöglichen.

Typische Anwendungen analoger Schaltungen sind:

- Schnittstellen-Schaltungen
 - Verstärkung
 - Filter
 - Modulation/Demodulation
 - Analog/Digital-Wandlung
 - Digital/Analog-Wandlung
- Signalverarbeitung
 - Einfache Funktionen
- Analog VLSI
 - Präzision durch massiv parallele Verarbeitung ersetzen

Der Aufwand von analogen und digitalen Schaltungen wird in Bild 1.1 qualitativ dargestellt. S/N ist der Signal-Rausch-Abstand und somit ein Maß für die Qualität der Signalverarbeitung. I.Allg. läßt sich eine größere Bandbreite nur durch höheren Stromverbrauch erzielen. Entsprechend kann man den Quotienten P/f (Leistung/Bandbreite) zur Abschätzung des Aufwands bzw. der Chipfläche verwenden.

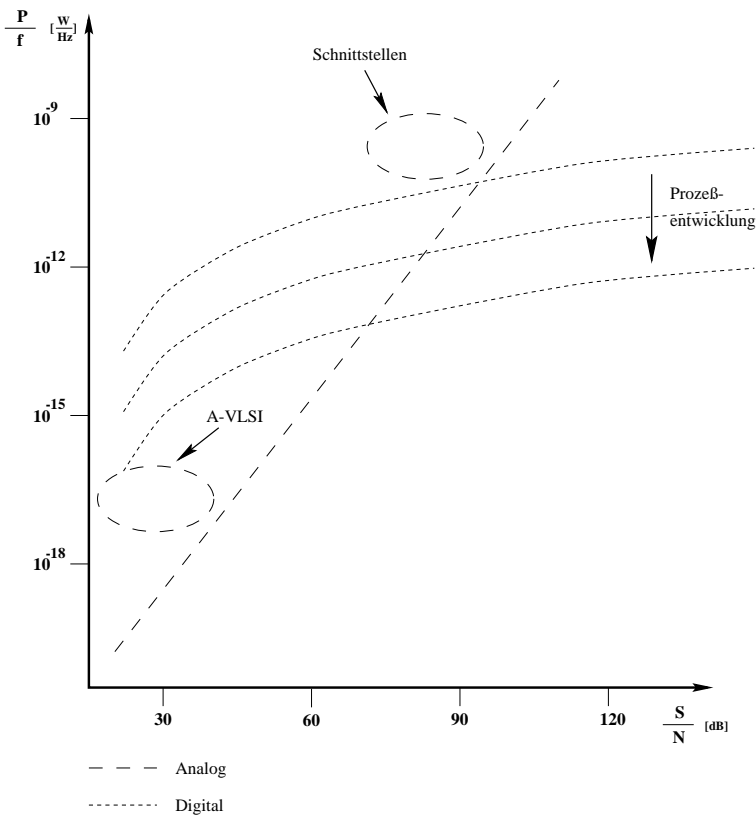


Abbildung 1.1: Aufwand digitaler und analoger Schaltungen

Für analoge Schaltungen gilt theoretisch:

$$P_{min} = 8 \cdot f \cdot k \cdot T \cdot SNR \quad (1.1)$$

mit:

- f : Bandbreite
- k : Boltzmann-Konstante
- T : Temperatur
- SNR : Signal to noise ratio

Entsprechend ergibt sich in Bild 1.1 eine Gerade. Diese Formel beschreibt allerdings den Idealfall, in der Realität sind diese Werte nicht erreichbar und befinden sich auf der linken Seite der Geraden, d.h. der Aufwand ist höher.

Mit Analog-VLSI wird der untere Bereich für Probleme genutzt, bei denen eine hohe Dynamik sinnvoller als ein hohes SNR ist. Als Beispiel betrachte man das menschliche Auge oder Ohr: Bei beiden Organen ist die Auflösung nicht sonderlich hoch, was aber durch eine hohe Dynamik (Anpassung an Lautstärke bzw. Entfernung/Helligkeit) ausgeglichen wird.

Für digitale Schaltungen (CMOS) gibt folgende Gleichung die Leistung an:

$$P = f \cdot M \cdot E \quad (1.2)$$

mit:

- f : Bandbreite
- M : Mittelwert der Anzahl schaltender Gatter
- E : Energie/Schaltvorgang

Die Abhängigkeit der Leistung von der Frequenz wird in der Vorlesung Mikroelektronik I behandelt. Der Mittelwert M ergibt sich, da bei CMOS fast nur bei Schaltvorgängen Energie verbraucht wird.

Ein höheres SNR kann durch Verwendung von mehr Bits bei der Abtastung erreicht werden. Dabei führt die Erhöhung der Bitanzahl um 1 zu einer Verdopplung der Genauigkeit; daher der nichtlineare Zusammenhang in Bild 1.1. Durch die fortschreitende Verfeinerung der Technologie wird die Kurve weiter abgesenkt. Die folgende Tabelle vergleicht analoge und digitale Schaltungen.

digital		analog
Zahlen diskret diskret wählbar (Wortbreite) Schalter	Signaldarstellung Zeit Amplitude Präzision Transistor	phys. Werte (U,I,...) kontinuierlich kontinuierlich aufwendig aktives Bauelement
<ul style="list-style-type: none"> • VLSI-Prozesse optimiert für digitale Schaltungen • CAD hauptsächlich für digitale Schaltungen entwickelt • komplexe Algorithmen • Software programmierbar (flexibel) • unempfindlich gegenüber Rauschen, Temperaturveränderung, Prozeßschwankungen • Langzeitspeicherung 	Vorteile	<ul style="list-style-type: none"> • hohe Funktionsdichte ⇒ geringe Chipgröße • Rundung und Begrenzung nicht notwendig • Schnittstellen zur "realen" Welt • "geringer" Leistungsverbrauch

Es ist schwierig abzuwägen, welche Art von System besser geeignet ist. Bild 1.2 zeigt für beide Fälle den strukturellen Aufbau.

Je weiter sich die digitalen Prozessoren entwickeln, desto mehr weitet sich der digitale Anteil am Prozeß aus: Während früher vor dem A/D-Wandler analoge Komponenten zur Filterung und Verstärkung eingesetzt wurden, wird das heute meist von der digitalen Seite übernommen. Durch die in der Realität vorliegenden Probleme wird die Analogtechnik aber weiterhin ihren Platz behalten. Jedoch wachsen die Ansprüche an die analogen Elemente mit der Verbesserung der digitalen Prozessoren.

Die meisten Anwendungen für analoge Techniken liegen in der Medizin-, Automobil- und Luftfahrttechnik; aber auch in der Datenverarbeitung werden analoge Komponenten benötigt (Netzteile, Monitore, ...).

Bei manchen dieser Systeme sind mikromechanische Komponenten erforderlich, die zusätzliche Prozeßschritte erforderlich machen (Bsp.: Drucksensor als Polysilizium-"Topf" realisiert). Das erhöht die Maskenkomplexität

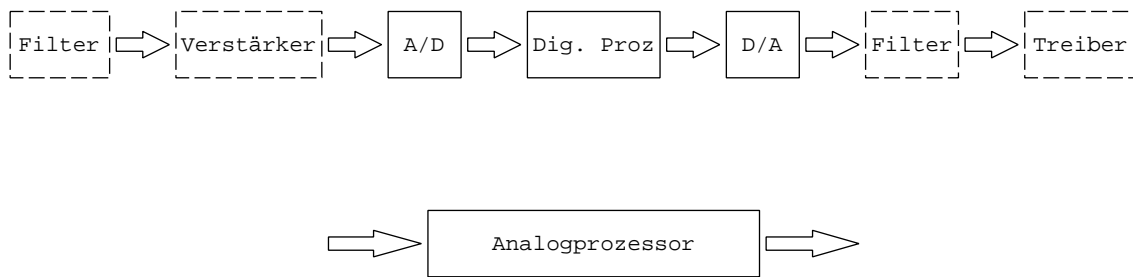


Abbildung 1.2: Struktur von digitalen und analogen Systemen

von ca. 16 Masken (CMOS) bzw. 20 Masken (analog) auf ca. 25 Masken. Da mit steigender Zahl der Prozessschritte die Ausbeute an funktionstüchtigen Schaltungen exponentiell fällt, führt das mindestens zu einer Verdoppelung des Preises.

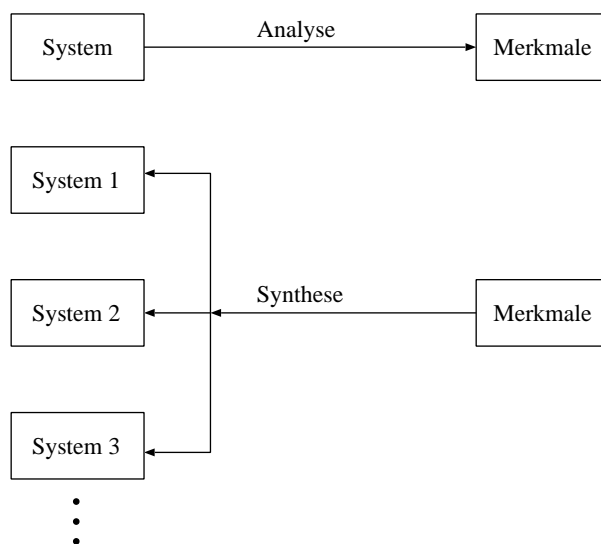


Abbildung 1.3: Analyse und Synthese analoger Schaltungen

In dieser Vorlesung werden zwei Vorgehensweisen dargestellt. Zuerst werden Schaltungen analysiert und ihre Merkmale bestimmt. Darauf aufbauend wird gezeigt, wie gemäß vorgegebener Spezifikationen Schaltungen entworfen bzw. modifiziert werden können. Diese Synthese ist kein eindeutiger Vorgang und wird von jedem Analogdesigner anders vorgenommen werden.

Kapitel 2

MOS-Technologie

2.1 Eigenschaften von bipolarer und MOS-Technologie in analogen Schaltungen

In den letzten Jahren konzentrierte sich der Entwurf analoger Schaltungen fast ausschließlich auf bipolare Schaltungen; dies ändert sich jedoch durch Fortschritte in der MOS-Technologie. Im folgenden werden die Unterschiede zwischen bipolarer und MOS-basierter analoger Schaltungstechnik anhand des elementaren Bausteins Operationsverstärker verglichen. Bild 2.1 zeigt einen OPAMP als Spannungsfolger.

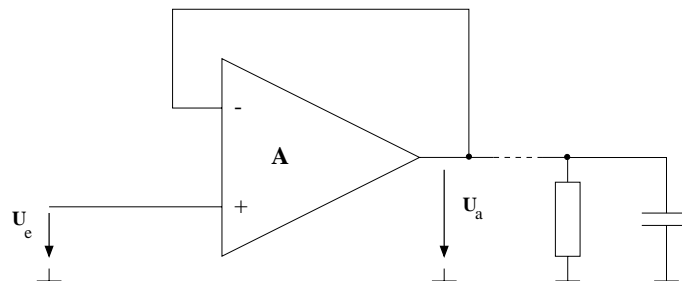


Abbildung 2.1: OPAMP als Spannungsfolger

Für diese Schaltung gilt:

$$\frac{U_a}{U_e} = \frac{1}{1 + \frac{1}{A}} \quad (2.1)$$

mit:

U_e : Eingangsspannung

U_a : Ausgangsspannung

A : Leerlaufverstärkung des OPAMPs

Einen Wert möglichst nahe an 1 erhält man durch eine möglichst große Leerlaufverstärkung; das ist in bipolarer Technik besser zu erreichen. Desweiteren kann ein bipolarer OPAMP wegen der höheren Treiberleistung am

Ausgang bei erheblich kleineren Widerständen ein gutes Ausgangssignal liefern. Dagegen beeinflusst die hohe Eingangsimpedanz bei MOS das Eingangssignal weniger.
 Einen Überblick über die Vorteile beider Technologien liefert die folgende Tabelle.

Bipolar	MOS
hohe Verstärkung hohe Bandbreite hohe Treiberleistung	hohe Eingangsimpedanz hohe Integrationsdichte ⇒ mixed signal (analog + digital auf einem Chip) leicht machbar

Entsprechend empfehlen sich beide Technologien für verschiedene Anwendungsgebiete:
 Ist nur ein einzelner OPAMP zu entwickeln, ist die bipolare Technologie vorzuziehen, wenn keine hohe Eingangsimpedanz gefordert ist. Die MOS-Version ist für komplexere Schaltungen günstiger.
 Die weitere Vorlesung beschränkt sich auf die MOS-Technologie.

2.2 Bauelemente in MOS-Technologie

In MOS-Technologie können Transistoren, Dioden, Widerstände und Kondensatoren auf verschiedene Arten monolithisch (in gewissen Grenzen) realisiert werden.

2.2.1 Dioden

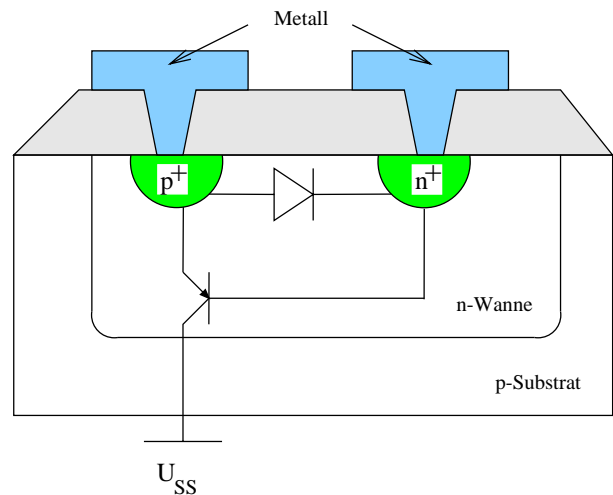


Abbildung 2.2: Diode in MOS-Technologie

Bild 2.2 stellt eine Diode in MOS-Technologie dar. Während Dioden in bipolarer Technik einfach herzustellen sind, liegt in Bild 2.2 gleichzeitig ein Bipolartransistor vor, der durchschaltet, wenn die Diode in Durchlaßrichtung gepolt ist. Das bewirkt einen großen Kollektorstrom in das Substrat. Diese Anordnung ist deshalb nur

verwendbar, wenn die Wanne, die die Basis des Transistors bildet, auf dem höchsten vorkommenden Potential (U_{DD}) liegt.

2.2.2 Widerstand

Diffusionswiderstand

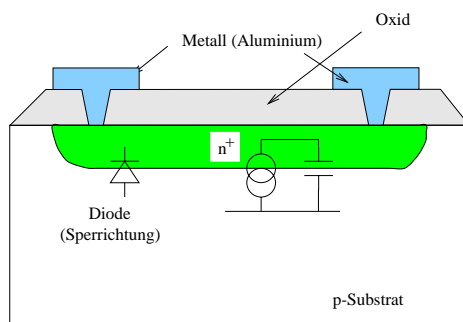


Abbildung 2.3: Diffusionswiderstand

In Bild 2.3 wird der Widerstand durch das n^+ -Diffusionsgebiet (Donatordichte ca. 10^{19}cm^{-3}) gebildet. Da dieses eine hohe Leitfähigkeit besitzt, sind hier sehr lange Widerstände nötig, um die gewünschten Widerstandswerte zu erhalten.

Der Wert eines Widerstands ist proportional zum Verhältnis Länge/Breite, da die Tiefe durch die Technologie vorgegeben und konstant ist. Daher wird der spezifische Widerstand je Quadrat (Square) angegeben, die Tiefe ist dabei schon eingerechnet. Dieser Wert bewegt sich beim Diffusionswiderstand in der Größenordnung von $\frac{10\Omega}{\square}$.

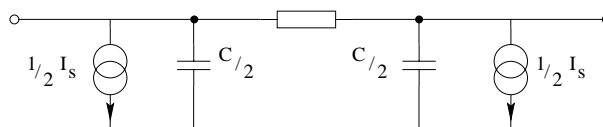


Abbildung 2.4: Ersatzschaltbild Diffusionswiderstand

Ein weiterer Nachteil ist, daß das n^+ -Diffusionsgebiet mit dem p -Substrat einen in Sperrichtung gepolten PN-Übergang bildet. Über der Raumladungszone liegt eine parasitäre Sperrschichtkapazität vor; dadurch wird die Bandbreite der Schaltung begrenzt. Außerdem fließt ein - wenn auch geringer - Diodensperrstrom. Sowohl Kapazität als auch Leckstrom werden im Ersatzschaltbild 2.4 auf beide Knoten aufgeteilt.

Wannenwiderstand

Um vergleichsweise hochohmige Widerstände bei annehmbarem Platzbedarf zu erhalten, nutzt man beim Wannenwiderstand ein n^- -dotiertes Gebiet (Donatordichte ca. 10^{16}cm^{-3}) als Widerstand, das durch die niedrigere Dotierung eine geringere spezifische Leitfähigkeit besitzt (Größenordnung $\frac{1\text{k}\Omega}{\square}$). Wie beim Diffusionswiderstand liegt auch hier ein PN-Übergang mit Leckstrom und parasitärer Sperrschichtkapazität vor.

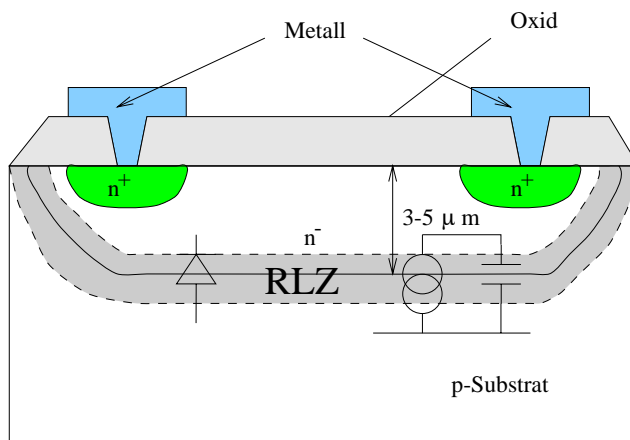


Abbildung 2.5: Wannenwiderstand

Bei PN-Übergängen ist die Sperrschichtkapazität bekanntermaßen spannungsabhängig. Hinzu kommt, daß in niedriger dotierten Gebieten die Raumladungszone schneller mit steigender Spannung wächst. Dadurch verengt sich der leitende Bereich im n^- -dotierten Gebiet, wodurch die Leitfähigkeit sinkt. Damit ist auch der resultierende Widerstand spannungsabhängig. Da für diesen Effekt die Spannung gegenüber dem Substrat, das auf Masse liegt, verantwortlich ist, ergibt sich beispielsweise in Bild 2.6 für den oberen Widerstand bei gleicher Ausführung ein etwas höherer Widerstandswert.

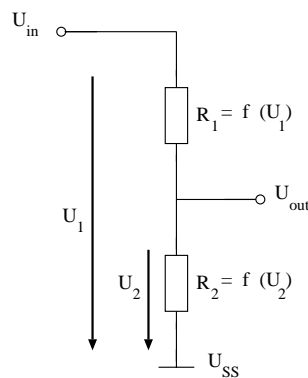


Abbildung 2.6: Spannungsteiler aus Wannenwiderständen

Damit ist U_{out} etwas niedriger als die (erwartete) halbe Versorgungsspannung. Dieser Effekt ist bei der Verwendung von Wannenwiderständen zu berücksichtigen.

Polysiliziumwiderstand

Um Leckströme und parasitäre Kapazitäten zu vermeiden bzw. zu verringern, kann der Widerstand auch in Polysilizium ausgeführt werden. Hier tritt als parasitäre Kapazität nur die Oxidkapazität auf. Allerdings hat Polysilizium eine höhere spezifische Leitfähigkeit, um die Gates schnell zu laden bzw. zu entladen. Daher sind

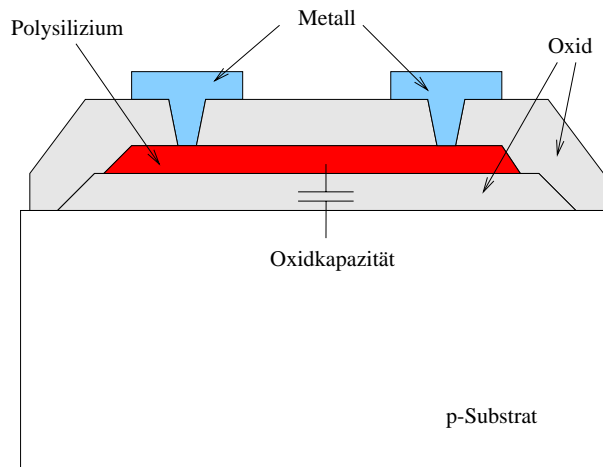


Abbildung 2.7: Polysiliziumwiderstand

”hochohmige” Widerstände nur mit großem Platzbedarf realisierbar (Größenordnung $\frac{20\Omega}{\square}$). Dabei ist das Wort ”hochohmig” mit Vorsicht zu genießen, die Widerstände in MOS-Technologie sind um einige Zehnerpotenzen kleiner als die im Bipolarprozeß vorhandenen.

Je nach Anwendung werden für ”hochohmige” Widerstände Wannenwiderstände verwendet, während Polysiliziumwiderstände eingesetzt werden, wenn die parasitären Kapazitäten möglichst klein sein sollen.

2.2.3 Kapazitäten

Poly- n^+ -Kondensator

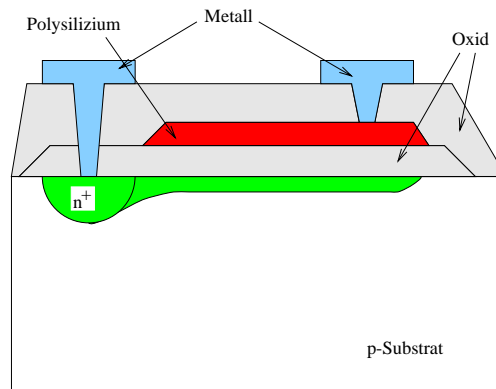


Abbildung 2.8: Poly- n^+ -Kondensator

Bei dieser Variante (siehe Bild 2.8) werden die ”Platten“ des Kondensators zum einen durch eine Polysiliziumschicht und zum anderen durch ein n^+ -implantiertes Gebiet gebildet; es handelt sich um eine Oxidkapazität. Ohne n^+ -Gebiet würde die Kapazität auf einer Seite immer auf Substratpotential, d.h. U_{SS} , liegen.

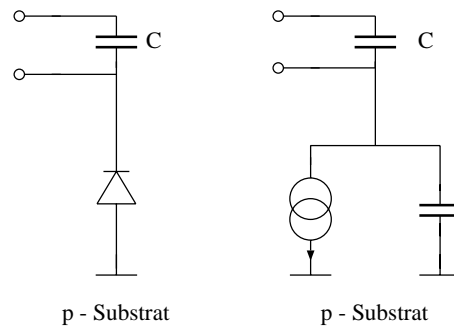


Abbildung 2.9: Ersatzschaltbild für Poly- n^+ -Kondensator

Im normalen Herstellungsprozeß werden die Ionen *nach* dem Aufbringen des Polysiliziums implantiert, um bei den Transistoren die Gates als Maske für Drain und Source verwenden zu können (siehe Abschnitt 2.2.4).

Beim Poly- n^+ -Kondensator ist allerdings ein Diffusionsgebiet *unterhalb* des Oxids nötig; daher ist ein zusätzlicher Herstellungsschritt (vorzeitiges Implantieren der n^+ -Ionen) erforderlich.

Wie beim Diffusionswiderstand liegt auch hier ein PN-Übergang vor; das entsprechende Ersatzschaltbild zeigt Bild 2.9. Zum einen liegt mit der Sperrschichtkapazität eine zusätzliche Kapazität in Reihe, zum anderen führt der Leckstrom zu einem Ladungsverlust.

Poly-Poly-Kondensator

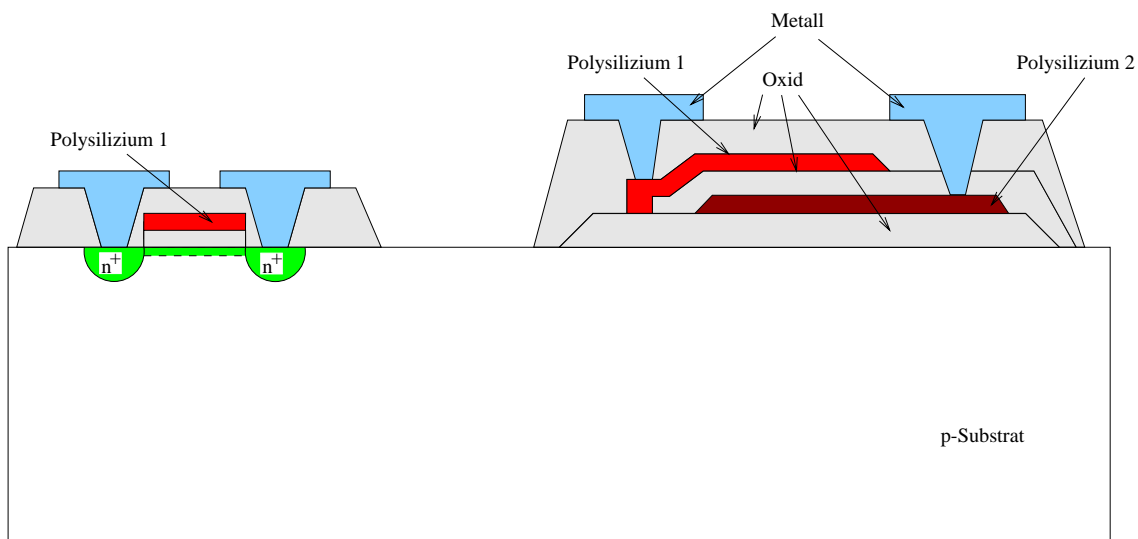


Abbildung 2.10: Poly-Poly-Kondensator

In diesem Fall wird eine zweite Polysiliziumschicht aufgetragen (die erste ist zur Herstellung der Transistoren nötig und daher kein zusätzlicher Aufwand). Dadurch sind bessere Kapazitäten herstellbar, allerdings ist der Aufwand noch höher, da neben der zweiten Polysiliziumschicht auch noch eine zusätzliche Oxidschicht zur

Isolation notwendig ist; es werden also zwei zusätzliche Herstellungsschritte benötigt.
 Bild 2.10 zeigt links neben dem Kondensator einen Transistor zum Vergleich der notwendigen Schichten.

2.2.4 Transistor

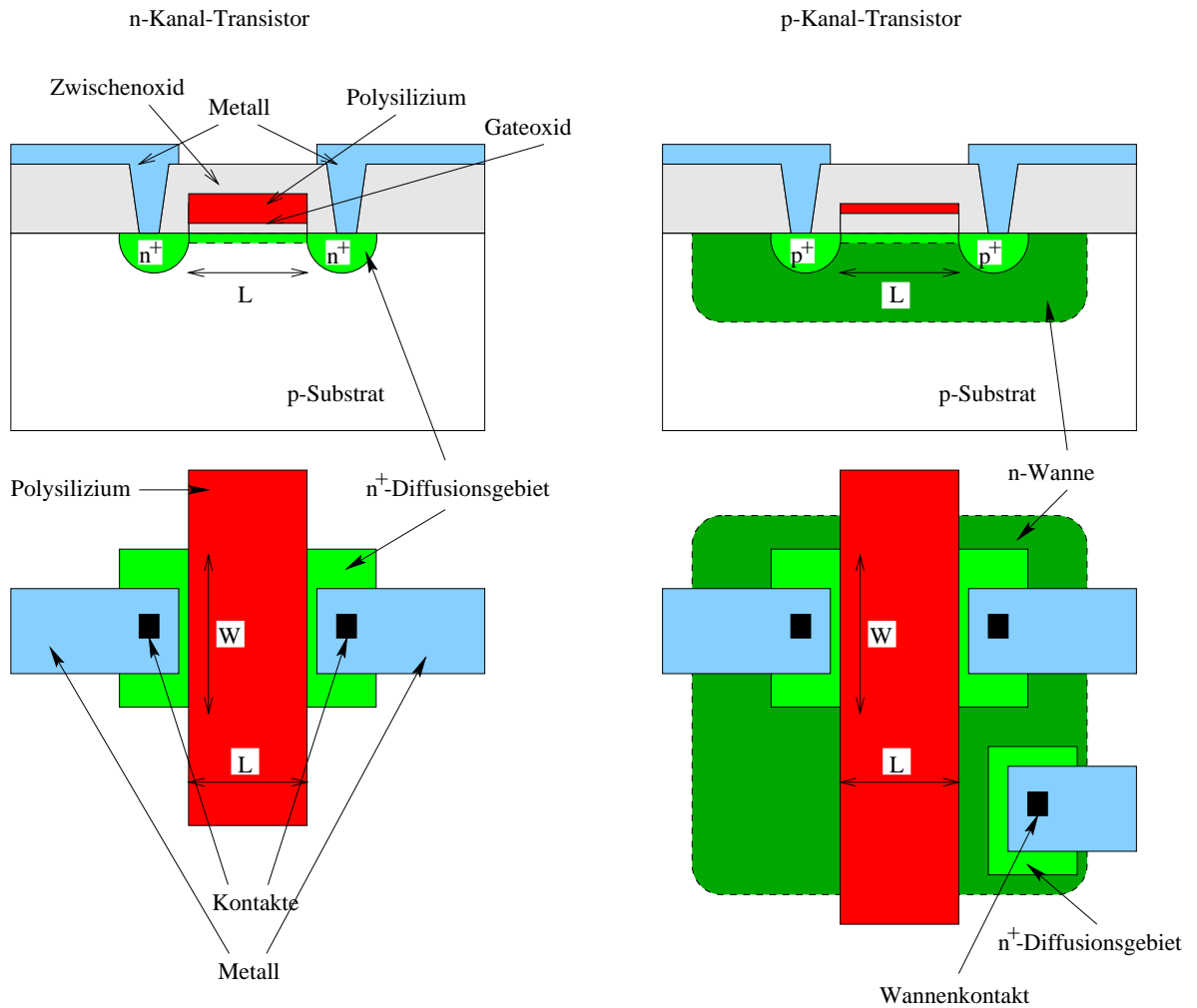


Abbildung 2.11: Transistor

Bild 2.11 oben zeigt den Querschnitt eines n- und eines p-Kanal-Transistors, also die Prozeßsicht. Unten ist die üblicherweise verwendete Layoutsicht (Draufsicht) dargestellt. Dabei ist L die Länge und W die Weite des Kanals.

Für die Struktursicht (Netzliste) sind verschiedene Darstellungen gebräuchlich. Hier sollen die Varianten links im Bild 2.12 verwendet werden, da der Bulk in unseren Anwendungen bisweilen auch anders als mit V_{DD} bzw. V_{SS} belegt wird. Der Pfeil des Bulks deutet dabei die Diode zwischen Bulk und Kanal an; entsprechend stellt das obere Bild einen n-Kanal-(NMOS) und das untere einen p-Kanal-Transistor (PMOS) dar.

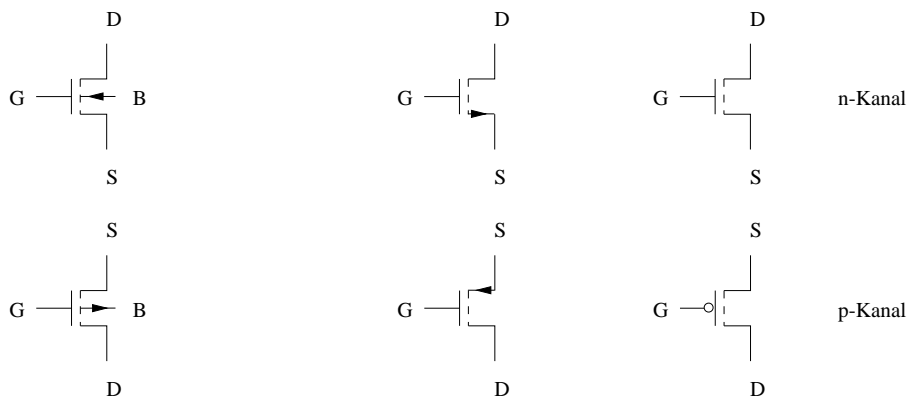


Abbildung 2.12: Schaltbilder eines Transistors

Weil der Strom in unseren Schaltungen i.Allg. von oben nach unten fließt, ist bei p-Kanal-Transistoren wegen der positiven Ladungsträger (Löcher) Source oben und Drain unten.

2.3 Funktionale Sicht des Transistors

2.3.1 Bereiche des Transistorbetriebs

Der Drainstrom I_D ergibt sich für den Designer als Funktion der Spannungen U_{GS} , U_{DS} und U_{BS} und den Abmessungen W und L ; weitere Parameter sind prozeßabhängig.

$$I_D = f(U_{GS}, U_{DS}, U_{SB}, W, L) \quad (2.2)$$

mit:

- I_D : Drainstrom
- U_{GS} : Gate-Source-Spannung
- U_{DS} : Drain-Source-Spannung
- U_{SB} : Source-Bulk-Spannung
- W : Weite des Transistors
- L : Länge des Transistors

Dabei ist zu beachten, daß die Spannungen bei p-Kanal-Transistoren negativ sind.

Gemäß der Funktionsweise unterscheidet man drei Bereiche:

- Weak Inversion (schwache Inversion)
- Triodengebiet bzw. linearer Bereich (starke Inversion)
- Sättigung (starke Inversion)

Man beachte, daß hier die Bezeichnungen anders als bei Bipolartransistoren gewählt sind, da bei MOS-Transistoren andere Effekte und Arbeitsweisen vorliegen.

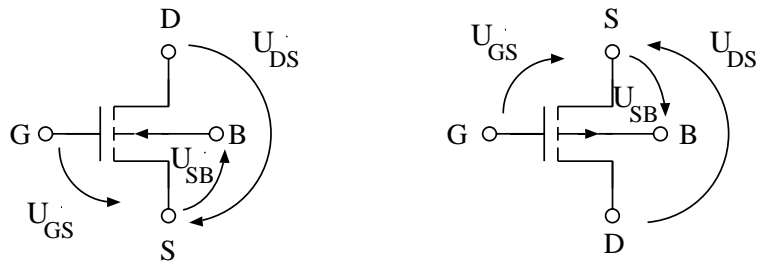


Abbildung 2.13: Spannungsrichtungen bei n-Kanal- und p-Kanal-Transistoren

Weak Inversion

$$U_{GS} < U_T: \quad I_D \approx 0 \text{ (bzw. } I_D < 1\mu\text{A)}$$

(bei $U_{DS} > n \cdot \frac{kT}{q}$, mit $n \approx 2..4$)

Dabei ist U_T die Schwellenspannung (Threshold Voltage).

In der analogen Betrachtungsweise gibt es keine abrupten Übergänge; entsprechend ist es nicht üblich, in diesem Bereich - wie in der Digitaltechnik - $I_D = 0$ zu setzen. Statt dessen wird unter Weak Inversion der Bereich mit $I_D < 1\mu\text{A}$ verstanden (siehe Bild 2.14).

Für den Strom ergibt sich:

$$I_D = I_{D0} \cdot \frac{W}{L} \cdot (e^{\frac{U_{GS}}{n \cdot U_{Temp}}} - 1) \quad (2.3)$$

mit:
$$U_{Temp} = \frac{k \cdot T}{q} \quad (2.4)$$

- W : Weite des Transistors
- L : Länge des Transistors
- k : Boltzmann-Konstante
- T : Temperatur
- q : Elementarladung

Triodengebiet

Dieser Bereich ist gekennzeichnet durch die Bedingungen

$$U_{GS} > U_T, U_{DS} < U_{GS} - U_T = U_{GS_{eff}}$$

Die Bedingung $U_{GS} > U_T$ bewirkt, daß starke Inversion vorliegt, d.h. es existiert ein Kanal zwischen Drain und Source. Das gilt auch für die Sättigung (nächster Abschnitt); Bild 2.15 zeigt die beiden Bereiche mit starker Inversion.

Die Spannung $U_{GS_{eff}}$ ist ungefähr gleich der Pinch-Off-Spannung U_{DSS} (Abschnürspannung), bei der sich der Kanal abschnürt und mit steigendem U_{DS} verkürzt.

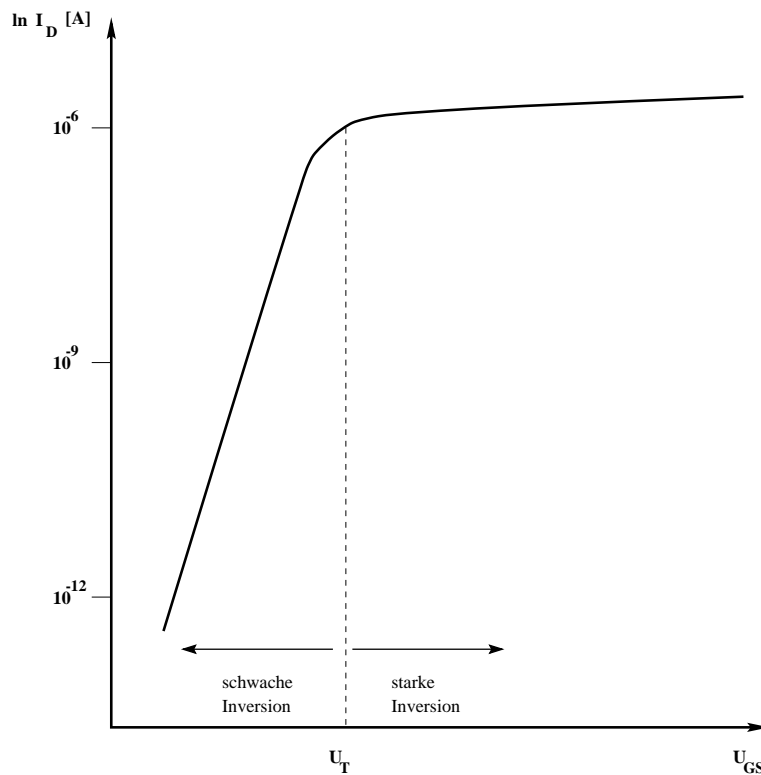


Abbildung 2.14: schwache/starke Inversion

Für den Drainstrom gilt im Triodengebiet:

$$I_D = \beta \cdot (U_{GS} - U_T - \frac{1}{2} \cdot U_{DS}) \cdot U_{DS} \quad (2.5)$$

$$\text{mit: } \beta = \frac{W}{L} \cdot \beta_0 \quad (2.6)$$

$$\beta_0 = \mu \cdot C_{OX}' = \mu \cdot \frac{\epsilon_{OX}}{t_{OX}} \quad (2.7)$$

- μ : Beweglichkeit der Ladungsträger
- ϵ_{OX} : Dielektrizitätskonstante des Oxids
- t_{OX} : Dicke des Oxids
- C_{OX}' : Kapazität je Flächeneinheit

Sättigung

In der Sättigung gilt:

$$U_{GS} > U_T, U_{DS} > U_{GS} - U_T$$

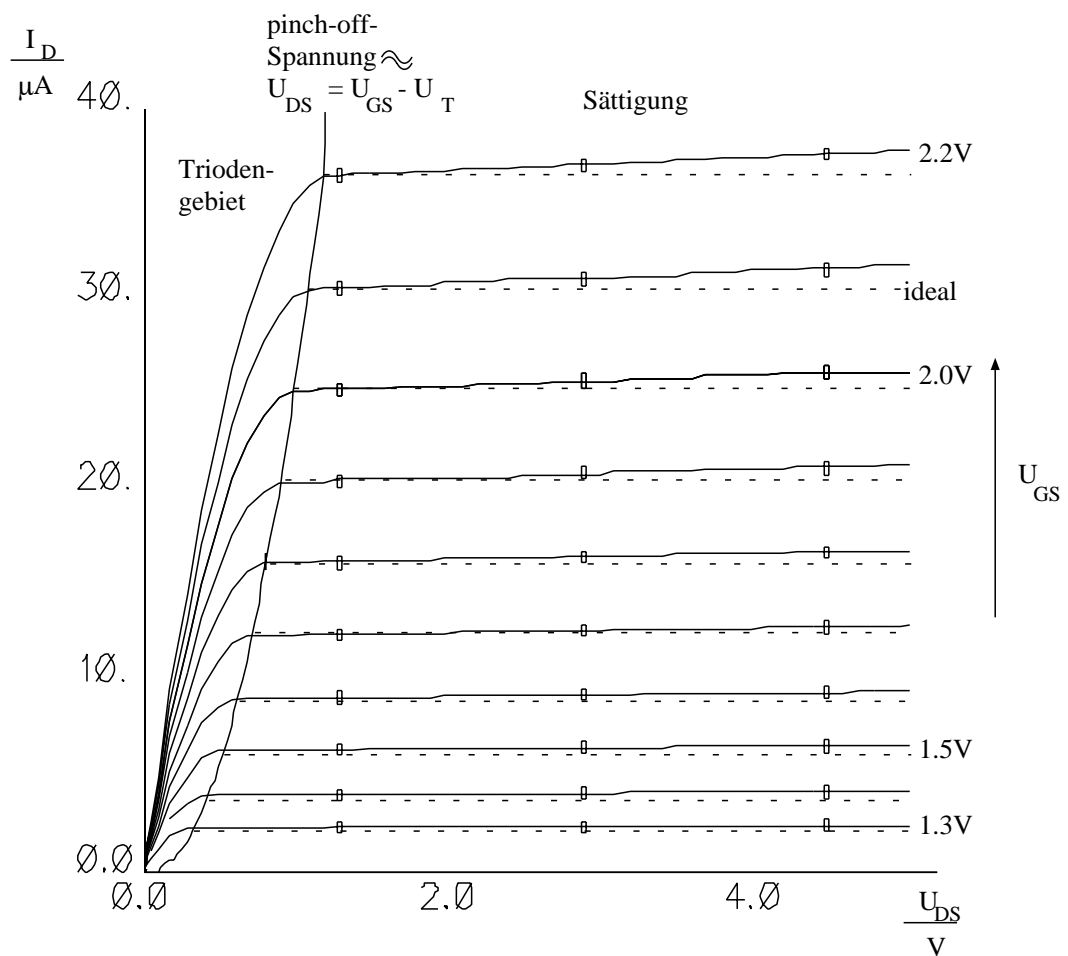


Abbildung 2.15: Bereiche starker Inversion

Für den Drainstrom erhält man näherungsweise:

$$I_D = \frac{1}{2} \cdot \beta \cdot (U_{GS} - U_T)^2 \quad (2.8)$$

Diese Gleichung erhält man auch, wenn in Gleichung 2.5 $U_{DS} = U_{GS} - U_T$ eingesetzt wird; das ist der Übergang zwischen Triodengebiet und Sättigung.

Analogdesign bezieht sich meistens auf diesen Bereich, da hier der Drainstrom (annähernd) konstant bei variablem U_{DS} ist (vgl. Bild 2.15 und Gleichung 2.8). Damit läßt sich also näherungsweise eine ideale Stromquelle realisieren.

2.3.2 Berücksichtigung der Kanalverkürzung

An Bild 2.15 kann man erkennen, daß der Strom nicht ganz unabhängig von U_{DS} ist. Ein größeres U_{DS} führt einerseits zu einer größeren Raumladungszone am Drain, was den Kanal verkürzt; andererseits steigt die Feldstärke in diesem Bereich. Beide Effekte führen insgesamt zu einem leichten Anstieg des Drainstroms I_D . Diese komplexen Zusammenhänge werden näherungsweise durch den Faktor λ berücksichtigt, der keine direkte physikalische Bedeutung hat. Man kann λ auch als

$$\lambda = \frac{1}{U_A} \quad (2.9)$$

darstellen, wobei U_A der Early-Spannung bei Bipolartransistoren entspricht.

Die Kanallängenmodulation wird im Sättigungsbereich in folgender Gleichung berücksichtigt (vgl. Glg. 2.8):

$$I_D = \frac{1}{2} \cdot \beta \cdot (U_{GS} - U_T)^2 \cdot (1 + \lambda \cdot U_{DS}) \quad (2.10)$$

Je nach Genauigkeit wird im Folgenden mit Gleichung 2.8 oder 2.10 gearbeitet werden.

Im linearen Bereich ($U_{DS} < U_{GS} - U_T$) wird die Abhängigkeit von U_{DS} analog berücksichtigt (vgl. Glg. 2.5):

$$I_D = \beta \cdot (U_{GS} - U_T - \frac{1}{2} \cdot U_{DS}) \cdot U_{DS} \cdot (1 + \lambda \cdot U_{DS}) \quad (2.11)$$

Kapitel 3

MOS-Transistoren in Schaltungen

3.1 Inverter

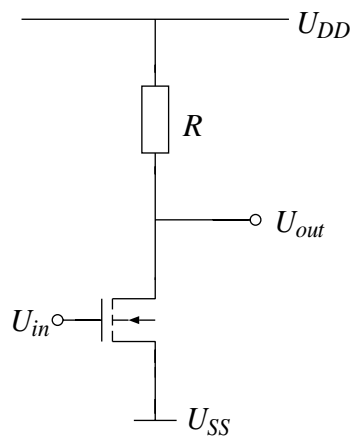


Abbildung 3.1: Inverter mit Widerstandslast

Die in Bild 3.1 dargestellte Schaltung ist in der digitalen Schaltungstechnik als Inverter mit Widerstandslast bekannt. Die Bezeichnung "Last" kann allgemein in zwei verschiedenen Bedeutungen verwendet werden. In diesem Fall ist die Nutzlast gemeint, die für die Verstärkung nötig ist. Mit Last kann aber auch die (unerwünschte) zu treibende Last am Ausgang gemeint sein (siehe Bild 3.2).

An der Kennlinie in Bild 3.3 kann man erkennen, daß die Schaltung in Bild 3.1 auch als Verstärker verwendet werden kann: Kleine Veränderungen der Eingangsspannung U_{in} führen zu größeren Variationen der Ausgangsspannung U_{out} . Das funktioniert aber nur bei geeigneter Wahl des Arbeitspunktes: Er muß in dem steilen Bereich der Kennlinie liegen.

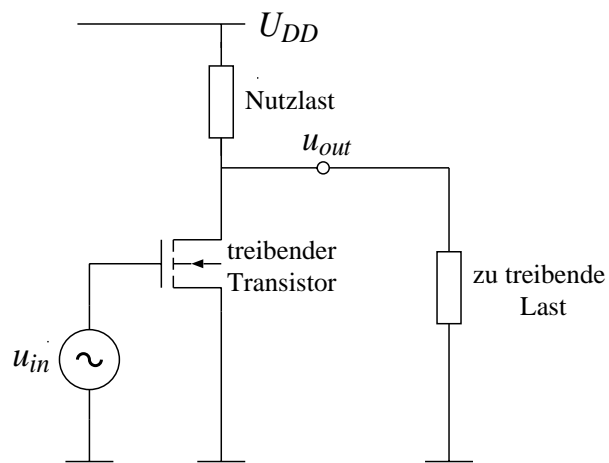


Abbildung 3.2: Zwei Bedeutungen von "Last"

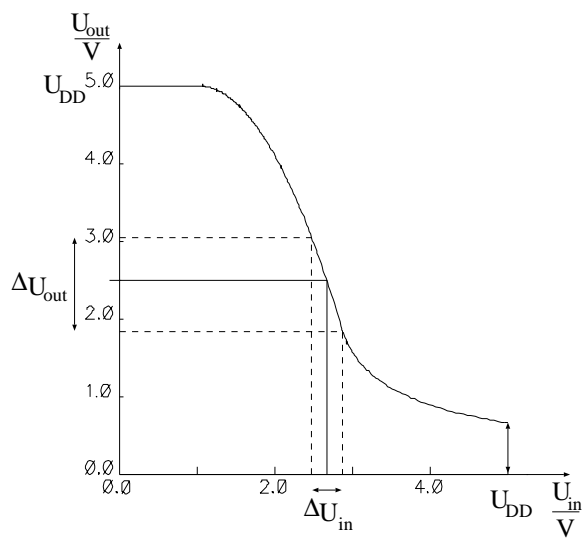


Abbildung 3.3: Kennlinie des Inverters

Mit Hilfe der Dimensionierung des Transistors kann der steile Bereich der Kennlinie verschoben werden. Damit kann die Berechnung des Arbeitspunktes auf zwei Arten erfolgen:

- Die Dimensionierung ist gegeben \Rightarrow bestimme geeignetes U_{in}
- U_{in} ist gegeben \Rightarrow bestimme geeignete Dimensionierung

Hier wird der zweite Fall betrachtet. Zur Berechnung des Arbeitspunktes ist das Großsignalverhalten entscheidend. Es wird angenommen, daß sich der Transistor im Sättigungsbereich befindet. Wenn der Einfluß der Kanallängenmodulation vernachlässigt wird, gilt:

$$I_D = \frac{\beta}{2} \cdot (U_{GS} - U_T)^2 \quad (3.1)$$

Folgende Werte werden zum einfachen Rechnen vorgegeben:

$$U_{DD} = 5V \quad (3.2)$$

$$U_T = 1V \quad (3.3)$$

$$U_{in} = \frac{U_{DD}}{3} + U_T = 2.6V \quad (3.4)$$

im Arbeitspunkt: $U_{out} = \frac{U_{DD}}{2} = 2.5V \quad (3.5)$

$$R = 10k\Omega \quad (3.6)$$

Mit: $U_{in} = U_{GS} \quad (3.7)$

$$U_{out} = U_{DD} - I_D \cdot R \quad (3.8)$$

ergibt sich: $\frac{1}{2} \cdot U_{DD} = U_{DD} - \frac{\beta}{2} \cdot (U_{in} - U_T)^2 \cdot R \quad (3.9)$

$$= U_{DD} - \frac{\beta}{2} \cdot \left(\frac{U_{DD}}{3}\right)^2 \cdot R \quad (3.10)$$

nach β auflösen: $\Rightarrow \beta = \frac{9 \cdot U_{DD}}{R \cdot U_{DD}^2} \quad (3.11)$

$$= \frac{9}{R \cdot U_{DD}} \quad (3.12)$$

β hängt von der Dimensionierung des Transistors ab:

$$\beta = \mu \cdot \frac{\epsilon_{OX}}{t_{OX}} \cdot \frac{W}{L} \quad (3.13)$$

$$= \beta_0 \cdot \frac{W}{L}, \quad (3.14)$$

$$\beta_0 = \mu \cdot \frac{\epsilon_{OX}}{t_{OX}} \approx 50 \frac{\mu A}{V^2} \quad (3.15)$$

$$\Rightarrow \frac{W}{L} = \frac{9}{\beta_0 \cdot R \cdot U_{DD}} = \frac{9}{50 \frac{\mu A}{V^2} \cdot 10k\Omega \cdot 5V} = \frac{9}{2.5} \quad (3.16)$$

W und L lassen sich frei wählen, solange dieses Verhältnis eingehalten wird. Damit sind (beispielsweise) mögliche Werte:

$$\begin{array}{ll} W = 4.5\mu\text{m} & L = 1.25\mu\text{m} \\ W = 9\mu\text{m} & L = 2.5\mu\text{m} \\ W = 18\mu\text{m} & L = 5\mu\text{m} \end{array}$$

Die verwendete Technologie gibt die kleinste herstellbare Größe vor.

Schließlich ergibt sich aus Gleichung 3.1 für den Drainstrom:

$$I_D = 250\mu\text{A} \quad (3.17)$$

Er ist auch über R und $U_{DD} - U_{out}$ berechenbar.

Damit ist die gesuchte Dimensionierung ermittelt und der Arbeitspunkt berechnet.

Jetzt soll die Verstärkung berechnet werden, die sich ergibt, wenn die Eingangsspannung leicht um den berechneten Arbeitspunkt variiert wird (Kleinsignalverhalten). Dies entspricht in Bild 3.4 einer höheren bzw. niedrigeren Kurve. An der Widerstandsgeraden läßt sich die Änderung von U_{out} ablesen.

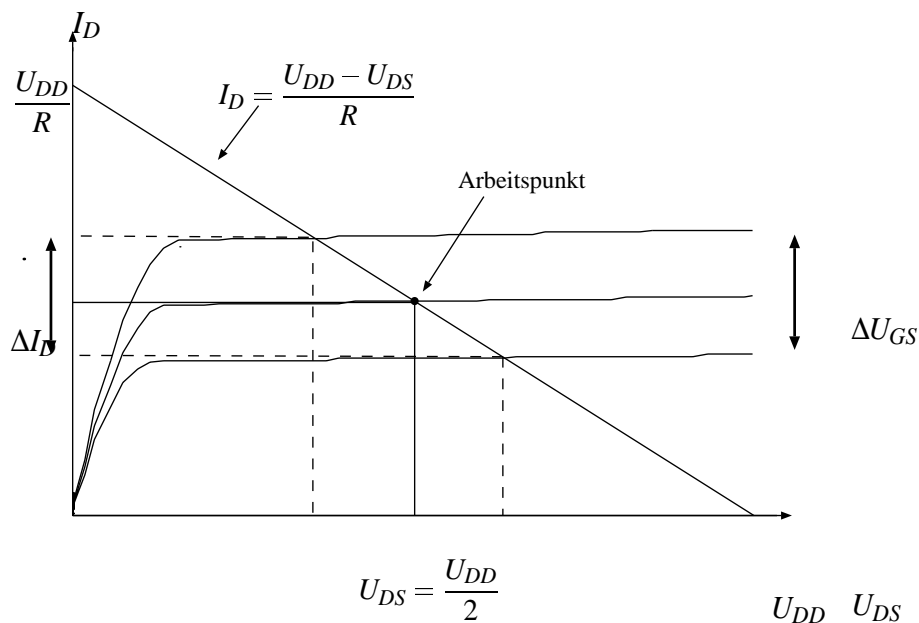


Abbildung 3.4: Kennlinienfeld mit Widerstandsgerade

Bei einem größeren Widerstand ist die Steigung der Widerstandsgerade geringer, damit ist die Änderung von U_{out} bzw. die Verstärkung größer.

Für die Änderung der Ausgangsspannung gilt (s. Gleichung 3.8):

$$\Delta U_{out} = -R \cdot \Delta I_D \quad (3.18)$$

Im Arbeitspunkt wird für diese kleinen Änderungen ein linearer Zusammenhang als Näherung gewählt:

$$\Delta I_D = G \cdot \Delta U_{in} \quad (3.19)$$

$$\Rightarrow G = \frac{\Delta I_D}{\Delta U_{in}} = \frac{\Delta I_D}{\Delta U_{GS}} \quad (3.20)$$

$$\Rightarrow \Delta U_{out} = -R \cdot G \cdot \Delta U_{in} \quad (3.21)$$

Durch Übergang ins Differentielle erhält man die arbeitspunktabhängige Stromverstärkung:

$$\frac{dI_D}{dU_{GS}} = g_m \quad (3.22)$$

Damit ergibt sich für die Verstärkung:

$$A = \frac{\Delta U_{out}}{\Delta U_{in}} = -R \cdot G \quad (3.23)$$

bzw. im Differentiellen:

$$\boxed{A = -g_m \cdot R} \quad (3.24)$$

3.2 Kleinsignalverhalten

Im vorigen Abschnitt wurde der Arbeitspunkt eines Transistors und die Verstärkung bei kleinen Änderungen der Eingangsspannung $U_{in} = U_{GS}$ bestimmt.

Bei der Betrachtung solcher kleiner Änderungen, die den Arbeitspunkt näherungsweise nicht ändern, spricht man auch vom Kleinsignalverhalten. Durch Linearisierung der Gleichungen im Arbeitspunkt können Kleinsignalersatzschaltbilder entwickelt werden, die nur diese Änderungen berücksichtigen.

Im folgenden sollen für Kleinsignalgrößen Kleinbuchstaben verwendet werden. Bild 3.5 stellt ein erstes Kleinsignalersatzschaltbild eines Inverters dar.

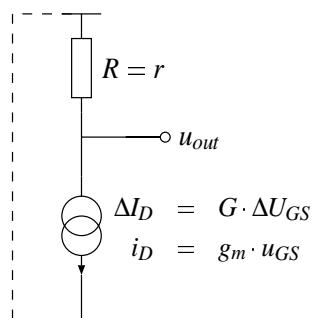


Abbildung 3.5: Kleinsignalersatzschaltbild eines Inverters

Feste Potentiale können im Kleinsignalersatzschaltbild auf Masse gelegt werden: Da sich die Spannung nicht ändert, gilt $\Delta U = 0$ bzw. $u = 0$. Entsprechend können Festspannungsquellen kurzgeschlossen werden. Feste

Stromquellen können aufgetrennt werden, weil der Strom, der in sie hinein- und herausfließt, konstant ist; daher ist die Stromänderung gleich Null ($\Delta I = 0$ bzw. $i = 0$).

In Bild 3.5 gilt entsprechend für die Versorgungsspannung $\Delta U_{DD} = 0$ bzw. $u_{DD} = 0$, das Potential kann auf Masse gelegt werden.

Auch der Widerstand wird nur im Arbeitspunkt betrachtet; aufgrund seiner Linearität gilt aber $r = R$, so daß Groß- oder Kleinschreibung verwendet werden kann.

Die Stromquelle ist ideal dargestellt, d.h. der Drainstrom ist unabhängig von der Drain-Source-Spannung U_{DS} . Das entspricht einer steigungslosen Geraden im Ausgangskennlinienfeld $I_D(U_{DS})$. Bild 3.6 zeigt einen Ausschnitt aus Bild 3.4, und zwar rechts im realen und links im idealen Fall. Im realen Fall führt die Kanallängenmodulation zu einer Steigung der Geraden (im Bild 3.6 übertrieben dargestellt) und damit zu einem kleineren u_{out} . Das entspricht dem Early-Effekt bei Bipolartransistoren.

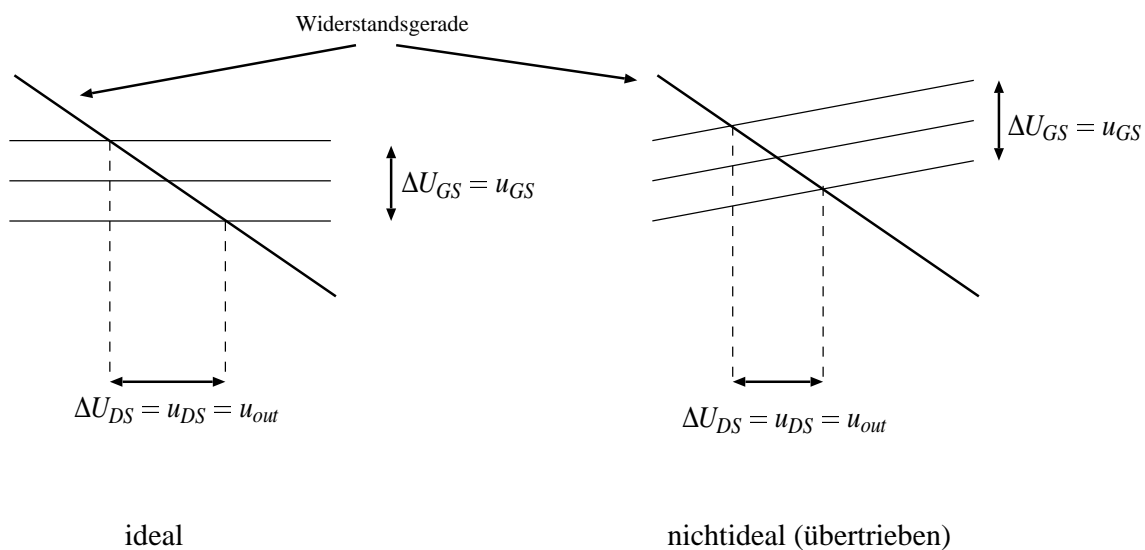


Abbildung 3.6: Ideale und nichtideale Kennlinie

Dieses Verhalten wirkt der erreichten Verstärkung entgegen, was im Kleinsignalersatzschaltbild berücksichtigt werden muß. Dazu wird der Widerstand r_{DS} eingeführt (siehe Bild 3.7); die Stromänderung bleibt also gleich, aber der Strom teilt sich jetzt auf.

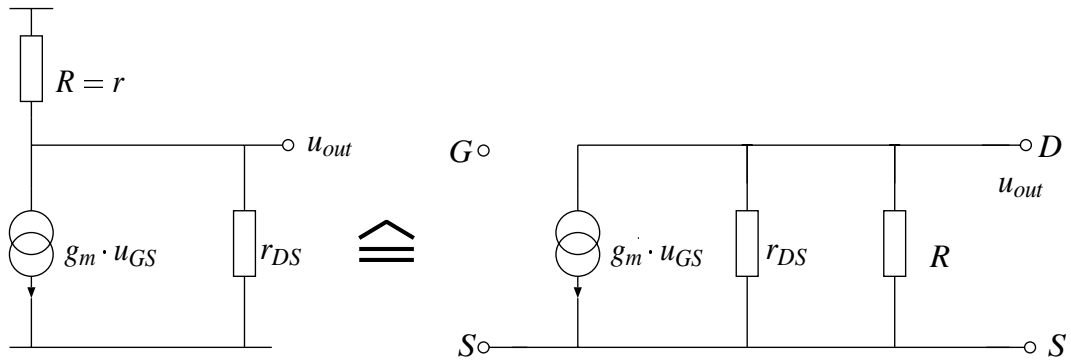


Abbildung 3.7: Erweitertes Kleinsignalersatzschaltbild

Zur Berechnung von g_m wird die Kanallängenmodulation vernachlässigt, man verwendet daher Gleichung 2.8:

$$g_m = \frac{dI_D}{dU_{GS}} \quad (3.25)$$

$$= \beta \cdot (U_{GS} - U_T) \quad (3.26)$$

$$= \beta \cdot U_{GS_{eff}} \quad (3.27)$$

$$= \frac{2 \cdot I_D}{U_{GS_{eff}}} \quad (3.28)$$

$$= \sqrt{2 \cdot I_D \cdot \beta} \quad (3.29)$$

Für β gilt dabei: $\beta = \mu \cdot C_{OX} \cdot \frac{W}{L}$ (3.30)

Damit ist β (und damit g_m) über das Verhältnis $\frac{W}{L}$ einstellbar.

Diese unterschiedlichen Gleichungen können je nachdem, ob $U_{GS_{eff}}$, I_D oder β vorgegeben ist, verwendet werden.

Zur Berechnung von r_{DS} wird dagegen die um λ ergänzte Gleichung 2.10 herangezogen, da im idealen Fall die Kanallängenmodulation und damit r_{DS} nicht berücksichtigt wird. Man erhält dann:

$$\frac{1}{r_{DS}} = g_{DS} = \frac{dI_D}{dU_{DS}} \quad (3.31)$$

$$= \frac{1}{2} \cdot \beta (U_{GS} - U_T)^2 \cdot \lambda \quad (3.32)$$

mit Gleichung 2.10: $= I_D \cdot \frac{\lambda}{1 + \lambda \cdot U_{DS}}$ (3.33)

mit $\lambda \cdot U_{DS} \ll 1$ $\approx I_D \cdot \lambda$ (3.34)

r_{DS} läßt sich auch durch physikalische Größen ausdrücken:

$$\frac{1}{g_{DS}} = r_{DS} = \frac{2 \cdot L}{k_2 \cdot I_D} \cdot \sqrt{U_{DS} - U_{DSS}} \quad (3.35)$$

Dabei ist:

- U_{DSS} : Pinch-Off-Spannung (Abschnürspannung) $\approx U_{GS_{eff}}$
- L : Kanallänge
- k_2 : Kanallängenmodulationsfaktor

Man beachte, daß für das Kleinsignalverhalten r_{DS} von L abhängt, während der absolute Widerstand vom Verhältnis $\frac{W}{L}$ abhängt. Je länger der Transistor ist, desto größer wird r_{DS} ; damit wird die Kennlinie flacher und nähert sich der Idealkennlinie. Damit ist auch λ abhängig von L .

λ und k_2 beschreiben beide den Effekt der Kanallängenmodulation; während k_2 eine physikalische Größe ist, ist λ ein Näherungsfaktor.

3.2.1 Abhängigkeit von der Source-Bulk-Spannung U_{SB}

Bisher wurde angenommen, daß der Bulk auf dem gleichen Potential wie die Source liegt, d.h. $U_{SB} = 0$. Wenn das nicht der Fall ist, ändert sich die Schwellenspannung U_T gemäß folgender Gleichung:

$$U_T = U_{T0} + \gamma \cdot \left(\sqrt{U_{SB} + 2 \cdot \Phi_D} - \sqrt{2 \cdot \Phi_D} \right) \quad (3.36)$$

mit:

- Φ_D : Diffusionsspannung
- γ : bulk threshold parameter

Durch die Abhängigkeit der Schwellenspannung U_T von der Source-Bulk-Spannung U_{SB} ist auch der Drainstrom I_D von dieser Spannung abhängig. Unter Verwendung der Gleichungen 3.36 und 2.8 (Vernachlässigung der Kanallängenmodulation) läßt sich diese Abhängigkeit wie folgt bestimmen:

$$\frac{dI_D}{dU_{SB}} = \frac{dI_D}{dU_T} \cdot \frac{dU_T}{dU_{SB}} \quad (3.37)$$

$$= -\beta \cdot (U_{GS} - U_T) \cdot \frac{dU_T}{dU_{SB}} \quad (3.38)$$

$$\Rightarrow g_{mb} = -g_m \cdot \frac{\gamma}{2 \cdot \sqrt{U_{SB} + 2 \cdot \Phi_D}} \quad (3.39)$$

In der Regel gilt im Sättigungsbereich:

$$|g_{mb}| \ll |g_m| \quad (3.40)$$

Damit erhält das Kleinsignalersatzschaltbild eine weitere Stromquelle mit dem Wert $g_{mb} \cdot U_{SB}$ (siehe Bild 3.8). Man beachte dabei, daß $g_{mb} < 0$.

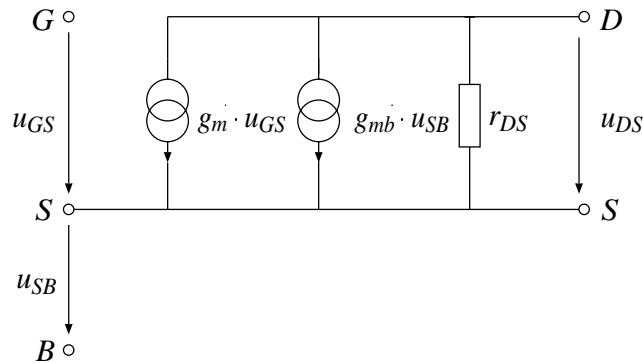


Abbildung 3.8: Nochmals erweitertes Kleinsignalersatzschaltbild

Beispiel

Nun soll mit vorgegebenen Werten ein Beispiel eines n-Kanal-Transistors berechnet werden. Diese Werte werden auch in zukünftigen Beispielen verwendet werden.

$$\frac{W}{L} = \frac{50\mu\text{m}}{5\mu\text{m}} \quad (3.41)$$

$$\beta_{0n} = \mu_n \cdot \frac{\epsilon_{OX}}{t_{OX}} \approx 50 \frac{\mu\text{A}}{\text{V}^2} \quad (3.42)$$

$$U_{T_0} = 1\text{V} \quad (3.43)$$

$$\Phi_D \approx 0\text{V} \quad (3.44)$$

$$\gamma = 0.8\text{V}^{\frac{1}{2}} \quad (3.45)$$

$$k_2 = 0.2 \frac{\mu\text{m}}{\text{V}^{\frac{1}{2}}} \quad (3.46)$$

Statt k_2 könnte auch $\lambda = 0.01 \frac{1}{\text{V}}$ angegeben sein. Der Arbeitspunkt befinde sich bei folgenden Spannungen:

$$U_{GS} = 3.6\text{V} \quad (3.47)$$

$$U_{DS} = 5\text{V} \quad (3.48)$$

$$U_{SB} = 4\text{V} \quad (3.49)$$

Damit können die restlichen Werte berechnet werden. Der Drainstrom I_D wird dabei unter Vernachlässigung der Kanallängenmodulation berechnet:

$$I_D \approx 250\mu\text{A} \quad (3.50)$$

$$g_m \approx 500\mu\text{S} \quad (3.51)$$

$$r_{DS} \approx 400\text{k}\Omega \text{ bzw. } g_{DS} = 2.5\mu\text{S} \quad (3.52)$$

$$g_{mb} \approx -100\mu\text{S} \quad (3.53)$$

Wenn ein solcher Transistor als Inverter betrieben wird, bleibt r_{DS} gleich. Wird wieder ein Widerstand der Größe $R = 10\text{k}\Omega$ angesetzt, so gilt:

$$r_{DS} \gg R \quad (3.54)$$

$$\text{mit } A \approx -g_m \cdot (R || r_{DS}): \quad A \approx -g_m \cdot R \quad (3.55)$$

$$= -5 \quad (3.56)$$

Im weiteren wird gezeigt werden, wie größere Verstärkungen realisierbar sind.

3.2.2 Innere Verstärkung des Transistors

Unter innerer Verstärkung des Transistors versteht man den Wert der Verstärkung, der erreicht wird, wenn der Lastwiderstand beliebig groß wird, also die maximal erreichbare Verstärkung. Dann gilt:

$$\text{mit } r_{DS} \ll R : \quad \Rightarrow A \approx -g_m \cdot r_{DS} \quad (3.57)$$

$$= -\frac{\sqrt{2} \cdot I_D \cdot \beta}{\lambda \cdot I_D} \quad (3.58)$$

$$\Rightarrow A \sim -\frac{1}{\sqrt{I_D}} \quad (3.59)$$

$$\text{im Beispiel:} \quad \approx -200 \quad (3.60)$$

Je kleiner der Drainstrom ist, desto größer ist also die Verstärkung. Ein kleiner Drainstrom bedeutet aber auch, daß die Schaltung langsamer wird.

An den Gleichungen erkennt man, daß die angegebenen AC-Parameter vom Arbeitspunkt und damit von DC-Parametern abhängig sind.

3.2.3 Admittanzparameter

Der Transistor kann auch als Vierpol angesehen werden. In diesem Abschnitt sollen die entsprechenden Parameter berechnet werden. Für einen Vierpol aus Bild 3.9 gilt ganz allgemein:

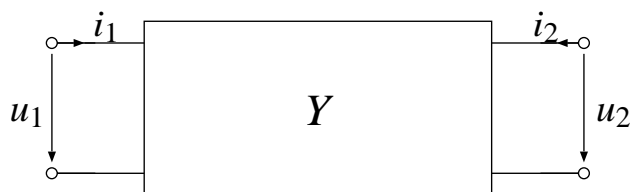


Abbildung 3.9: Vierpol

$$i_1 = y_{11} \cdot u_1 + y_{12} \cdot u_2 \quad (3.61)$$

$$i_2 = y_{21} \cdot u_1 + y_{22} \cdot u_2 \quad (3.62)$$

Für die Admittanzparameter gilt dabei:

$y_{11} = \frac{i_1}{u_1} \Big _{u_2=0} = \frac{1}{r_{in}}$	Eingangsleitwert
$y_{12} = \frac{i_1}{u_2} \Big _{u_1=0}$	bei MOS-Transistor nicht sinnvoll
$y_{21} = \frac{i_2}{u_1} \Big _{u_2=0} = \frac{g \cdot u_1}{u_1} = g$	Transkonduktanz
$y_{22} = \frac{i_2}{u_2} \Big _{u_1=0} = \frac{i_2}{r_{out} \cdot i_2} = \frac{1}{r_{out}}$	Ausgangsleitwert

Für die Verstärkung erhält man:

$$A = \frac{u_2}{u_1} \Big|_{i_2=0} = -\frac{y_{21}}{y_{22}} = -g \cdot r_{out} \quad (3.63)$$

Bei MOS-Transistoren geht der Eingangswiderstand gegen Unendlich (bei Vernachlässigung der parasitären Kapazitäten, siehe Kapitel 4).

Im Kleinsignalbetrieb gilt für die Transkonduktanz g :

$$g = \frac{i_2}{u_1} \Big|_{u_2=0} = \frac{dI_D}{dU_{GS}} = g_m \quad (3.64)$$

In Bild 3.10 links ist ein Lastwiderstand eingezeichnet; zur Beschreibung des Verstärkers wird er in den Vierpol hereingezogen. Damit gelangt man zu Bild 3.10 rechts und es ergibt sich für den Ausgangswiderstand:

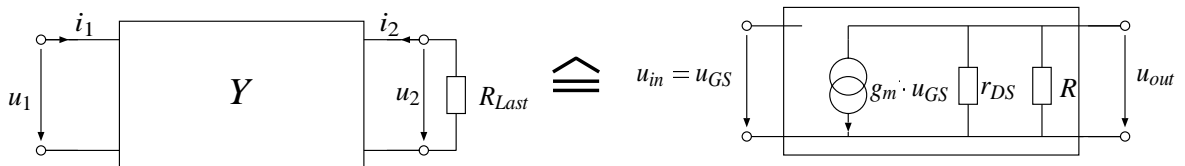


Abbildung 3.10: Vierpol mit Lastwiderstand

$$r_{out} = r_{DS} \parallel R_{Last} = \frac{1}{\frac{1}{r_{DS}} + \frac{1}{R_{Last}}} \quad (3.65)$$

Setzt man die beiden Größen in Gleichung 3.63 ein, so erhält man:

$$A = -g_m \cdot r_{out} \quad (3.66)$$

Für das Verhalten einer Verstärkerstufe sind diese beiden Größen entscheidend. Dabei hängt g_m damit zusammen, was die Verstärkerstufe an Strom liefern kann, während r_{out} den Widerstand am Ausgang darstellt.

3.3 Zweistufiger Verstärker

Der oben besprochene Inverter hat eine Kleinsignalverstärkung von $|A| = 5$. Um größere Verstärkungen zu erhalten, sind in Bild 3.11 zwei Inverter als Kaskade hintereinandergeschaltet. Um den Arbeitspunkt des zweiten Inverters unabhängig einstellen zu können, ist sein Eingang durch den Kondensator DC-mäßig vom Ausgang des ersten getrennt; die AC-Signale werden dagegen (bei hohen Frequenzen) durchgelassen.

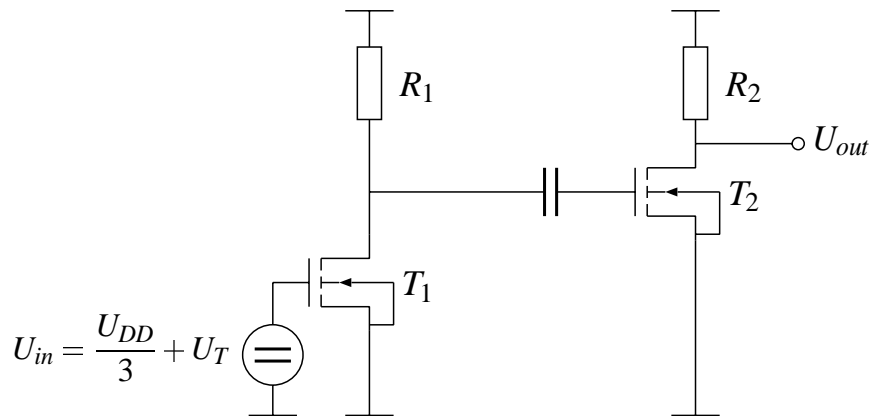


Abbildung 3.11: Kaskade (zweistufiger Inverter)

Bei der Differenzstufe, die im nächsten Abschnitt besprochen wird, ist der Arbeitspunkt dagegen einstellbar.

3.4 Die Differenzstufe

Bild 3.12 zeigt eine Differenzstufe. Sie besteht aus zwei Invertern, die gleich ausgelegt sind (d.h. $\beta_1 = \beta_2$, $U_{T1} = U_{T2} \dots$), und einer idealen Stromquelle. Es gibt zwei Eingänge U_{i1} und U_{i2} sowie zwei Ausgänge U_{o1} und U_{o2} ; letztere sind allerdings nicht ganz unabhängig voneinander, da sie den gemeinsamen Knoten N_1 mit dem eingepprägten Strom I_{SS} haben. Es ist zu beachten, daß die Source-Potentiale hier nicht konstant sind; damit gilt nicht mehr unbedingt $u_{in} = u_{GS}$.

In diesem Abschnitt sollen die DC-Größen betrachtet werden. Es gilt:

$$I_{D1} + I_{D2} = I_{SS} \quad (3.67)$$

Wenn auch die Eingangssignale gleich sind, gilt außerdem aus Symmetriegründen:

$$\text{Bei } U_{i1} = U_{i2} : \quad I_{D1} = I_{D2} = \frac{I_{SS}}{2} \quad (3.68)$$

Jetzt soll der Fall untersucht werden, daß ein Eingang (U_{i2}) konstant bleibt und der andere (U_{i1}) eine höhere Spannung erhält. Dann steigt der Strom I_{D1} , wegen Gleichung 3.67 sinkt damit der Strom I_{D2} .

Für die Spannungen gilt:

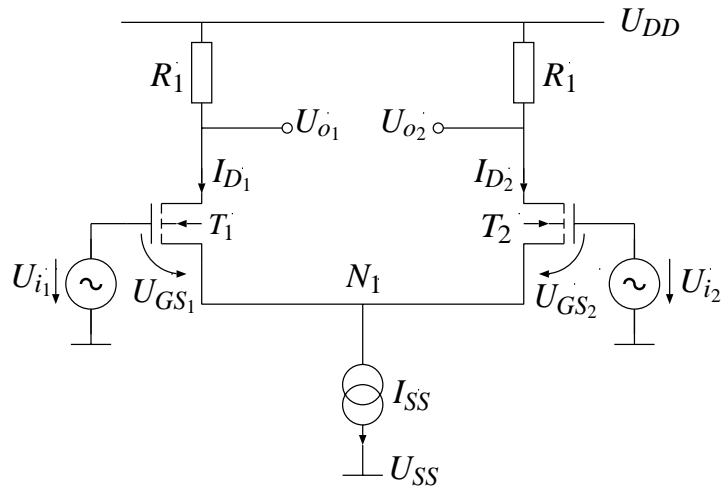


Abbildung 3.12: Differenzstufe

$$-U_{i_1} + U_{GS_1} - U_{GS_2} + U_{i_2} = 0 \quad (3.69)$$

$$\Rightarrow U_{i_1} - U_{i_2} = U_{GS_1} - U_{GS_2} \quad (3.70)$$

Aus Gleichung 3.27 und 3.29 folgt:

$$U_{GS} = \sqrt{\frac{2 \cdot I_D}{\beta}} + U_T(U_{SB}) \quad (3.71)$$

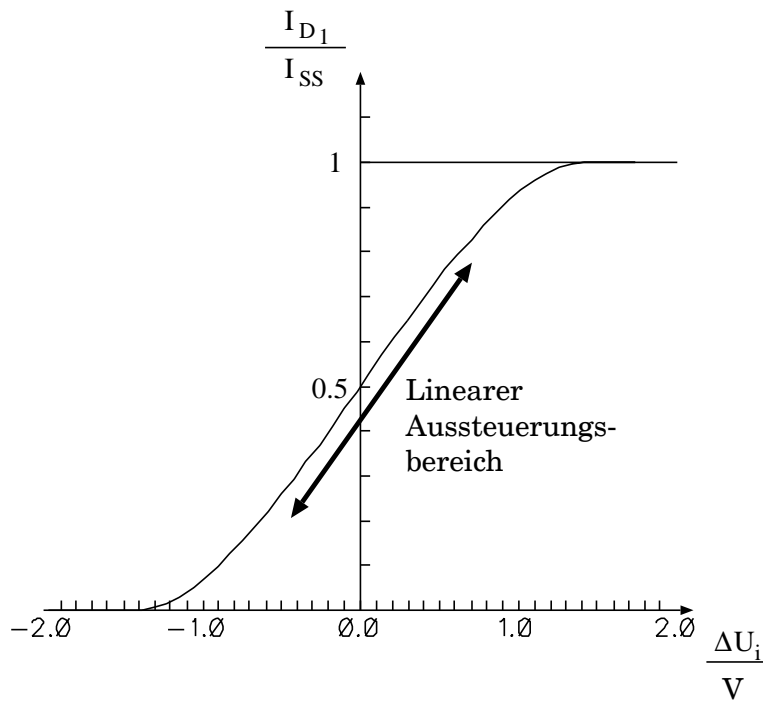
$$\text{Mit } U_{T_1} = U_{T_2} : \quad \Rightarrow U_{i_1} - U_{i_2} = \sqrt{\frac{2 \cdot I_{D_1}}{\beta}} - \sqrt{\frac{2 \cdot I_{D_2}}{\beta}} \quad (3.72)$$

$$\text{und mit } \Delta U_i = U_{i_1} - U_{i_2} : \quad \Rightarrow \Delta U_i = \sqrt{\frac{2 \cdot I_{D_1}}{\beta}} - \sqrt{\frac{2 \cdot I_{D_2}}{\beta}} \quad (3.73)$$

Dabei ist zu beachten, daß wegen $U_{SB_{1,2}} > 0$ gilt: $U_{T_{1,2}} > U_{T_0}$.

Man erkennt an den Gleichungen 3.67 und 3.73, daß der Strom I_{D_1} von ΔU_i und I_{SS} abhängt. Diese Abhängigkeit soll hier nur qualitativ dargestellt werden (Bild 3.13).

Bei der oben betrachteten Differenzstufe liegt das untere Potential U_{SS} auf Masse. Bei einigen Anwendungen ist jedoch ein Massepotential nötig, das von U_{DD} und U_{SS} unabhängig ist, wie z.B. in Bild 3.14 links. Für solche Fälle werden i.Allg. U_{DD} und U_{SS} symmetrisch zur Masse gewählt, beispielsweise $\pm 5V$. Bei einem Buffer dagegen ist eine externe Masse nicht nötig (Bild 3.14 rechts).



$$I_{SS} = 100 \mu\text{A}$$

Abbildung 3.13: Übertragungsfunktion der Differenzstufe: I_{D1} in Abhängigkeit von ΔU_i

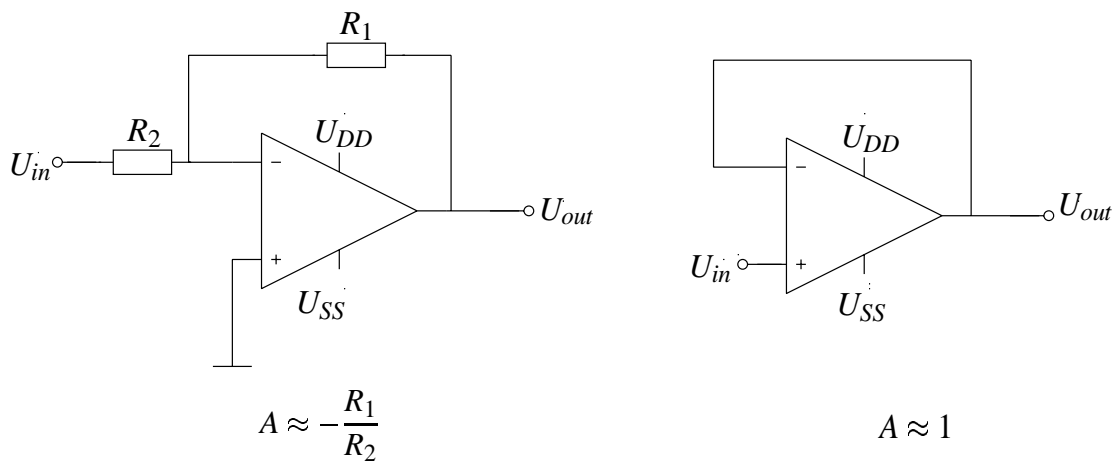


Abbildung 3.14: Typische Beschaltungen

3.4.1 Aussteuerungsbereich (Großsignalverhalten)

In diesem Abschnitt soll untersucht werden, in welchem Bereich die beiden Eingangsspannungen U_{i_1} und U_{i_2} in der Schaltung nach Bild 3.12 variiert werden können, ohne daß die Transistoren den Sättigungsbereich verlassen.

Differenzspannung

Aus Symmetriegründen sind beide Transistoren bei den folgenden Betrachtungen austauschbar. Wenn beide Eingänge gleich sind, gilt mit Gleichung 3.27 und 3.29:

$$U_{GS_{1,20}} = \sqrt{\frac{2 \cdot I_{D_{1,20}}}{\beta}} + U_T(U_{SB}) \quad (3.74)$$

$$\text{mit } I_{D_{1,2}} = \frac{I_{SS}}{2}: \quad = \sqrt{\frac{I_{SS}}{\beta}} + U_T(U_{SB}) \quad (3.75)$$

$$\text{bzw.} \quad U_{GS_{eff_{1,20}}} = \sqrt{\frac{I_{SS}}{\beta}} \quad (3.76)$$

Es sei jetzt $U_{i_2} > U_{i_1}$. Dann ist die obere Grenze erreicht, wenn der Transistor T_1 sperrt und Strom I_{SS} völlig durch den Transistor T_2 fließt. Das Potential am Knoten N_1 stellt sich entsprechend ein. Damit gilt:

$$U_{GS_{1min}} \approx U_T(U_{SB}) \quad (3.77)$$

$$U_{GS_{2max}} = U_{GS_{eff_{2max}}} + U_T(U_{SB}) \quad (3.78)$$

$$I_{D_{2max}} = I_{SS} \quad (3.79)$$

$$\implies \Delta U_{imax} = U_{GS_{eff_{2max}}} \quad (3.80)$$

$$= \sqrt{\frac{2 \cdot I_{D_{2max}}}{\beta}} \quad (3.81)$$

$$= \sqrt{\frac{2 \cdot I_{SS}}{\beta}} \quad (3.82)$$

$$= \sqrt{2} \cdot U_{GS_{eff_{1,20}}} \quad (3.83)$$

Für höhere Spannungen wird keine Verstärkung mehr erreicht, da die Differenzstufe voll ausgesteuert ist. Diese Spannung wird bei normalen Beschaltungen wie z.B. in Bild 3.14 nicht überschritten.

An Gleichung 3.82 erkennt man, daß der Aussteuerungsbereich über I_{SS} und über die β der Transistoren einstellbar ist. Ein größeres I_{SS} führt allerdings zu einer größeren Verlustleistung, ein kleineres β zu einem kleineren g_m (s. Gleichung 3.29) und damit zu einer geringeren Verstärkung.

Gleichanteil

Auch wenn $U_{i2} = U_{i1}$ ist (wie z.B. beim Buffer, Bild 3.14 rechts), können die Spannungen nicht beliebig variieren. In diesem Fall sind die beiden Drainströme I_{D1} und I_{D2} gleich. Für die Gate-Source-Spannung gilt bei beiden Transistoren gemäß Gleichung 3.75:

$$U_{GS_{1,2}} = \sqrt{\frac{I_{SS}}{\beta}} + U_T (U_{SB} > 0) \quad (3.84)$$

Dabei ist zu berücksichtigen, daß $U_{SB} > 0$ und damit $U_T > U_{T0}$ (s. Gleichung 3.36) ist.

Damit durch die Transistoren ein Drainstrom von $\frac{I_{SS}}{2}$ fließen kann, muß U_{GS} groß genug sein. Das Potential des Knotens N_1 stellt sich entsprechend ein, kann aber nicht kleiner als U_{SS} werden; im Fall $U_{N1} = U_{SS}$ wird $U_{SB} = 0$. Somit ist eine untere Schranke für die Eingangsspannungen gegeben:

$$U_{in} = U_{GS} + U_{N1} \quad (3.85)$$

$$> \sqrt{\frac{I_{SS}}{\beta}} + U_T (U_{SB} \approx 0) + U_{SS} \quad (3.86)$$

Die obere Grenze ist dadurch gegeben, daß die Transistoren in Sättigung bleiben müssen, d.h. $U_{DS} > U_{GS} - U_T (U_{SB})$. Da die Drainströme feststehen, sind über die Widerstände die Drainpotentiale festgelegt:

$$U_{out} = U_{DD} - \frac{I_{SS}}{2} \cdot R \quad (3.87)$$

Durch den Zusammenhang

$$U_{in} = U_{GS} - U_{DS} + U_{out} \quad (3.88)$$

$$= U_{GS} - U_{DS} + U_{DD} - \frac{I_{SS}}{2} \cdot R \quad (3.89)$$

$$< U_{GS} - (U_{GS} - U_T (U_{SB} > 0)) + U_{DD} - \frac{I_{SS}}{2} \cdot R \quad (3.90)$$

$$< U_T (U_{SB} > 0) + U_{DD} - \frac{I_{SS}}{2} \cdot R \quad (3.91)$$

ist eine Obergrenze für die Eingangsspannungen gegeben.

Insgesamt gilt also:

Differential Mode:	$\Delta U_{i_{max}} = \sqrt{2} \cdot U_{GS_{eff1,20}}$
Common Mode:	$\sqrt{\frac{I_{SS}}{\beta}} + U_T (U_{SB \approx 0}) + U_{SS} < U_{in} < U_T (U_{SB > 0}) + U_{DD} - \frac{I_{SS}}{2} \cdot R$
bzw. Common Mode Range:	$U_{DD} - U_{SS} - \frac{I_{SS}}{2} \cdot R - \sqrt{\frac{I_{SS}}{\beta}} + U_T (U_{SB > 0}) - U_T (U_{SB \approx 0})$

3.4.2 Kleinsignalverhalten

Während sich die Betrachtungen im vorherigen Abschnitt auf den Arbeitspunkt bezogen, sollen jetzt kleine Änderungen der Eingangsspannungen betrachtet werden. Um die Symmetrieeigenschaften ausnutzen zu können, spaltet man dabei die Ein- und die Ausgangsspannungen folgendermaßen auf:

$$u_{i_1} = u_{i_c} + \frac{u_{i_d}}{2} \quad (3.92) \qquad u_{o_1} = u_{o_c} + \frac{u_{o_d}}{2} \quad (3.96)$$

$$u_{i_2} = u_{i_c} - \frac{u_{i_d}}{2} \quad (3.93) \qquad u_{o_2} = u_{o_c} - \frac{u_{o_d}}{2} \quad (3.97)$$

$$u_{i_d} = u_{i_1} - u_{i_2} \quad (3.94) \qquad u_{o_d} = u_{o_1} - u_{o_2} \quad (3.98)$$

$$u_{i_c} = \frac{u_{i_1} + u_{i_2}}{2} \quad (3.95) \qquad u_{o_c} = \frac{u_{o_1} + u_{o_2}}{2} \quad (3.99)$$

Dabei steht c für den Gleichanteil (common) und d für den Differenzanteil der Spannungen. Eine solche Aufspaltung ist immer möglich; die entsprechenden Ausgangsspannungen überlagern sich gemäß dem Superpositionsprinzip. Der Vorteil dieser Aufspaltung ist, daß nur ein symmetrischer und ein antisymmetrischer Anteil betrachtet werden müssen. Damit ergibt sich Bild 3.15.

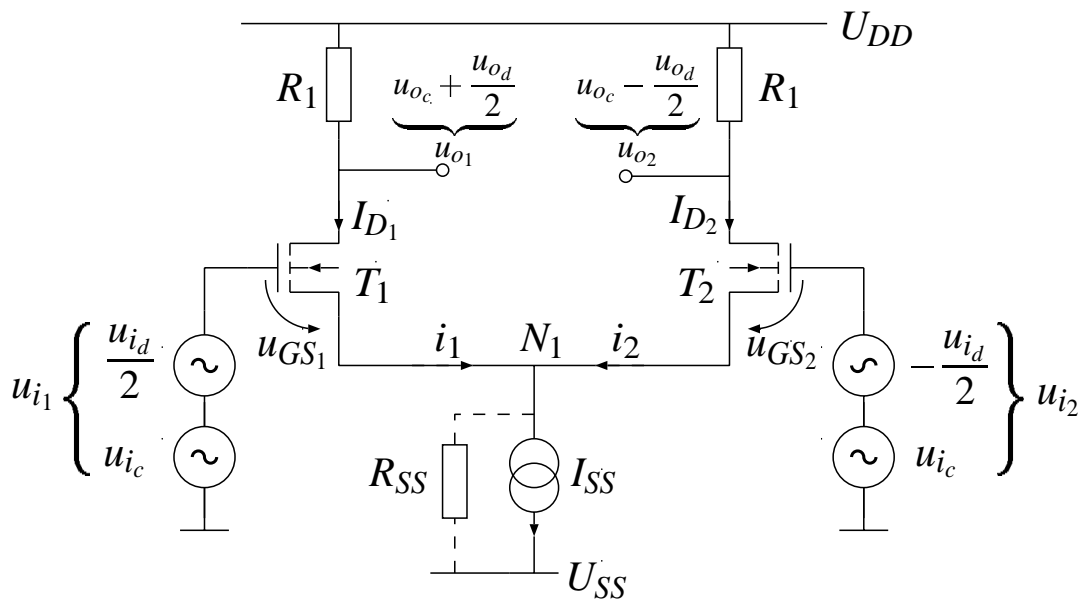


Abbildung 3.15: Differenzstufe mit aufgespaltenen Ein- und Ausgangsspannungen

Differenzmode

Zunächst soll nur der Differenzanteil betrachtet werden:

$$\text{Annahme: } u_{ic} = 0 \implies u_{oc} = 0 \quad (3.100)$$

$$u_{id} > 0 \implies i_1 > 0, i_2 < 0 \quad (3.101)$$

Da die beiden Eingangsspannungen betragsmäßig gleich groß sind und für das Kleinsignalverhalten die im Arbeitspunkt linearisierten Gleichungen verwendet werden, gilt:

$$i_1 = -i_2 \quad (3.102)$$

Entsprechend fließt in der Kleinsignalbetrachtung kein Strom über R_{SS} ; deshalb ändert sich das Potential des Knotens N_1 nicht und er kann im Ersatzschaltbild auf Masse gelegt werden. In diesem Fall gilt also $u_{in} = u_{GS}$. Damit erhält man dann zwei voneinander entkoppelte Inverter (siehe Bild 3.16).

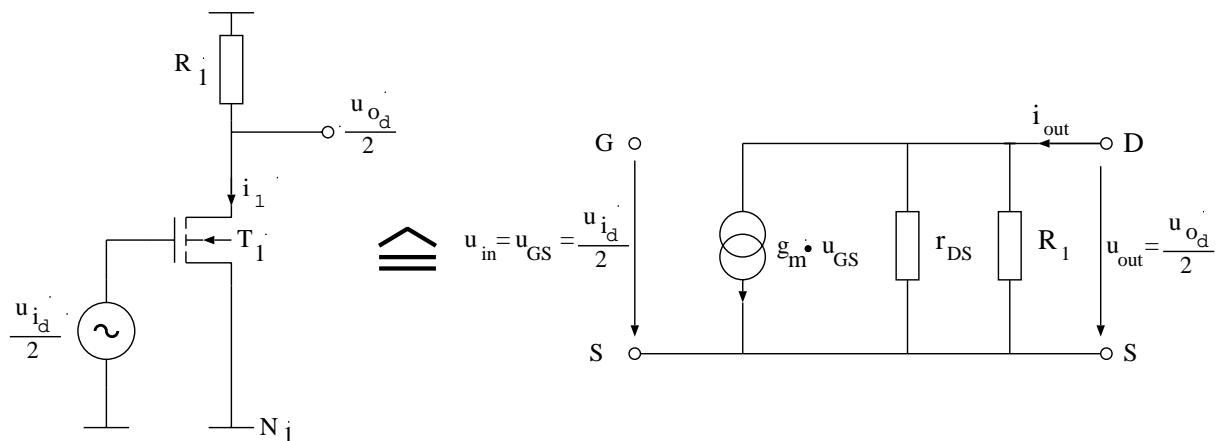


Abbildung 3.16: Kleinsignalersatzschaltbild für einen der Inverter

Die Verstärkung ergibt sich allgemein aus:

$$A_{DM} = -g \cdot r_{out} \quad (3.103)$$

g ergibt sich, wenn man den Ausgang kurzschließt und den Ausgangsstrom in Abhängigkeit von der Eingangsspannung ermittelt:

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} = \frac{g_m \cdot u_{GS}}{\frac{u_{id}}{2}} = \frac{g_m \cdot \frac{u_{id}}{2}}{\frac{u_{id}}{2}} = g_m \quad (3.104)$$

Um r_{out} zu bestimmen, wird der Eingang kurzgeschlossen und die Ausgangsspannung in Abhängigkeit vom Ausgangsstrom bestimmt:

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.105)$$

$$= \frac{i_{out} \cdot (R_1 \parallel r_{DS})}{i_{out}} \Big|_{u_{GS}=0} \quad (3.106)$$

$$= R_1 \parallel r_{DS} = \frac{1}{\frac{1}{r_{DS}} + \frac{1}{R_1}} = \frac{1}{g_{DS} + \frac{1}{R_1}} \quad (3.107)$$

Bei einfachen Zusammenhängen lassen sich diese Größen auch an der Schaltung erkennen: Ein angenommener Teststrom i_{out} am Ausgang bei festgehaltenem Eingangspotential teilt sich in die beiden Zweige auf, sodaß die Parallelschaltung von R_1 und r_{DS} (wegen festgehaltenem Gatepotential) als Ausgangswiderstand erscheint. Die Drainstromänderung bei festgehaltenem Ausgangspotential und variiertem Eingangspotential hängt nur von g_m ab, sodaß $g = g_m$ ebenfalls leicht ablesbar ist.

Damit ergibt sich für die Differenzverstärkung:

$$\implies A_{DM} = -g_m \cdot \frac{1}{g_{DS} + \frac{1}{R_1}} \quad (3.108)$$

Dies ist die gesamte Differenzverstärkung der Stufe, da sich die beiden Faktoren $\frac{1}{2}$ bei u_{i_d} und u_{o_d} aufheben. Man erkennt, daß sich diese Verstärkung nicht von der des einfachen Inverters unterscheidet.

Common Mode

Jetzt wird nur ein Gleichanteil angenommen:

$$\text{Annahme: } u_{i_d} = 0, \quad u_{i_c} > 0 \quad (3.109)$$

$$(3.110)$$

Da die beiden Eingangsspannungen gleich sind, lassen die beiden Transistoren gleichviel Strom durch:

$$I_{D_1} = I_{D_2} \implies i_1 = i_2 \quad (3.111)$$

Zur Vereinfachung der Berechnung wird in Bild 3.17 die Stromquelle mit Innenwiderstand aufgeteilt; dabei halbiert sich der Wert der Stromquelle, weil die Ströme sich addieren, während sich der Wert des Widerstands verdoppelt, weil es sich um eine Parallelschaltung handelt.

Diese Umformung ändert nichts am Verhalten der Schaltung. Weil in diesem Fall $I_{D_1} = I_{D_2}$ ist, ist die Schaltung symmetrisch und durch den Knoten N_1 fließt kein Strom: $i_1' = i_2' = 0$. Daher läßt sich die Schaltung am Knoten N_1 auftrennen und in zwei identische Hälften teilen (siehe Bild 3.18).

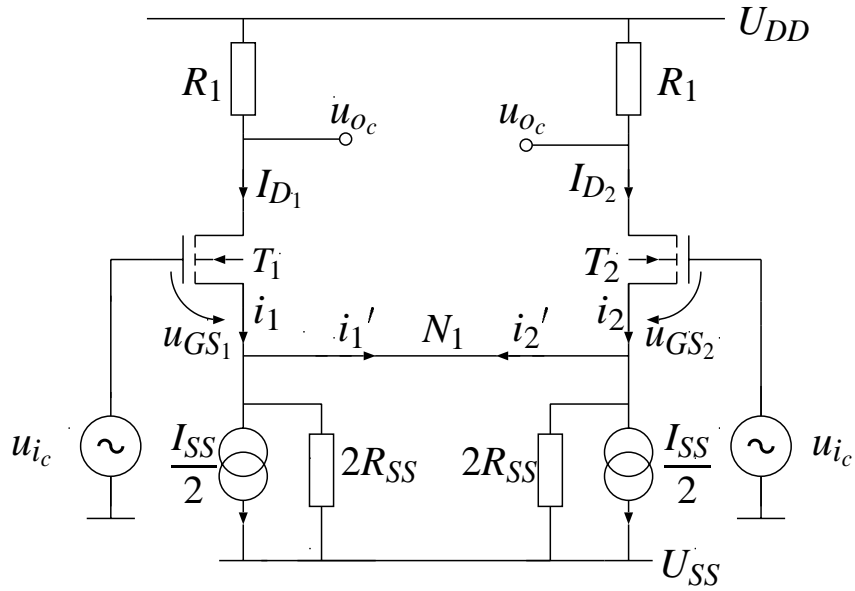


Abbildung 3.17: Differenzstufe mit aufgespaltener Stromquelle

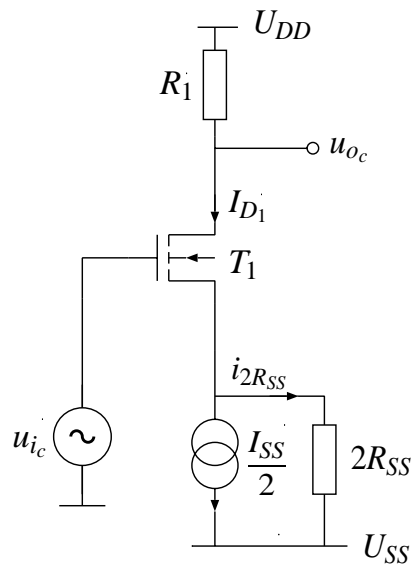


Abbildung 3.18: Teilschaltung von Bild 3.17

Für das Kleinsignalverhalten entfällt die Konstantstromquelle und kann aufgetrennt werden. In diesem Fall ist das Potential des Knotens N_1 nicht konstant, entsprechend gilt hier nicht $u_{in} = u_{GS}$. Dies wird auch im Kleinsignalersatzschaltbild 3.19 deutlich. Damit wird insbesondere die Berechnung von $r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0}$ komplexer.

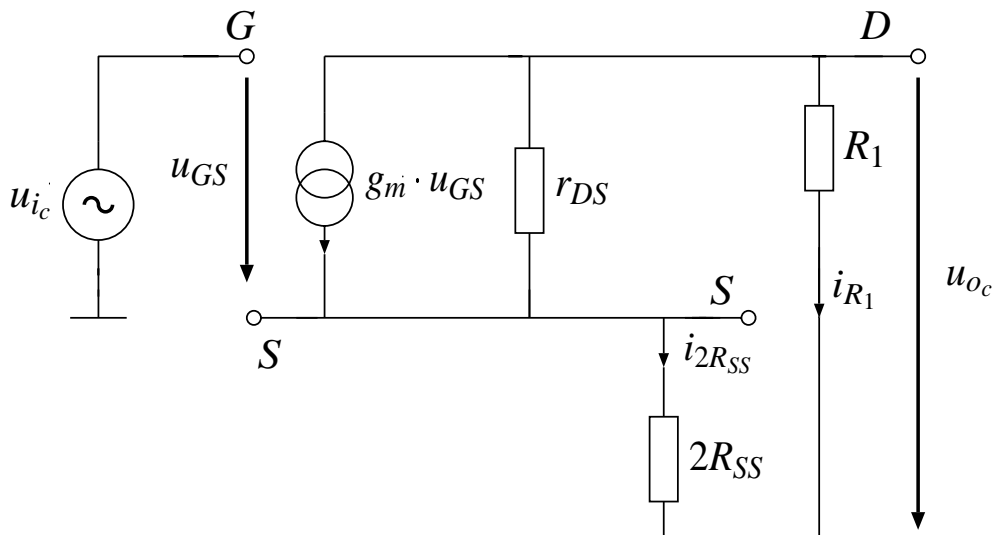


Abbildung 3.19: Kleinsignalersatzschaltbild von Bild 3.18

$i_{2R_{SS}}$ sei der Kleinsignalstrom, der durch $2R$ fließt. Damit gelten folgende Gleichungen:

$$i_{2R_{SS}} = -i_{R_1} \quad (3.112)$$

$$u_{i_c} = u_{GS} + i_{2R_{SS}} \cdot 2 \cdot R_{SS} \quad (3.113)$$

$$u_{o_c} = -i_{2R_{SS}} \cdot R_1 \quad (3.114)$$

$$= i_{2R_{SS}} \cdot 2 \cdot R_{SS} + (i_{2R_{SS}} - g_m \cdot u_{GS}) \cdot r_{DS} \quad (3.115)$$

Für die Gleichtaktverstärkung A_{CM} (CM: Common Mode) gilt:

$$A_{CM} = -g \cdot r_{out} \quad (3.116)$$

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \quad (3.117)$$

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.118)$$

Durch Einsetzen und Umformen erhält man:

$$A_{CM} = -\frac{g_m}{\frac{1}{r_{DS}} + \frac{1}{R_1} + \frac{2 \cdot R_{SS}}{R_1} \cdot \left(\frac{1}{r_{DS}} + g_m\right)} \quad (3.119)$$

Der Widerstand R_1 kann schon aus Platzgründen nicht allzu groß sein; wie wir schon gesehen haben, gilt i.Allg. $R_1 \ll r_{DS}$. Ebenfalls kann man gewöhnlich $g_m \gg \frac{1}{r_{DS}}$ abschätzen. Der Innenwiderstand der Stromquelle R_{SS} ist möglichst groß (im Idealfall wäre $R_{SS} = \infty$); entsprechend gilt $2 \cdot R_{SS} \cdot g_m \gg 1$. Damit läßt sich die Gleichtaktverstärkung abschätzen:

$$A_{CM} = -\frac{g_m}{\frac{1}{r_{DS}} + \frac{1}{R_1} + \frac{2 \cdot R_{SS}}{R_1} \cdot \left(\frac{1}{r_{DS}} + g_m\right)} \quad (3.120)$$

$$\text{mit } R_1 \ll r_{DS}: \quad \approx -\frac{g_m}{\frac{1}{R_1} + \frac{2 \cdot R_{SS}}{R_1} \cdot \left(\frac{1}{r_{DS}} + g_m\right)} \quad (3.121)$$

$$\text{mit } g_m \gg \frac{1}{r_{DS}}: \quad \approx -\frac{g_m}{\frac{1}{R_1} + \frac{2 \cdot R_{SS}}{R_1} \cdot g_m} \quad (3.122)$$

$$= -\frac{g_m}{\frac{(1+g_m \cdot 2 \cdot R_{SS})}{R_1}} \quad (3.123)$$

$$\text{mit } 2 \cdot R_{SS} \cdot g_m \gg 1: \quad \approx -\frac{g_m}{\frac{g_m \cdot 2 \cdot R_{SS}}{R_1}} \quad (3.124)$$

$$= -\frac{R_1}{2 \cdot R_{SS}} \quad (3.125)$$

$$\Rightarrow \quad \boxed{A_{DM} \approx -g_m \cdot R_1 \qquad A_{CM} \approx -\frac{R_1}{2 \cdot R_{SS}}} \quad (3.126)$$

Da es sich um einen *Differenz*-Verstärker handelt, sind eine große Differenzverstärkung A_{DM} und eine kleine Gleichtaktverstärkung A_{CM} erwünscht.

Ein großer Innenwiderstand der Stromquelle R_{SS} führt zu einer kleinen Gleichtaktverstärkung A_{CM} . Dies ist auch anschaulich klar: Wenn R_{SS} groß ist, führt eine Eingangsspannungsänderung nur zu einer kleinen Drainstromänderung, weil sich das Potential von N_1 entsprechend erhöht und sich die Gate-Source-Spannungen deshalb nur wenig ändern. Damit verändert sich der Spannungsabfall an den Widerständen R_1 nur wenig und die Ausgangsspannungen bleiben annähernd gleich.

Ein anderer Weg, eine kleine Gleichtaktverstärkung zu erreichen, wären kleine Widerstände R_1 . Dies würde aber auch die Differenzverstärkung vermindern.

Unter CMRR (Common Mode Rejection Ratio, Gleichtaktunterdrückung) versteht man das Verhältnis von Differenz- zu Gleichtaktverstärkung:

$$CMRR = \frac{A_{DM}}{A_{CM}} \quad (3.127)$$

$$\approx \frac{g_m \cdot R_1}{\frac{R_1}{2 \cdot R_{SS}}} \quad (3.128)$$

$$= 2 \cdot R_{SS} \cdot g_m \quad (3.129)$$

Für eine große Differenzverstärkung A_{DM} benötigt man einen großen Widerstand R_1 , eine große Gleichtaktunterdrückung erhält man, wenn die Stromquelle einen großen Innenwiderstand R_{SS} hat.

3.5 Transistoren als Widerstände

Um große Verstärkungen zu erhalten, waren in den betrachteten Schaltungen große Widerstände nötig. Diese lassen sich monolithisch nur unter großem Platzbedarf realisieren. Für große Kleinsignalverstärkungen muß der Widerstand aber nur im Kleinsignalverhalten groß sein, der Absolutwert spielt dafür keine Rolle. Wie wir gesehen haben, hat ein Transistor im Sättigungsbereich zwar einen kleinen Großsignalwiderstand, aber einen hohen Kleinsignalwiderstand.

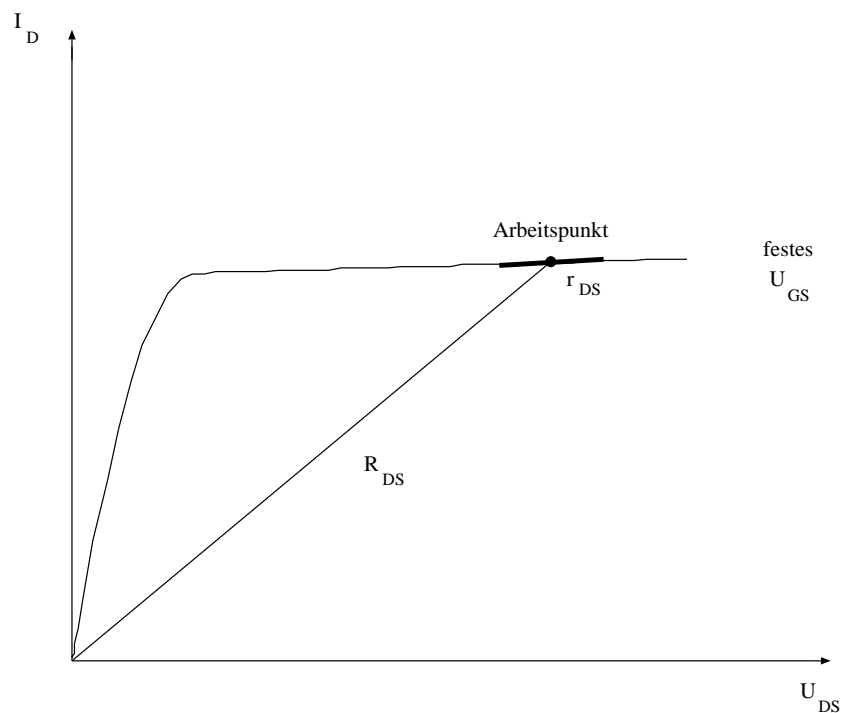


Abbildung 3.20: Differentieller Widerstand r_{DS} bei festem U_{GS}

Bild 3.20 verdeutlicht diesen Zusammenhang: Während R_{DS} (Großsignal) der Steigung der Verbindung Ursprung-Arbeitspunkt entspricht, ist r_{DS} (Kleinsignal) durch die Steigung der Tangenten im Arbeitspunkt gegeben:

$$G_{DS} = \frac{I_D}{U_{DS}} \quad g_{DS} = \frac{dI_D}{dU_{DS}} \quad (3.130)$$

An Bild 2.15 erkennt man, daß ein möglichst kleines $U_{GS_{eff}}$ zwei Vorteile bietet:

- Die Steigung im Sättigungsbereich ist geringer \implies großes r_{DS}
- Der Transistor bleibt für größere Schwankungen der Spannung U_{DS} im Sättigungsbereich

Im Folgenden werden unterschiedliche Beschaltungen von Transistoren auf ihre Eignung als Kleinsignalwiderstand untersucht werden.

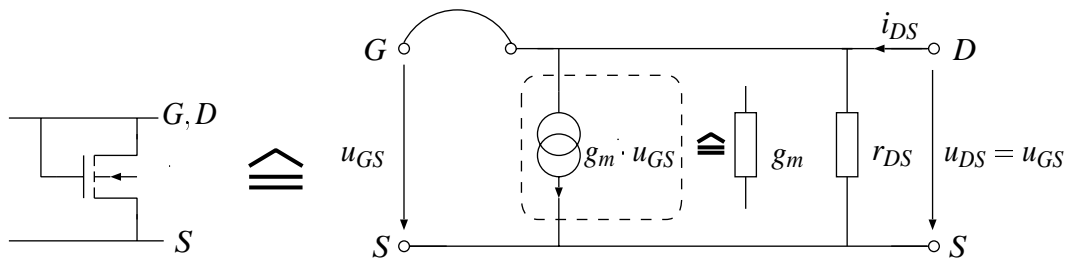


Abbildung 3.21: n-Kanal-Transistor als Diode geschaltet

3.5.1 n-Kanal-Transistor als Diode

In Bild 3.21 sind Gate und Drain des Transistors miteinander verbunden. Da $U_{GS} = U_{DS}$, befindet sich der Transistor in Sättigung und es gilt großsignalmäßig:

$$I_D(U_{DS}) = I_D(U_{GS}) = \frac{1}{2} \cdot \beta \cdot (U_{DS} - U_T)^2 \quad (3.131)$$

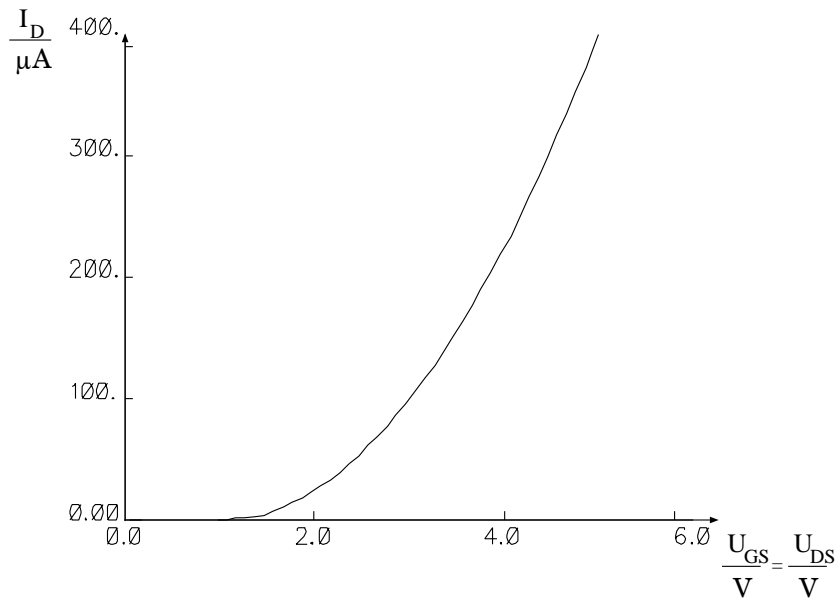


Abbildung 3.22: Kennlinie eines als Diode geschalteten n-Kanal-Transistors

Man erhält eine Kennlinie gemäß Bild 3.22. Daher bezeichnet man eine solche Beschaltung als Diode. Zur Ermittlung des Kleinsignalwiderstands wird Bild 3.21 rechts betrachtet:

$$i_{DS} = g_m \cdot u_{GS} + \frac{u_{DS}}{r_{DS}} \quad (3.132)$$

$$\text{mit } u_{DS} = u_{GS} : \quad = u_{DS} \cdot (g_m + g_{DS}) \quad (3.133)$$

$$\Rightarrow r_{out} = \frac{1}{g_m + g_{DS}} \quad (3.134)$$

mit $g_{DS} \ll g_m$ (mind. Faktor 100) :

$$\boxed{r_{out} \approx \frac{1}{g_m}} \quad (3.135)$$

Mit den betrachteten Beispielwerten von Seite 31 ergäbe sich ein Widerstand von nur $2k\Omega$. Diese Beschaltung ist daher nicht als Realisierung großer Widerstände geeignet.

3.5.2 p-Kanal-Transistor als Diode

Jetzt soll ein p-Kanal-Transistor als Diode geschaltet werden. In Bild 3.23 ist er als Lastwiderstand eines Inverters eingesetzt. Man beachte, daß sich die Bezeichnungen von Drain und Source beim p-Kanal-Transistor umkehren. Die beiden Drains liegen direkt und die beiden Sources kleinsignalmäßig auf gleichem Potential.

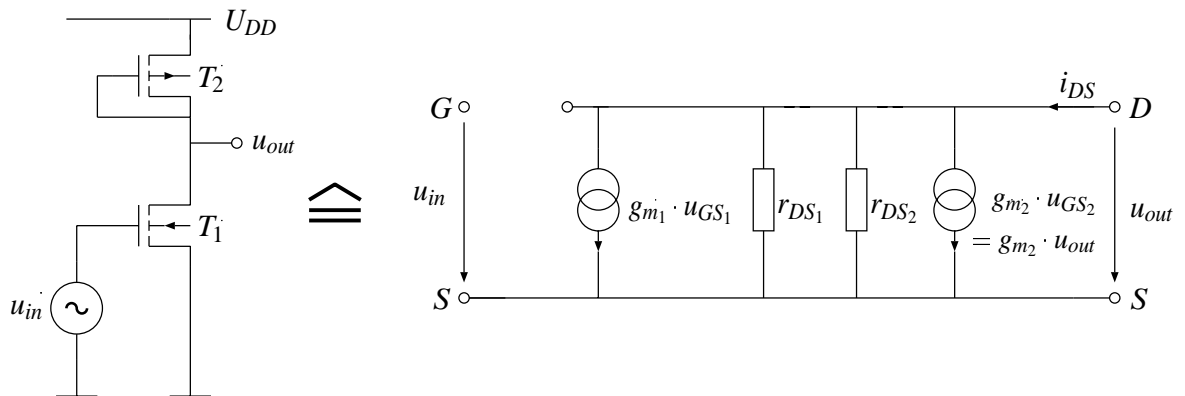


Abbildung 3.23: p-Kanal-Transistor als Widerstand

In Schaltung 3.23 gilt:

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.136)$$

$$= \frac{u_{out}}{\frac{u_{out}}{(r_{DS1} \parallel r_{DS2})} + g_{m2} \cdot u_{out}} \quad (3.137)$$

$$= \frac{1}{g_{DS1} + g_{DS2} + g_{m2}} \quad (3.138)$$

$$\text{mit } g_m \gg \frac{1}{r_{DS}}: \quad \approx \frac{1}{g_{m2}} \quad (3.139)$$

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \quad (3.140)$$

$$= \frac{g_{m1} \cdot u_{GS1}}{u_{in}} \quad (3.141)$$

$$= g_{m1} \quad (3.142)$$

$$\Rightarrow A = -g \cdot r_{out} \quad (3.143)$$

$$\approx -\frac{g_{m1}}{g_{m2}} \quad (3.144)$$

$$\quad (3.145)$$

$$\text{mit } I_{D1} = I_{D2} = I_D \text{ und Glg. 3.29:} \quad = -\frac{\sqrt{2 \cdot I_D \cdot \beta_{0n} \cdot \left(\frac{W}{L}\right)_n}}{\sqrt{2 \cdot I_D \cdot \beta_{0p} \cdot \left(\frac{W}{L}\right)_p}} \quad (3.146)$$

$$= -\frac{\sqrt{\beta_{0n} \cdot \left(\frac{W}{L}\right)_n}}{\sqrt{\beta_{0p} \cdot \left(\frac{W}{L}\right)_p}} \quad (3.147)$$

$$\text{mit } \beta_{0n} \approx 3 \cdot \beta_{0p}: \quad \approx -\sqrt{3 \cdot \frac{\left(\frac{W}{L}\right)_n}{\left(\frac{W}{L}\right)_p}} \quad (3.148)$$

Durch die $\frac{W}{L}$ -Verhältnisse ist die Verstärkung also beeinflussbar. Wähle beispielsweise:

$$\left(\frac{W}{L}\right)_n = \frac{50\mu\text{m}}{5\mu\text{m}} \quad \left(\frac{W}{L}\right)_p = \frac{5\mu\text{m}}{15\mu\text{m}} \quad (3.149)$$

$$\Rightarrow A = -\sqrt{3 \cdot \frac{50}{5 \cdot 15}} \approx -10 \quad (3.150)$$

Allerdings gehen die $\frac{W}{L}$ -Verhältnisse nur in der Wurzel ein, daher sind große Widerstände auf diese Art nur mit großem Platzbedarf möglich.

3.5.3 Transistor mit festem U_{GS}

Bei den bisherigen Schaltungen wurde das Gate-Potential des Widerstandstransistors auf sein Drain-Potential gelegt; damit ist die Spannung U_{GS} noch variabel. An der Ausgangskennlinie des Transistors (Bild 2.15) kann man erkennen, daß bei einem festen U_{GS} die Steigung der Geraden $I_D(U_{DS})$ fast Null ist, was einem großen differentiellen Widerstand entspricht. Deshalb wird der Transistor jetzt mit einer festen Spannungsquelle zwischen Gate und Source betrieben (siehe Bild 3.24 links). Für das Kleinsignalverhalten bedeutet das:

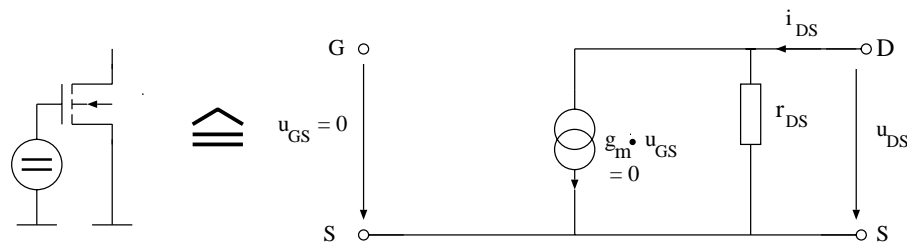


Abbildung 3.24: Kleinsignalersatzschaltbild bei festem U_{GS}

$$u_{GS} = 0 \quad (3.151)$$

$$r_{out} = r_{DS} \quad (3.152)$$

Wenn bei der Differenzstufe aus Bild 3.12 ein p-Kanal-Transistor mit fester Gate-Source-Spannung als Widerstand verwendet wird, sieht im Differenzmode eine Hälfte der Differenzstufe wie in Bild 3.25 aus:

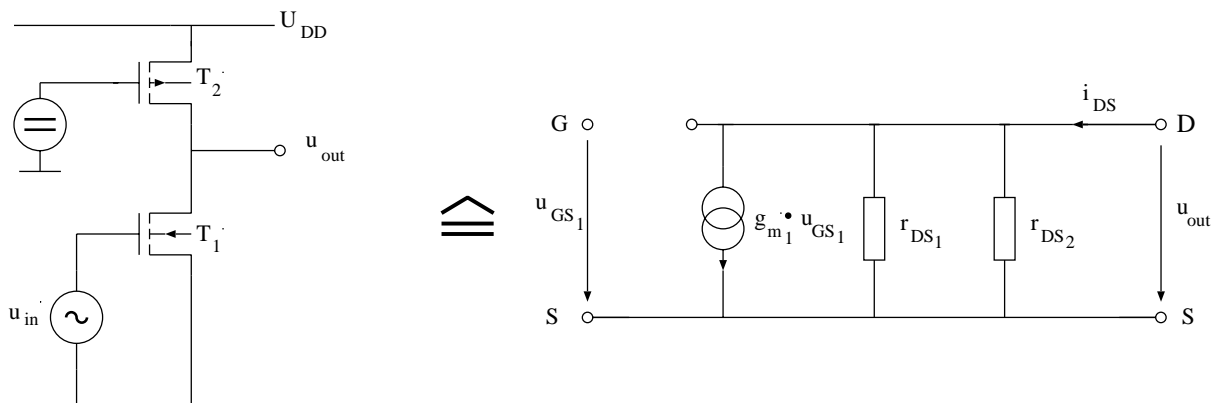


Abbildung 3.25: Linker Teil der Differenzstufe bei festem U_{GS}

$$A = -g \cdot r_{out} \quad (3.153)$$

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \quad (3.154)$$

$$= \frac{g_{m1} \cdot u_{GS1}}{u_{in}} \quad (3.155)$$

$$= g_{m1} \quad (3.156)$$

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.157)$$

$$= \frac{u_{out}}{u_{out} \cdot (g_{DS1} + g_{DS2})} \quad (3.158)$$

$$= \frac{1}{g_{DS1} + g_{DS2}} \quad (3.159)$$

$$\Rightarrow A = -\frac{g_{m1}}{g_{DS1} + g_{DS2}} \quad (3.160)$$

$$\text{mit } g_{m1} = 500\mu S, \quad = -\frac{500\mu S}{2.5\mu S + 2.5\mu S} \quad (3.161)$$

$$g_{DS1} = g_{DS2} = 2.5\mu S: \quad = -100 \quad (3.162)$$

Auf diese Art sind also erheblich höhere Verstärkungen erreichbar.

3.5.4 Zweiter Transistor aktiv

Es stellt sich die Frage, ob der zweite Transistor auch aktiv an der Verstärkung beteiligt werden kann. Dazu wird an sein Gate ebenfalls die Eingangsspannung angelegt (siehe Bild 3.26 links). Da es sich um einen p-Kanal-Transistor handelt, führt ein positiveres U_{GS} dazu, daß der Transistor weniger öffnet und I_D sinkt:

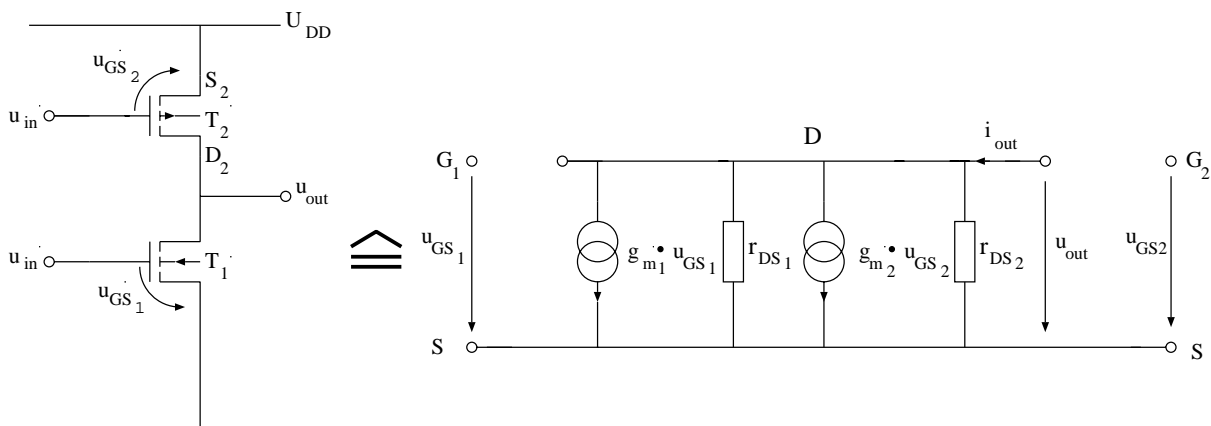


Abbildung 3.26: Aktiver p-Kanal-Transistor

$$U_{in} \uparrow \implies U_{GS_2} \uparrow \implies I_{SD_2} \downarrow \implies I_{DS_2} \uparrow \quad (3.163)$$

($U_{GS_2} < 0, I_{DS_2} < 0$; daher gilt $U_{GS_2} \uparrow \iff |U_{GS_2}| \downarrow$ bzw. $I_{DS_2} \uparrow \iff |I_{DS_2}| \downarrow$)

Ein positives u_{in} führt also kleinsignalmäßig zu einem höheren Widerstandswert; damit wird T_1 unterstützt. Das ist auch am Kleinsignalersatzschaltbild 3.26 rechts erkennbar. Die beiden Drains sind gemäß der Schaltung verbunden.

Wegen $Gate_1 = Gate_2$ gilt $\Delta U_{GS_1} = \Delta U_{GS_2}$ bzw. $u_{GS_1} = u_{GS_2} = u_{in}$. Für die Verstärkung gilt dann:

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \quad (3.164)$$

$$= \frac{g_{m_1} \cdot u_{GS_1} + g_{m_2} \cdot u_{GS_2}}{u_{in}} \quad (3.165)$$

$$\text{mit } u_{GS_2} = u_{GS_1} = u_{in}: \quad = g_{m_1} + g_{m_2} \quad (3.166)$$

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.167)$$

$$= \frac{u_{out}}{u_{out} \cdot (g_{DS_1} + g_{DS_2})} \quad (3.168)$$

$$= \frac{1}{g_{DS_1} + g_{DS_2}} \quad (3.169)$$

$$\implies A = - \frac{g_{m_1} + g_{m_2}}{g_{DS_1} + g_{DS_2}} \quad (3.170)$$

$$\text{mit } g_{m_1} \approx g_{m_2} = g_m \quad (3.171)$$

$$\text{und } g_{DS_1} \approx g_{DS_2} = g_{DS}: \quad \approx - \frac{2 \cdot g_m}{2 \cdot g_{DS}} \quad (3.172)$$

$$\approx -200 \quad (3.173)$$

Auf diese Art läßt sich die Verstärkung also verdoppeln. Da die Übertragungskennlinie sehr steil ist, erweist es sich aber als sehr schwierig, den Arbeitspunkt so einzustellen, daß beide Transistoren in Sättigung bleiben. Daher wird diese Schaltung in Verstärkern vermieden, kann aber in Komparatoren verwendet werden, weil es dort nicht darauf ankommt, daß beide Transistoren in Sättigung bleiben.

Allerdings gestaltet sich die Arbeitspunkteinstellung beider Transistoren recht schwierig, daher wird gewöhnlich doch mit einer festen Spannungsquelle gearbeitet.

3.6 Stromquellen

3.6.1 Feste Spannungsquelle

Dazu muß ein festes Potential erzeugt werden. Als Versuch kann Bild 3.27 links gelten. Der Transistor ist als Diode geschaltet. Man erhält einen Spannungsteiler, der über die Werte von R_1 , W und L einstellbar ist.

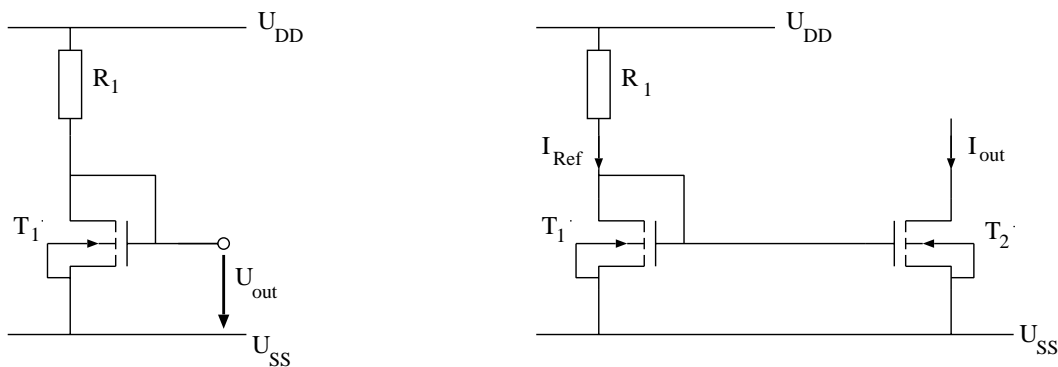


Abbildung 3.27: Spannungsteiler und Stromspiegel

3.6.2 Stromspiegel

Wird in Bild 3.27 ein zweiter Transistor an das feste Potential angeschlossen, so erhält man einen Stromspiegel (Bild 3.27 rechts). Wenn beide Transistoren gleich $((\frac{W}{L})|_1 = (\frac{W}{L})|_2)$ sind, gilt:

$$\text{mit } U_{GS1} = U_{GS2} = U_{GS}: \quad I_{D1} = I_{D2} \quad (3.174)$$

Aus diesem Grund wird diese Schaltung als Stromspiegel bezeichnet. Sie kann als Stromquelle mit hohem Innenwiderstand $r_{out} = r_{DS}$ eingesetzt werden. Der Strom im linken Zweig wird als Referenzstrom bezeichnet. Er kann über den Transistor und den Widerstand eingestellt werden. Es gilt:

$$I_{Ref} = \frac{1}{2} \cdot \beta_1 \cdot (U_{GS} - U_T)^2 \quad (3.175)$$

$$U_{GS} = U_{DD} - U_{SS} - I_{Ref} \cdot R_1 \quad (3.176)$$

$$\Rightarrow I_{Ref} = \frac{1}{2} \cdot \beta_1 \cdot (U_{DD} - U_{SS} - I_{Ref} \cdot R_1 - U_T)^2 \quad (3.177)$$

$$\Rightarrow \sqrt{\frac{2 \cdot I_{Ref}}{\beta_1}} = U_{DD} - U_{SS} - I_{Ref} \cdot R_1 - U_T \quad (3.178)$$

$$\Rightarrow I_{Ref} \cdot R_1 = U_{DD} - U_{SS} - U_T - \sqrt{\frac{2 \cdot I_{Ref}}{\beta_1}} \quad (3.179)$$

$$\Rightarrow R_1 = \frac{U_{DD} - U_{SS} - U_T}{I_{Ref}} - \sqrt{\frac{2}{I_{Ref} \cdot \beta_1}} \quad (3.180)$$

Als Beispiel soll gelten:

$$U_{DD} - U_{SS} = 10V \quad (3.181)$$

$$U_T = 1V \quad (3.182)$$

$$\beta_1 = 50 \frac{\mu A}{V^2} \quad (3.183)$$

Damit ergibt sich für den Großsignalwiderstand:

$$R_1 = \frac{9V}{I_{Ref}} - \sqrt{\frac{2}{I_{Ref} \cdot 50 \frac{\mu A}{V^2}}} \quad (3.184)$$

Für einen Strom von $250\mu A$ benötigt man damit einen Widerstand der Größe $23k\Omega$. Um die Verlustleistung gering zu halten, soll der Strom möglichst klein sein. Für einen Strom von $25\mu A$ muß der Wert des Widerstands aber schon $320k\Omega$ betragen.

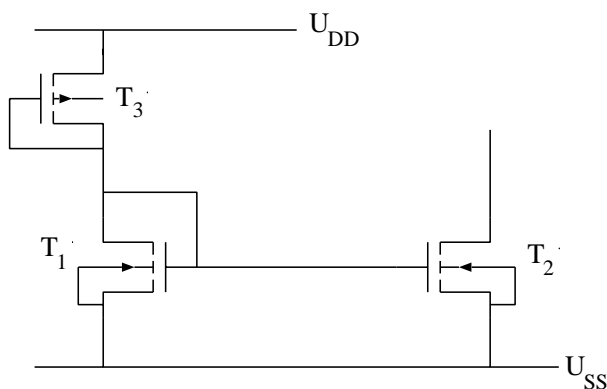


Abbildung 3.28: Stromspiegel mit p-Kanal-Transistor als Widerstand

Auch hier wird der Widerstand durch einen als Diode geschalteten Transistor realisiert, in Bild 3.28 durch einen p-Kanal-Transistor T_3 . Für diesen wählt man ein kleines $\frac{W}{L}$ -Verhältnis. Damit ist der differentielle Widerstand zwar nicht sehr hoch ($\frac{1}{g_m}$), aber der Absolutwert ist hoch.

Die Schaltung in Bild 3.28 entspricht einem gegengekoppeltem Inverter: Der Ausgang des n-MOS-Inverters ist auf den Eingang (Gate) des p-MOS-Inverters geschaltet und umgekehrt. Der Strom wird durch die Spannung $U_{GS_{eff}}$ bestimmt. Wenn die beiden Transistoren T_1 und T_3 äquivalent ausgelegt sind (d.h. $\beta_n = \beta_p$), gilt für $U_{GS_{eff}}$:

$$U_{GS_{eff}} = \frac{U_{DD} - U_{SS}}{2} - U_T \quad (3.185)$$

$$= \frac{U_{DD} - U_{SS} - 2 \cdot U_T}{2} \quad (3.186)$$

$$\text{mit den Beispielwerten:} \quad = \frac{10V - 2V}{2} = 4V \quad (3.187)$$

Die beiden Drainströme können daher sehr groß werden:

$$U_{DD} - U_{SS} = U_{GS_3} + U_{GS_1} \quad (3.188)$$

$$= \sqrt{\frac{2 \cdot I_{D_3}}{\beta_3}} + U_{T_3} + \sqrt{\frac{2 \cdot I_{D_1}}{\beta_1}} + U_{T_1} \quad (3.189)$$

$$= 2 \cdot \left(\sqrt{\frac{2 \cdot I_D}{\beta}} + U_T \right) \quad (3.190)$$

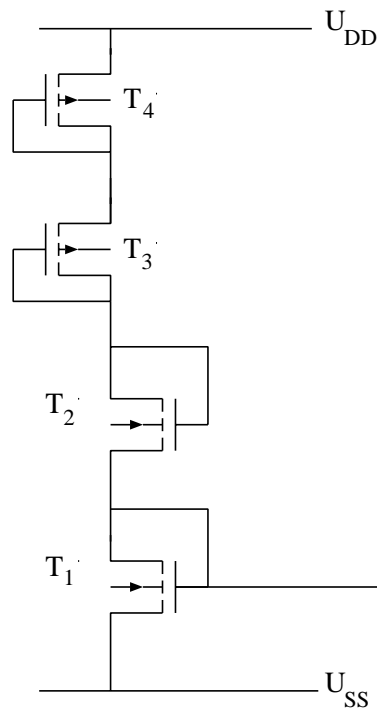


Abbildung 3.29: Stromspiegel mit 4 Transistoren

Um den Strom zu verringern, kann man mehrere Transistoren verwenden und so den Strom über ein kleineres U_{GS} einstellen. Beispielsweise gilt in Bild 3.29:

$$U_{GS_{eff}} = \frac{U_{DD} - U_{SS} - 4 \cdot U_T}{4} \quad (3.191)$$

$$\text{mit den Beispielwerten:} \quad = \frac{10V - 4V}{4} = 1.5V \quad (3.192)$$

Eine Stromeinstellung ist auch über die $\frac{W}{L}$ - Verhältnisse möglich, aber die Variante aus Bild 3.29 ist trotz größerer Zahl von Transistoren platzsparender.

Der bereits eingeführte Stromspiegel soll genauer untersucht werden. Zur einfachen Rechnung wird in Bild 3.30 eine ideale Stromquelle angenommen.

Der Transistor T_1 ist wegen $U_{GS_1} = U_{DS_1}$ in Sättigung, wenn $U_{GS_1} > U_T$ gilt. Damit auch der Transistor T_2 in einem möglichst großen Bereich (d.h. auch für kleine U_{DS_2}) in Sättigung bleibt, wird dabei $U_{GS_1} = U_{GS_2}$ so klein wie möglich eingestellt.

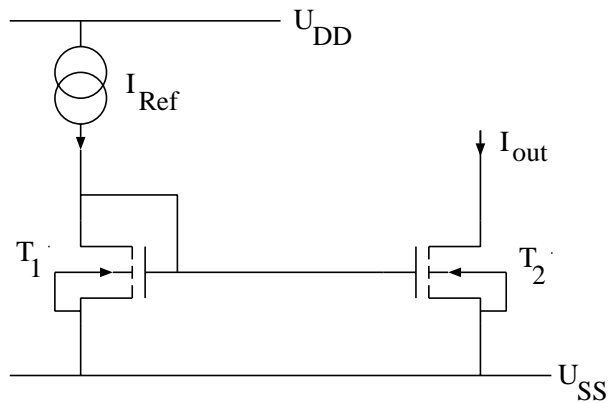


Abbildung 3.30: Stromspiegel mit idealer Stromquelle

Für die Drainströme gilt:

$$I_{out} = \frac{1}{2} \cdot \beta_2 \cdot (U_{GS2} - U_{T2})^2 \cdot (1 + \lambda \cdot U_{DS2}) \quad (3.193)$$

$$I_{Ref} = \frac{1}{2} \cdot \beta_1 \cdot (U_{GS1} - U_{T1})^2 \cdot (1 + \lambda \cdot U_{DS1}) \quad (3.194)$$

$$U_{GS2} = U_{GS1} = U_{DS1} \quad (3.195)$$

$$\beta_1 = \left(\frac{W}{L}\right)_1 \cdot \beta_{01} \quad (3.196)$$

$$\beta_2 = \left(\frac{W}{L}\right)_2 \cdot \beta_{02} \quad (3.197)$$

$$\text{Annahmen: } \beta_{01} = \beta_{02} = \beta_0 \quad (3.198)$$

$$U_{T1} = U_{T2} = U_T \quad (3.199)$$

$$\lambda_1 = \lambda_2 = \lambda \implies L_1 = L_2 = L \quad (3.200)$$

Die Kanallängen werden gleich gewählt, damit der Einfluß von λ gleich ist; außerdem wirkt sich die technologieabhängige Unterdiffusion dann in gleichen Anteilen aus.

$$\implies \frac{I_{out}}{I_{Ref}} = \frac{\left(\frac{W}{L}\right)_2 \cdot (1 + \lambda \cdot U_{DS2})}{\left(\frac{W}{L}\right)_1 \cdot (1 + \lambda \cdot U_{DS1})} \quad (3.201)$$

Bei Vernachlässigung von $U_{DS2} \neq U_{DS1}$:

$$\frac{I_{out}}{I_{Ref}} \approx \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (3.202)$$

$$\approx \frac{W_2}{W_1} \quad (3.203)$$

Bild 3.31 zeigt ein Layout für einen Stromspiegel mit $W_2 = 3 \cdot W_1$ bei gleicher Kanallänge L . Die dreifache Weite wird durch die Parallelschaltung dreier "Einheitstransistoren" realisiert, um den Einfluß der Unterdiffusion ($\sim \frac{\Delta W}{W}$) im Verhältnis gleich zu halten.

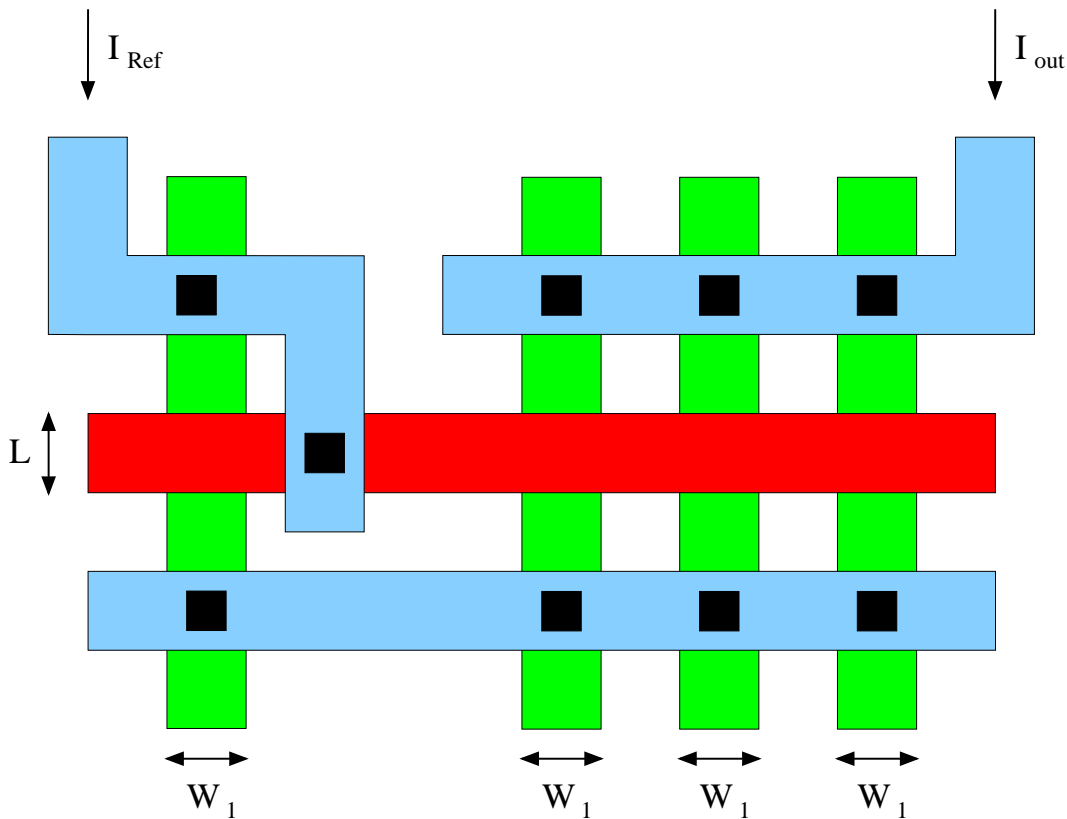


Abbildung 3.31: Layout bei $W_2 = 3 \cdot W_1$

Jetzt soll untersucht werden, welcher Fehler gemacht wird, wenn - wie oben - $U_{DS2} \neq U_{DS1}$ vernachlässigt wird. Es gilt bei $(\frac{W}{L})_1 = (\frac{W}{L})_2$:

$$\frac{I_{out}}{I_{ref}} = \frac{1 + \lambda \cdot U_{DS2}}{1 + \lambda \cdot U_{DS1}} \quad (3.204)$$

$$\text{mit } U_{DS2} = U_{DS1} + \Delta U_{DS}: \quad = 1 + \frac{\lambda \cdot \Delta U_{DS}}{1 + \lambda \cdot U_{DS1}} \quad (3.205)$$

Der zweite Term gibt den Fehler bei der Vernachlässigung von $U_{DS2} \neq U_{DS1}$ an. Durch große Kanallängen L kann der Beitrag der Kanallängenmodulation (entspricht λ) und damit der Fehler klein gehalten werden.

3.6.3 Widlar-Stromquelle

Der Stromspiegel ist eine Möglichkeit, eine Stromquelle näherungsweise zu realisieren. Der Kleinsignalanteil des (unvermeidbaren) Innenwiderstands der Stromquelle wird dabei vom Innenwiderstand des Transistors im Ausgangszweig r_{DS} gebildet.

Eine Variante des einfachen Stromspiegels wurde von Widlar in Bipolartechnik entwickelt, um einen höheren Innenwiderstand zu erzielen. Die MOS-Version zeigt Bild 3.32 links.

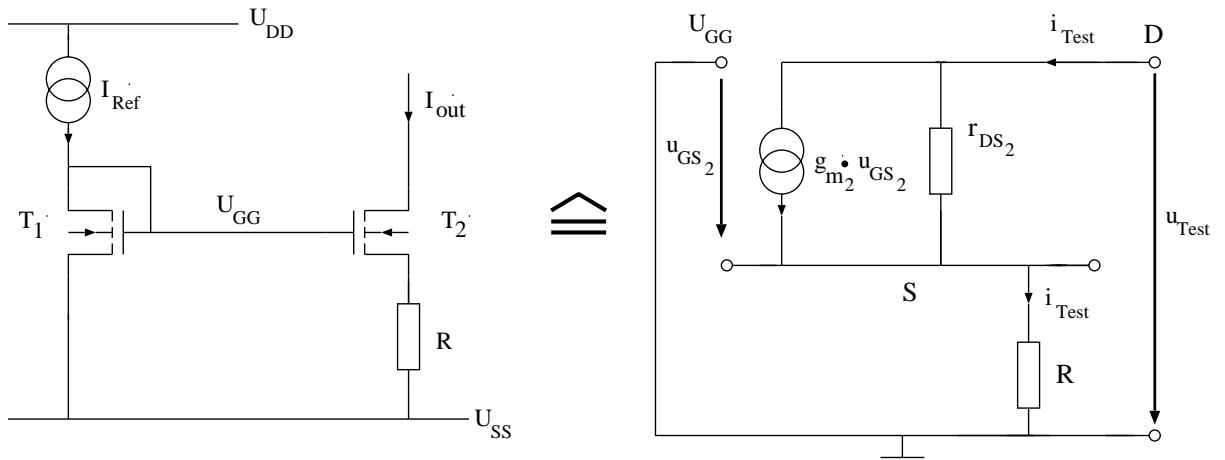


Abbildung 3.32: Widlar-Stromquelle

Während bisher eine konstante Gate-Source-Spannung U_{GS_2} für einen hohen Ausgangswiderstand r_{DS_2} sorgte, ist durch den Widerstand an der Source des zweiten Transistors U_{GS_2} hier nicht mehr konstant, denn es gilt:

$$U_{GS_2} = U_{GS_1} - I_{D_2} \cdot R \quad (3.206)$$

Das Ziel ist, daß bei einer Änderung des Drain-Potentials der Drainstrom möglichst konstant bleibt. Das wird hier durch einen Rückkopplungseffekt erreicht, der zunächst rechnerisch ermittelt werden soll. Das Gatepotential des ersten Transistors U_{GG} kann als konstant angesehen und damit im Kleinsignalersatzschaltbild in Bild 3.32 rechts auf Masse gelegt werden. Für diese Schaltung soll nun der Ausgangswiderstand ermittelt werden. Dazu wird am Ausgang ein Teststrom i_{Test} eingepreßt und berechnet, wie groß die Spannungsänderung u_{Test} ist:

$$u_{Test} = (i_{Test} - g_{m_2} \cdot u_{GS_2}) \cdot r_{DS_2} + R \cdot i_{Test} \quad (3.207)$$

$$u_{GS_2} + R \cdot i_{Test} = 0 \quad (3.208)$$

$$\Rightarrow r_{out} = \frac{u_{Test}}{i_{Test}} = (1 + g_{m_2} \cdot R) \cdot r_{DS_2} + R \quad (3.209)$$

$$\text{mit } g_{m_2} \cdot R \gg 1: \quad \approx g_{m_2} \cdot R \cdot r_{DS_2} + R \quad (3.210)$$

$$\text{mit } g_{m_2} \cdot r_{DS_2} \gg 1: \quad \approx g_{m_2} \cdot R \cdot r_{DS_2} \quad (3.211)$$

Der bisherige Ausgangswiderstand r_{DS_2} ist also in dieser Schaltung um den Faktor $g_{m_2} \cdot R$ verstärkt. Dieser Effekt läßt sich auch qualitativ erklären:

Eine Erhöhung der Ausgangsspannung erzeugt einen größeren Strom I_{D_2} . Das führt zu einem größeren $U_R = I_{D_2} \cdot R$. Da U_{GG} konstant ist, wird damit U_{GS_2} kleiner. Das wirkt der Erhöhung von I_{D_2} entgegen (Gegenkopplung):

$$U_{out} \uparrow \Rightarrow I_{D_2} \uparrow \Rightarrow U_R \uparrow \Rightarrow U_{GS_2} \downarrow \Rightarrow I_{D_2} \downarrow \quad (3.212)$$

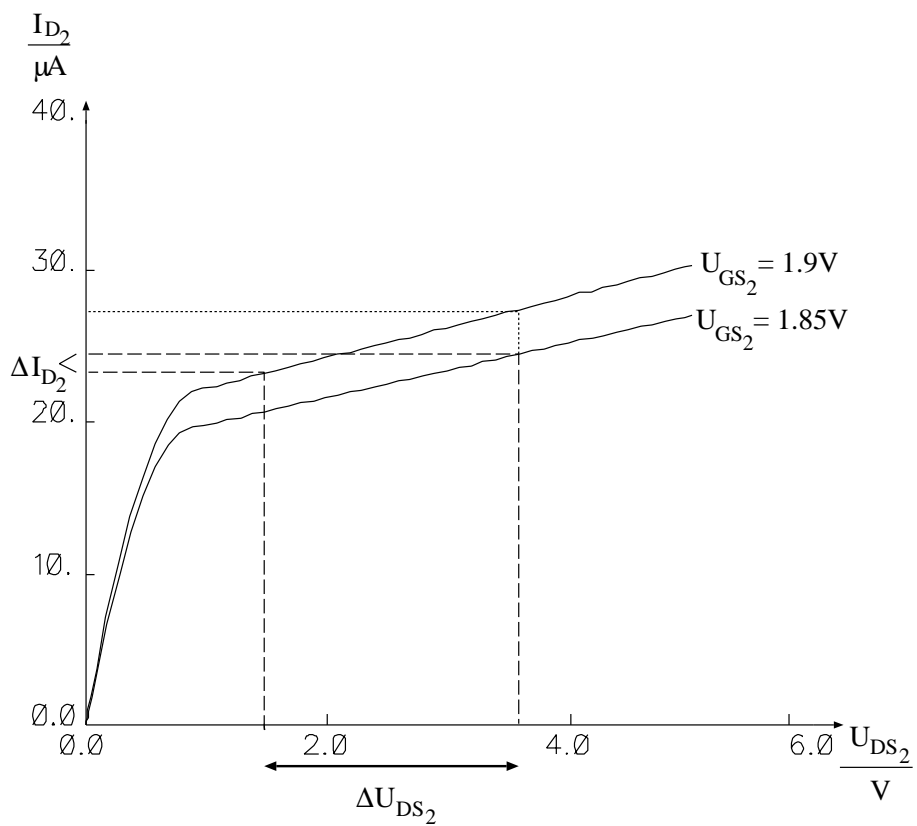


Abbildung 3.33: Kennlinie des Widlar-Stromspiegels

Bild 3.33 zeigt die Ausgangskennlinien eines Transistors (die Steigung der Geraden im Sättigungsbereich ist übertrieben, um den Effekt zu verdeutlichen). Bei einer Erhöhung von U_{DS_2} wird durch die Erniedrigung von U_{GS_2} die untere Kennlinie relevant. Das führt zu einer geringeren Steigerung von I_{D_2} .

3.6.4 Stromspiegel-Kaskode

Auch der Widerstand R soll nun durch einen Transistor ersetzt werden. Sein Gatepotential wird wieder konstant gehalten; man erhält dann Bild 3.34.

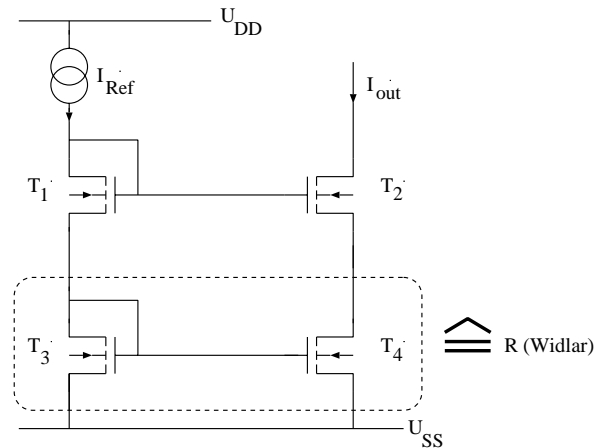


Abbildung 3.34: Stromspiegel-Kaskode

Der Transistor T_4 ersetzt den Widerstand R . Über T_3 ist die Gate-Source-Spannung $U_{GS_3} = U_{GS_4}$ festgelegt. Damit gilt:

$$R = r_{DS4} \quad (3.213)$$

$$\Rightarrow \boxed{r_{out} \approx g_{m2} \cdot r_{DS2} \cdot r_{DS4}} \quad (3.214)$$

Die Vergrößerung des Ausgangswiderstands beträgt also $g_{m2} \cdot r_{DS4}$; mit den Werten aus dem Beispiel auf Seite 31 ergibt sich:

$$r_{DS} \approx 400k\Omega \quad (3.215)$$

$$g_{m2} \approx 500\mu S \quad (3.216)$$

$$\Rightarrow r_{out} \approx 80M\Omega \quad (3.217)$$

Wegen der Hintereinanderschaltung der Transistoren spricht man bei der Schaltung von Bild 3.34 auch von einer Stromspiegel-Kaskode.

3.6.5 Wilson-Stromquelle

Eine andere Art, einen Stromspiegel mit höherem Ausgangswiderstand zu erzeugen, stellt der Wilson-Stromspiegel dar (siehe Bild 3.35). Die Wirkungsweise soll zunächst qualitativ erläutert werden:

Eine Erhöhung der Ausgangsspannung U_{out} führt zu einem größeren Ausgangsstrom I_{out} . Weil dieser auch durch den Transistor T_2 fließt, erhöhen sich U_{DS_2} bzw. U_{GS_2} und damit auch U_{GS_1} . Das würde bei konstantem

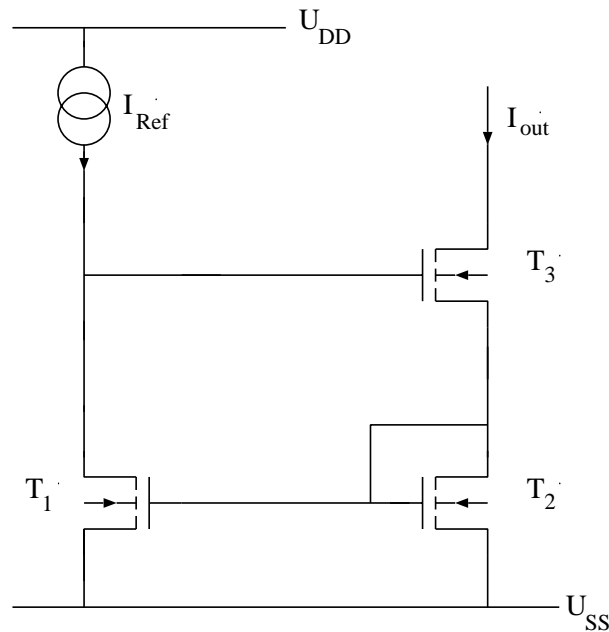


Abbildung 3.35: Wilson-Stromquelle

U_{DS1} zu einem höheren Drainstrom I_{DS1} führen; da der Drainstrom des Transistors T_1 aber durch die Stromquelle auf I_{Ref} festgelegt ist, bleibt der Drainstrom I_{DS1} konstant und die Spannung U_{DS1} sinkt. Dadurch wird die Spannung U_{GS3} kleiner, was einer Erhöhung des Ausgangsstromes I_{out} entgegenwirkt:

$$U_{out} \uparrow \quad \Rightarrow \quad I_{out} \uparrow \quad \Rightarrow \quad U_{DS2} \uparrow, U_{GS2} \uparrow, U_{GS1} \uparrow$$

mit I_{Ref} konstant, $U_{GS1} \uparrow$:

$$\Rightarrow \quad U_{DS1} \downarrow, U_{GS3} \downarrow \quad \Rightarrow \quad I_{out} \downarrow$$

Dieser Effekt soll nun berechnet werden. Dazu wird das Kleinsignalersatzschaltbild 3.36 betrachtet.

Zur Bestimmung des Ausgangswiderstands r_{out} wird berechnet, wie sich der Ausgangsstrom ändert, wenn eine Testspannung u_{Test} am Ausgang angelegt wird:

$$u_{GS1} = u_{GS2} \quad (3.218)$$

$$i_{Test} = \left(g_{m2} + \frac{1}{r_{DS2}} \right) \cdot u_{GS2} \quad (3.219)$$

$$u_{Test} = (i_{Test} - g_{m3} \cdot u_{GS3}) \cdot r_{DS3} + (i_{Test} - g_{m2} \cdot u_{GS2}) \cdot r_{DS2} \quad (3.220)$$

$$u_{GS3} + u_{GS1,2} = -g_{m1} \cdot u_{GS1} \cdot r_{DS1} \quad (3.221)$$

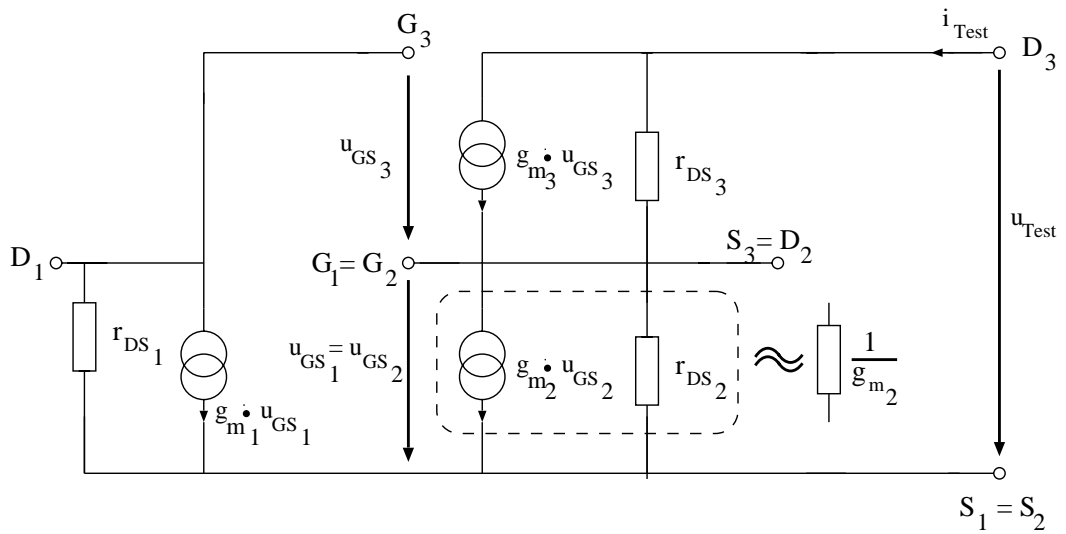


Abbildung 3.36: Kleinsignalersatzschaltbild der Wilson-Stromquelle

Durch Umformen erhält man:

$$r_{out} = \frac{u_{Test}}{i_{Test}} \quad (3.222)$$

$$= r_{DS2} + r_{DS3} - \frac{g_{m2} \cdot r_{DS2} - g_{m3} \cdot r_{DS3} \cdot (1 + g_{m1} \cdot r_{DS1})}{g_{m2} + \frac{1}{r_{DS2}}} \quad (3.223)$$

$$\text{mit } g_{m2} \gg \frac{1}{r_{DS2}}: \quad \approx r_{DS3} + \frac{g_{m3} \cdot r_{DS3} \cdot (1 + g_{m1} \cdot r_{DS1})}{g_{m2}} \quad (3.224)$$

$$\text{mit } g_m \cdot r_{DS} \gg 1: \quad \approx \left(1 + \frac{g_{m3}}{g_{m2}} \cdot g_{m1} \cdot r_{DS1}\right) \cdot r_{DS3} \quad (3.225)$$

$$\approx \frac{g_{m3}}{g_{m2}} \cdot g_{m1} \cdot r_{DS1} \cdot r_{DS3} \quad (3.226)$$

Im Vergleich zur Kaskode läßt sich hier durch Einstellung von g_{m3} und g_{m2} der Ausgangswiderstand weiter erhöhen.

Durch die Kaskode und den Wilson-Stromspiegel läßt sich also der Ausgangswiderstand gegenüber einem einfachen Transistor wesentlich erhöhen. Ein weiteres Qualitätsmerkmal einer Stromquelle ist der Aussteuerungsbereich, bei dem ein einfacher Transistor besser abschneidet. Bild 3.37 zeigt einen Transistor mit fester Gate-Spannung. Damit ein Transistor im Sättigungsbereich arbeitet, muß gelten:

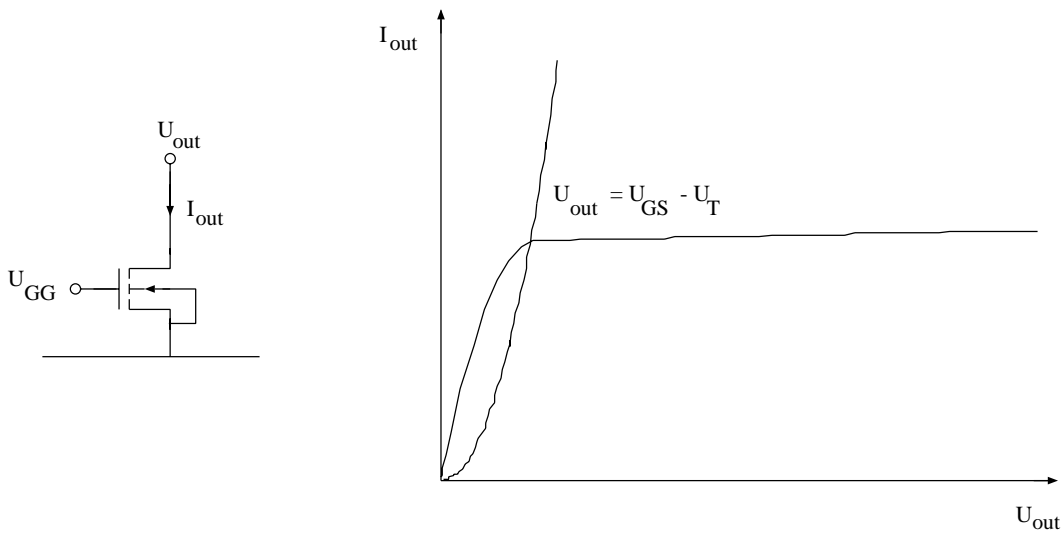


Abbildung 3.37: Einfacher Transistor

$$U_{out} = U_{DS} > U_{DSS} \approx U_{GS} - U_T = U_{GS_{eff}} \quad (3.227)$$

$$I_D = \frac{\beta}{2} \cdot (U_{GS} - U_T)^2 \quad (3.228)$$

$$= \frac{\beta}{2} \cdot U_{GS_{eff}}^2 \quad (3.229)$$

$$\Rightarrow U_{GS_{eff}} = \sqrt{\frac{2 \cdot I_D}{\beta}} \quad (3.230)$$

$$\Rightarrow U_{out} > \sqrt{\frac{2 \cdot I_D}{\beta}} \quad (3.231)$$

$$= \sqrt{\frac{2 \cdot I_D}{\beta_0 \cdot \frac{W}{L}}} \quad (3.232)$$

$U_{out} > U_{GS_{eff}}$ muß gelten, damit ein Strom fließt. Über das $\frac{W}{L}$ -Verhältnis läßt sich die minimale Spannung $U_{out_{min}}$ erniedrigen. Im Allgemeinen liegt dieser Wert in einer Größenordnung von einigen $100mV$.

Jetzt soll die minimale Spannung bei der Kaskode berechnet werden (siehe Bild 3.38). Für die Transistoren der linken Seite ist wegen $U_{DS} = U_{GS}$ Gleichung 3.227 immer erfüllt.

Damit der Transistor T_4 in Sättigung ist, muß gelten:

$$U_{Drain_4} = U_{DS_4} > U_{GS_4} - U_{T_4} = U_{GS_{eff_4}} \quad (3.233)$$

Für U_{DS_4} kann also das gleiche gelten wie beim einfachen Transistor (Größenordnung einige $100mV$). Im linken Zweig sind Drain und Gate von T_3 jedoch kurzgeschlossen. Daher muß hier das Drainpotential höher liegen:

$$U_{Drain_3} = U_{DS_3} = U_{GS_3} = U_{T_3} + U_{GS_{eff_3}} \quad (3.234)$$

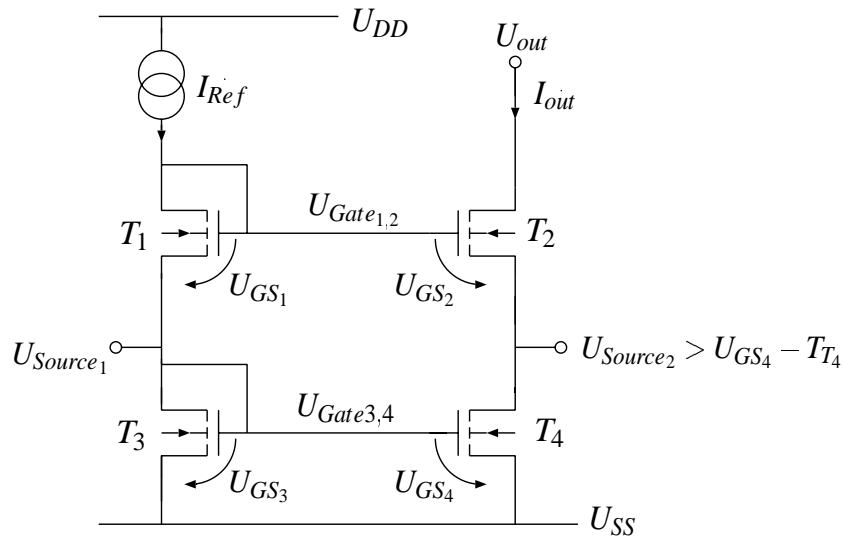


Abbildung 3.38: Kaskode (siehe auch Bild 3.34)

Der linke Zweig erfordert also eine höhere Spannung am Gateknoten von T_1 und T_2 :

$$U_{Gate1,2} = U_{GS_3} + U_{GS_1} \quad (3.235)$$

$$= U_{T_3} + U_{GS_{eff3}} + U_{T_1} + U_{GS_{eff1}} \quad (3.236)$$

Damit gilt für die Ausgangsspannung:

$$U_{out} = U_{DS_2} + U_{DS_4} \quad (3.237)$$

$$\text{mit } U_{DS_2} > U_{GS_2} - U_{T_2} : \quad > U_{GS_2} - U_{T_2} + U_{DS_4} \quad (3.238)$$

$$= U_{Gate1,2} - U_{DS_4} - U_{T_2} + U_{DS_4} \quad (3.239)$$

$$= U_{Gate1,2} - U_{T_2} \quad (3.240)$$

$$\text{mit Gleichung 3.236 :} \quad = U_{T_3} + U_{GS_{eff3}} + U_{T_1} + U_{GS_{eff1}} - U_{T_2} \quad (3.241)$$

Die effektiven Spannungen und die Thresholdspannungen der Transistoren sollten ungefähr gleich sein. Damit gilt:

$$U_{out} > U_{T_3} + U_{GS_{eff3}} + U_{GS_{eff1}} \quad (3.242)$$

Die Effektivspannungen liegen wie gesagt im Bereich von einigen $100mV$. Die Thresholdspannung ist mindestens (bei $U_{SB} = 0$) gleich U_{T_0} , dieser Wert ist schaltungstechnisch nicht beeinflussbar. Damit wird also bei der Kaskode gegenüber dem einfachen Transistor ein höherer Ausgangswiderstand durch einen eingeschränkten Ausgangsspannungsbereich erkauft (vergleiche Gleichung 3.227).

Ähnliches gilt für den Wilson-Stromspiegel (siehe Bild 3.35). Damit der Transistor T_3 in Sättigung bleibt, muß $U_{out} > U_{GS_{eff3}} + U_{GS_2}$ sein.

Bild 3.39 zeigt die Kennlinien eines einfachen Stromspiegels, einer Kaskode und eines Wilson-Stromspiegels. Es zeigt sich, daß die Kaskode und der Wilson-Stromspiegel fast gleichwertig sind, sowohl was den Span-

nungsbereich als auch was den Ausgangswiderstand angeht. Im unteren Spannungsbereich benötigt der Wilson-Stromspiegel eine etwas größere Spannung, weil der untere Transistor erst durchschalten muß. Dafür ist hier bei größeren Strömen der Ausgangswiderstand etwas größer.

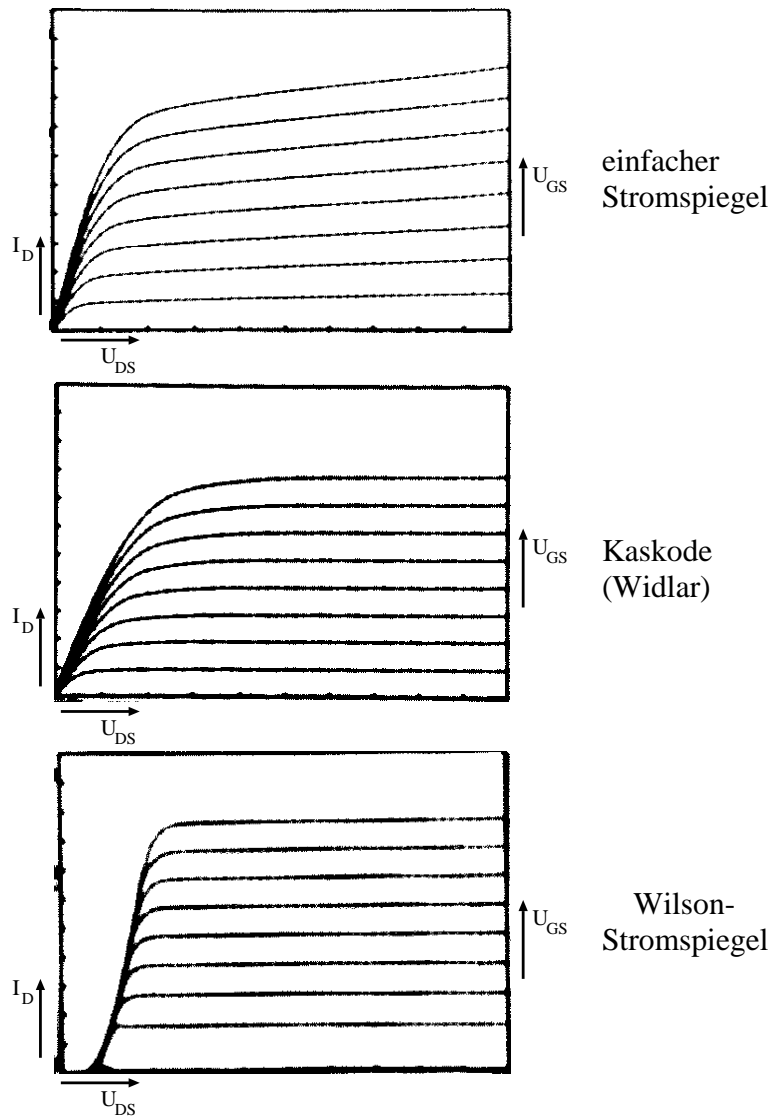


Abbildung 3.39: Kennlinien eines einfachen Stromspiegels, einer Kaskode und eines Wilson-Stromspiegels [1]

3.6.6 Stromspiegel mit p-Kanal-Transistoren

Die bisherigen Schaltungen wurden mit n-Kanal-Transistoren aufgebaut. Mit p-Kanal-Transistoren werden die Schaltungen spiegelbildlich; z.B. zeigt Bild 3.40 links einen einfachen Stromspiegel, rechts eine Stromspiegel-Kaskode mit p-Kanal-Transistoren.

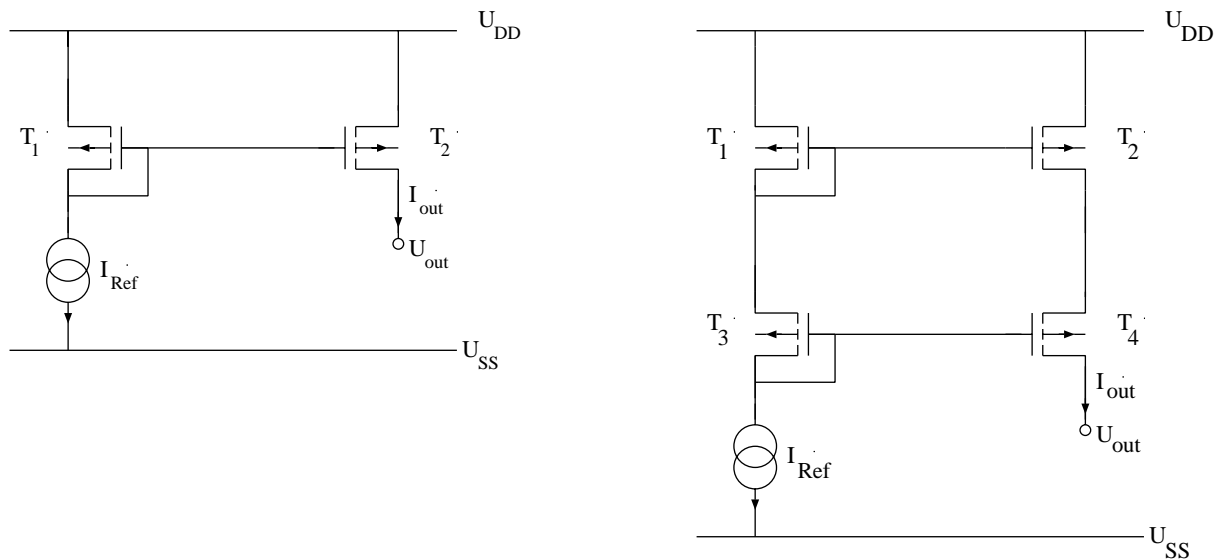


Abbildung 3.40: Einfacher Stromspiegel und Kaskode mit p-Kanal-Transistoren

3.7 Inverter und Differenzstufe mit Stromspiegel

Die vorgestellten Stromquellen sollen nun in den Inverter und die Differenzstufe als Lastelemente eingebaut werden. Bild 3.41 zeigt beide Schaltungen noch einmal. Bei der Differenzstufe ist zusätzlich zu den Widerständen eine Stromquelle nötig.

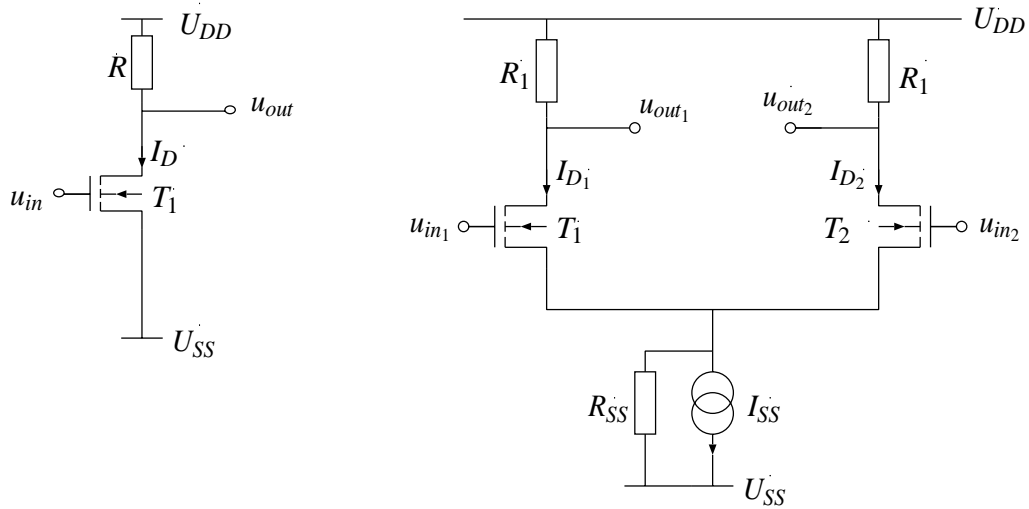


Abbildung 3.41: Inverter und Differenzstufe

Inverter:

$$A = -g_m \cdot R \quad (3.243)$$

Differenzstufe:

$$A_{DM} = -g_m \cdot R_1 \quad (3.244)$$

$$A_{CM} = -\frac{R_1}{2 \cdot R_{SS}} \quad (3.245)$$

$$CMRR = g_m \cdot 2 \cdot R_{SS} \quad (3.246)$$

Einen Inverter mit Kaskode stellt Bild 3.42 dar. Dabei stellt die Kaskode zum einen den Drainstrom des Transistors T_3 ein, zum andern bildet sie die notwendige Last.

Für die Vorwärtssteilheit g gilt hierbei $g \approx g_{m_3}$, was später gezeigt werden wird. Damit gilt für die Verstärkung:

$$A = -g \cdot r_{out} \quad (3.247)$$

$$g = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \approx g_{m_3} \quad (3.248)$$

$$r_{out} = \frac{u_{out}}{i_{out}} \Big|_{u_{in}=0} \quad (3.249)$$

$$= r_{out_1} \parallel r_{out_2} \quad (3.250)$$

mit Gleichung 3.214:

$$= r_{DS_3} \parallel (g_{m_2} \cdot r_{DS_2} \cdot r_{DS_1}) \quad (3.251)$$

$$\approx r_{DS_3} \quad (3.252)$$

$$\Rightarrow A \approx -g_{m_3} \cdot r_{DS_3} \quad (3.253)$$

Der Ausgangswiderstand des Transistors $r_{DS_3} = r_{out_1}$ ist dem Ausgangswiderstand der Kaskode parallelgeschaltet, daher kann deren hoher Ausgangswiderstand nicht genutzt werden. In Bild 3.43 ist daher der Ausgangswiderstand des unteren Teils der Schaltung durch einen weiteren Transistor T_4 vergrößert. Die Transistoren im linken Zweig der Schaltung sind in dieser Zeichnung nicht mehr dargestellt, da sie nur für die festen Gatespannungen U_{GG} sorgen.

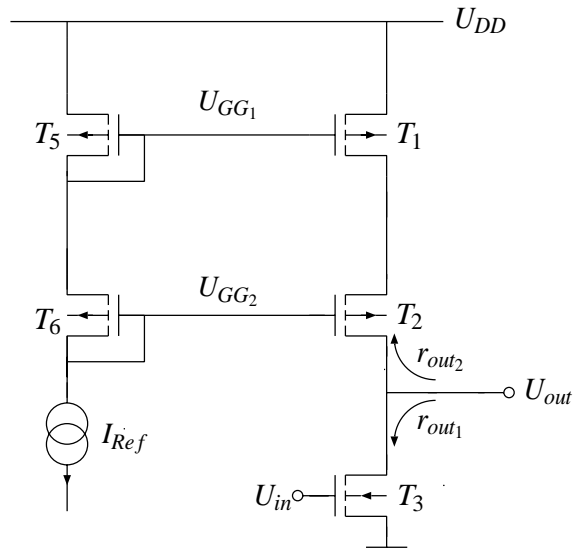


Abbildung 3.42: Inverter mit Kaskode

Wenn das Potential $u_{in} = 0$ ist, liegen vier Transistoren mit festen Gatepotentialen vor. Vom Ausgang her gesehen sind der obere und der untere Teil symmetrisch. Damit gilt:

$$r_{out} = r_{out1} \parallel r_{out2} \quad (3.254)$$

$$r_{out1} = g_{m4} \cdot r_{DS4} \cdot r_{DS3} \quad (3.255)$$

$$r_{out2} = g_{m2} \cdot r_{DS2} \cdot r_{DS1} \quad (3.256)$$

Es seien die Transistoren T_3 und T_1 bzw. T_4 und T_2 jeweils äquivalent zueinander. Dabei bedeutet äquivalent, daß ihre $\frac{W}{L}$ -Verhältnisse so gewählt sind, daß g_m und r_{DS} gleich sind. Dann gilt:

$$\text{mit } T_3 \simeq T_1 \text{ und } T_4 \simeq T_2: \quad r_{out1} = r_{out2} \quad (3.257)$$

$$\implies r_{out} = \frac{1}{2} \cdot r_{out1,2} \quad (3.258)$$

$$= \frac{1}{2} \cdot g_{m2,4} \cdot r_{DS2,4} \cdot r_{DS1,3} \quad (3.259)$$

$$\implies A^* = -g_{m3} \cdot \left(\frac{1}{2} \cdot g_{m2,4} \cdot r_{DS2,4} \cdot r_{DS1,3} \right) \quad (3.260)$$

$$= -\frac{1}{2} \cdot (g_m \cdot r_{DS})^2 \quad (3.261)$$

$$\approx -A_{Inverter}^2 \quad (3.262)$$

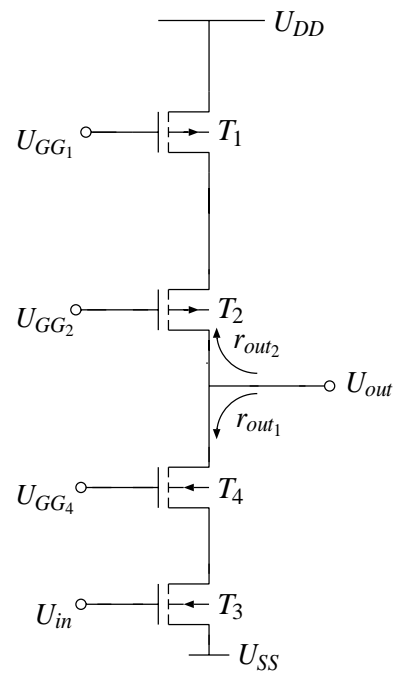


Abbildung 3.43: Erhöhter Ausgangswiderstand durch weiteren Transistor

Nun soll gezeigt werden, wieso $g \approx g_{m_3}$ eine erlaubte Näherung ist. g wird berechnet bei Kurzschluß des Ausgangs:

$$g = \left. \frac{i_{out}}{u_{in}} \right|_{u_{out}=0} \quad (3.263)$$

Damit ist der gesamte obere Teil der Schaltung - die Kaskode - kurzgeschlossen und man gelangt zu Bild 3.44 links mit dem entsprechenden Kleinsignalersatzschaltbild 3.44 rechts.

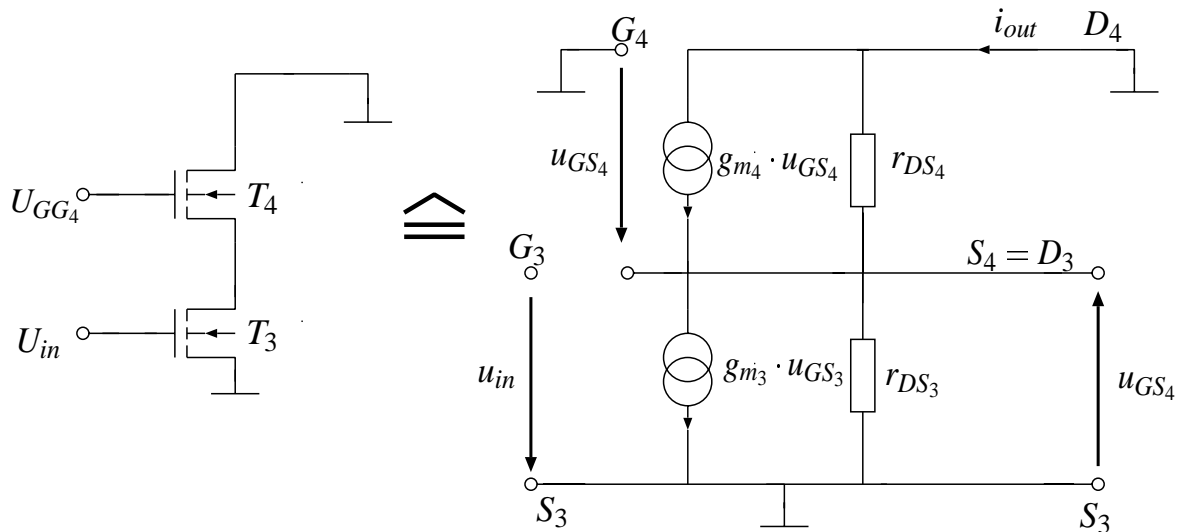


Abbildung 3.44: Berechnung der Steilheit g

Daraus ergibt sich:

$$g = \left. \frac{i_{out}}{u_{in}} \right|_{u_{out}=0} \quad (3.264)$$

$$i_{out} = g_{m4} \cdot u_{GS4} + g_{DS4} \cdot u_{GS4} \quad (3.265)$$

$$= g_{m3} \cdot u_{GS3} - g_{DS3} \cdot u_{GS4} \quad (3.266)$$

$$\Rightarrow g_{m3} \cdot u_{GS3} = u_{GS4} \cdot (g_{m4} + g_{DS4} + g_{DS3}) \quad (3.267)$$

$$\Rightarrow u_{GS4} = \frac{g_{m3} \cdot u_{GS3}}{g_{m4} + g_{DS4} + g_{DS3}} \quad (3.268)$$

$$\Rightarrow i_{out} = g_{m3} \cdot u_{GS3} - g_{DS3} \cdot \frac{g_{m3} \cdot u_{GS3}}{g_{m4} + g_{DS4} + g_{DS3}} \quad (3.269)$$

$$\Rightarrow g = g_{m3} \cdot \left(1 - \frac{1}{1 + \frac{g_{DS4}}{g_{DS3}} + \underbrace{\frac{g_{m4} \cdot r_{DS3}}{g_{DS3}}}_{\text{Verstärkung, Größenordnung 100}}} \right) \quad (3.270)$$

$$\approx g_{m3} \quad (3.271)$$

Nach dem Inverter soll jetzt eine Differenzstufe mit den entwickelten Stromquellen untersucht werden. Bei der Differenzstufe in Bild 3.41 benötigt man zum einen einen großen Widerstand R_1 , um eine große Differenzverstärkung zu erzielen, noch wichtiger ist eine Stromquelle mit hohem Innenwiderstand R_{SS} , damit die Gleichtaktunterdrückung groß ist. Wenn R_1 als linearer Widerstand realisiert wird, führt ein hoher Wert allerdings zu einem stark eingeschränkten Ausgangsspannungsbereich, weil dann U_{out} durch den Spannungsabfall an R_1 weit unter U_{DD} liegt.

Da Widerstände nur schwer integrierbar sind, wird in der Schaltung in Bild 3.45 ein als Diode geschalteter Transistor als Last verwendet:

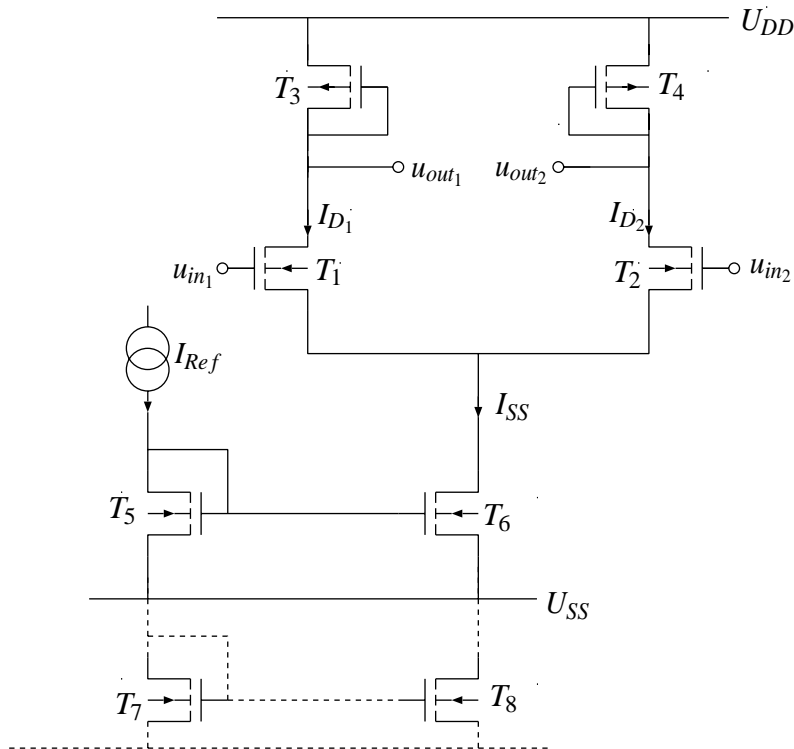


Abbildung 3.45: Differenzstufe mit Dioden als Last und einfachem Stromspiegel bzw. Kaskode

In Bild 3.45 werden dazu p-Kanal-Transistoren verwendet. Die Stromquelle ist als einfacher Stromspiegel bzw. als Kaskode (gestrichelt) ausgeführt. Die zweite Variante bewirkt einen höheren Innenwiderstand und damit eine höhere Gleichtaktunterdrückung.

In Bild 3.46 ist die gleiche Schaltung dual aufgebaut, die Stromquelle (Kaskode) befindet sich jetzt oben. Entsprechend sind die Stromquelle und die Eingangsstufe mit p-Kanal-Transistoren realisiert, während die Last - zwei als Diode geschaltete Transistoren - als n-Kanal-Transistoren ausgeführt sind.

Dadurch ändern sich die Beschränkungen für die Eingangsspannung u_{in} : Während in Schaltung 3.45 die untere Grenze für u_{in} relativ hoch ist, ist in Schaltung 3.46 die obere Schranke kritisch. Welche Version gewählt wird, hängt von der im jeweiligen Fall vorliegenden Eingangsspannung ab. Die gleiche Umstellung läßt sich auch beim Inverter durchführen (siehe Bild 3.47).

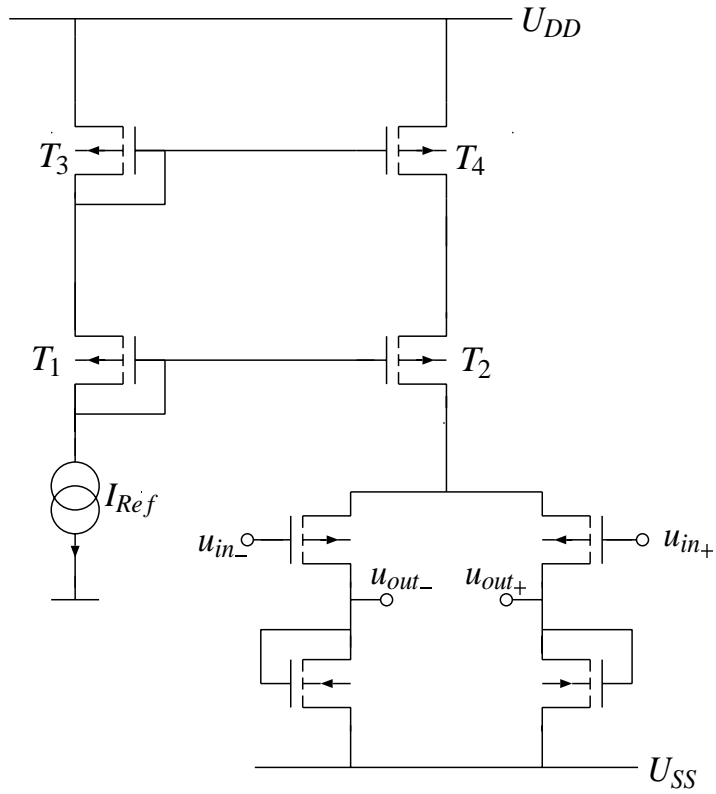


Abbildung 3.46: Differenzstufe mit Kaskode als Stromquelle

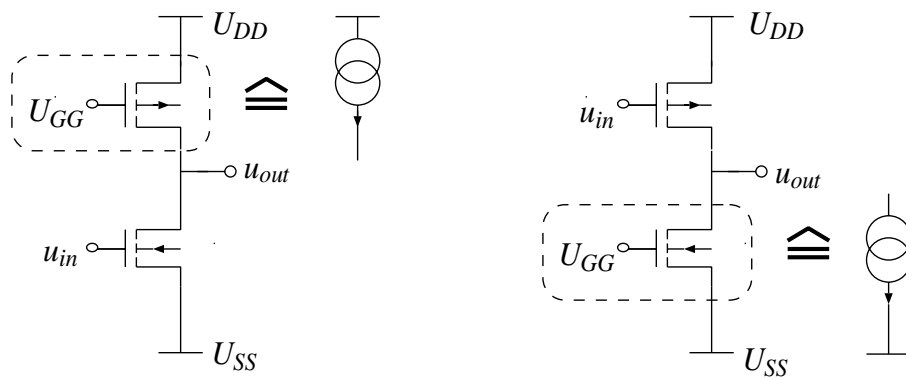


Abbildung 3.47: Inverter mit unterer bzw. oberer Schranke für u_{in}

3.8 Ausgangsstufen

Bisher stand der Entwurf von Verstärkerstufen im Vordergrund mit dem Ziel, eine möglichst hohe Verstärkung zu erreichen. Die reale Verstärkung hängt aber auch von der Beschaltung des Ausgangs ab. Bild 3.48 zeigt einen Inverter, der mit einem Lastwiderstand und einer Lastkapazität beschaltet ist. Aus dem Kleinsignalerersatzschaltbild ergibt sich für niederfrequente Signale:

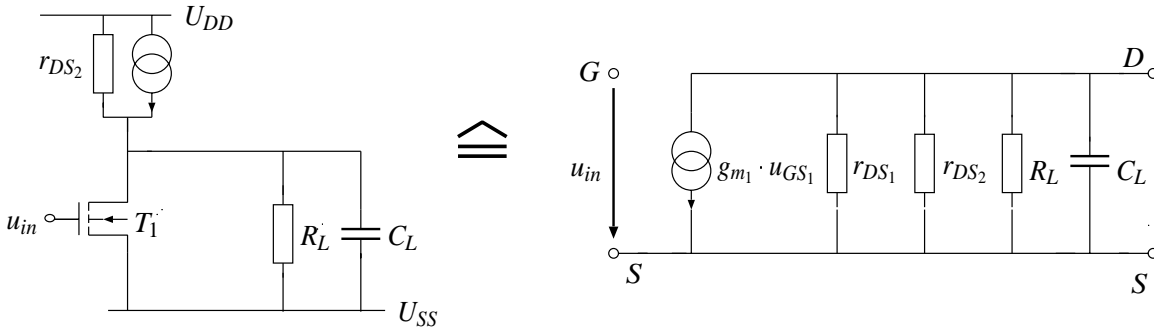


Abbildung 3.48: Inverter mit Last

$$A = -g \cdot r_{out} \tag{3.272}$$

$$r_{out} = r_{DS1} \parallel r_{DS2} \parallel R_L \tag{3.273}$$

Im Allgemein muß davon ausgegangen werden, daß $R_L \ll r_{DS1,2}$ sein kann. Dann gilt:

$$r_{out} \approx R_L \tag{3.274}$$

$$\implies A \approx -g_m \cdot R_L \tag{3.275}$$

Daran erkennt man, daß die Verstärkung von der jeweiligen Last abhängt. Um das zu vermeiden, müßte r_{DS} so klein werden, daß R_L gegenüber r_{DS} vernachlässigbar ist. Dann würde aber auch die Verstärkung A klein werden. Das führt dazu, daß der Verstärker nur einen kleinen Strom liefern kann, die Schaltung wird langsam bzw. die Bandbreite sinkt.

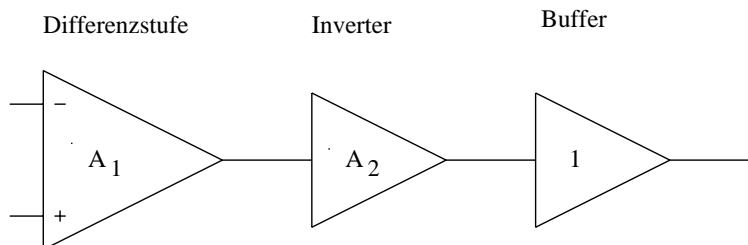


Abbildung 3.49: Entkopplung mit Hilfe eines Buffers

Deshalb verwendet man zusätzlich einen Buffer als Ausgangsstufe ein, der den Verstärker von der Last entkoppeln soll (siehe Bild 3.49). Er trägt (fast) nichts zur Verstärkung bei, sie wird von von Differenzstufe und Inverter geliefert. Der Buffer soll einen kleinen Ausgangswiderstand haben, um die Verstärkung unabhängig von der Last zu machen. Bei einem einfachen Inverter (Bild 3.50) würde das einem kleinen Wert für r_{DS} des Transistors entsprechen. Für diesen Wert gilt (siehe Gleichung 3.35):

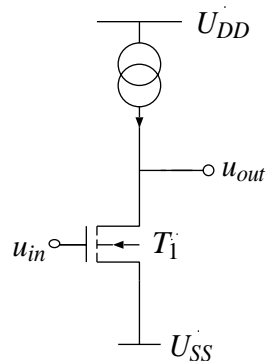


Abbildung 3.50: Einfacher Inverter

$$r_{DS} = \frac{2 \cdot L}{k_2 \cdot I_D} \cdot \sqrt{U_{DS} - U_{DSS}} \quad (3.276)$$

Ein kleines r_{DS} könnte zum einen durch einen großen Strom I_D erreicht werden, was man allerdings vermeiden will, um die Verlustleistung gering zu halten. Zum anderen kann man die Kanallänge L klein machen, wobei aber je nach Güte der jeweiligen Technologie Grenzen gesetzt sind.

3.8.1 Source-Folger

Der Source-Folger in Bild 3.51 soll auf seine Eigenschaften als Buffer untersucht werden.

Die Stromquelle legt den Drainstrom I_{D1} und damit auch die effektive Gate-Source-Spannung $U_{GS_{eff1}}$ fest; daher ist zu erwarten, daß eine Eingangsspannungsänderung u_{in} mit gleichem Wert und Vorzeichen am Ausgang (= Source) erscheint.

Die Source-Bulk-Spannung wird hier nicht vernachlässigt, denn weil bei n-Kanal-Transistoren der Bulk gewöhnlich auf dem niedrigsten vorkommenden Potential (U_{SS}) liegt, ergibt sich eine Bulk-Source-Spannung, die kleinsignalmäßig gleich der Drain-Source-Spannung ist.

Für den Ausgangswiderstand gilt:

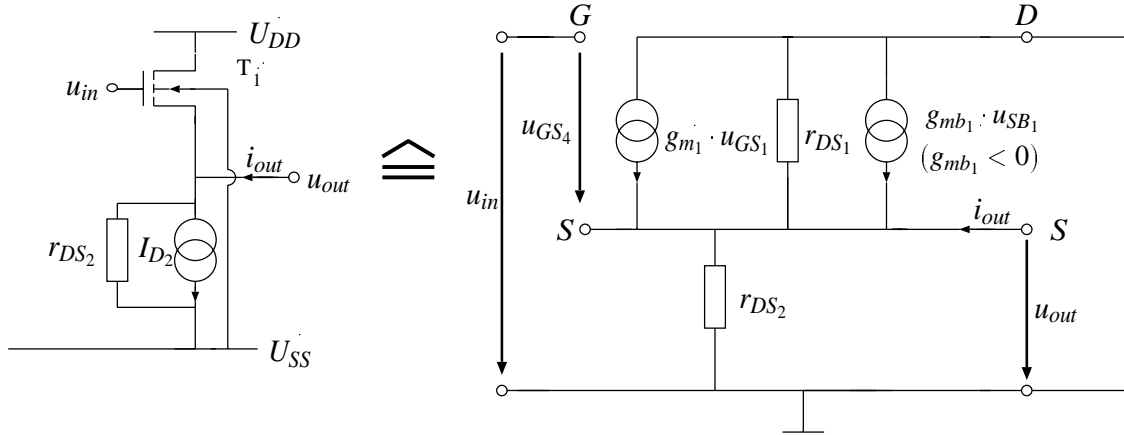


Abbildung 3.51: Source-Folger

$$r_{out} = \left. \frac{u_{out}}{i_{out}} \right|_{u_{in}=0} \quad (3.277)$$

mit: $u_{in} = u_{GS1} + u_{out} = 0 \quad (3.278)$

$$u_{SB1} = u_{out} = -u_{GS1} \quad (3.279)$$

$$i_{out} = u_{out} \cdot g_{DS1} + u_{out} \cdot g_{DS2} - u_{SB1} \cdot g_{mb1} - u_{GS1} \cdot g_{m1} \quad (3.280)$$

$$\Rightarrow r_{out} = \frac{1}{g_{m1} + |g_{mb1}| + \frac{1}{r_{DS1}} + \frac{1}{r_{DS2}}} \quad (3.281)$$

$$\approx \frac{1}{g_{m1}} \quad (3.282)$$

$$g = \left. \frac{i_{out}}{u_{in}} \right|_{u_{out}=0} \quad (3.283)$$

$$= -g_{m1} \quad (3.284)$$

$$\Rightarrow A = -g \cdot r_{out} = \frac{g_{m1}}{g_{m1} + |g_{mb1}| + \frac{1}{r_{DS1}} + \frac{1}{r_{DS2}}} \quad (3.285)$$

$$\approx \frac{g_{m1}}{g_{m1} + |g_{mb1}|} \quad (3.286)$$

mit $g_m \approx 10 \cdot |g_{mb}|$: ≈ 1 (in jedem Fall $|A| < 1$) (3.287)

Der Source-Folger hat also den gewünschten kleinen Ausgangswiderstand (in unserem Beispiel ca. $2k\Omega$), der wie erwartet - auch zu einer geringen Verstärkung führt.

Die Dimensionierung des Source-Folgers in Bild 3.48 soll verschiedenen Zielen dienen:

- I_{SS} soll möglichst groß sein, um C_L schnell laden zu können.

- Das Entladen von C_L geschieht über T_1 ; da bei diesem Vorgang auch I_{SS} durch T_1 fließt, soll I_{SS} möglichst klein sein.
- Im Sinne einer möglichst geringen Verlustleistung soll I_{SS} als Verlustruhestrom möglichst klein sein.

Da sich diese Ziele widersprechen, ist eine ideale Einstellung nicht möglich; der Source-Folger stellt die einfachste, aber nicht die beste Realisierung einer Ausgangsstufe dar.

3.8.2 Ausgangsbereich des Source-Folgers

Maximale Ausgangsspannung

Zur Berechnung des Ausgangsbereichs muß das Großsignalverhalten betrachtet werden. Die Eingangsspannung U_{in} kann maximal gleich der Spannung U_{DD} werden; daher ist der Transistor immer in Sättigung. Bei $U_{in} = U_{inmax} = U_{DD}$ gilt für die Ausgangsspannung:

$$U_{inmax} = U_{DD} \quad (3.288)$$

$$\implies U_{outmax} = U_{DD} - U_{GS} \quad (3.289)$$

$$= U_{DD} - (U_{GS_{eff}} + U_T) \quad (3.290)$$

Die Source-Bulk-Spannung ist $U_{SB} = U_{out} - U_{SS}$, da der Bulk auf U_{SS} liegt. Das wirkt sich auf die Thresholdspannung U_T aus:

$$U_T = U_{T_0} + \gamma \cdot (\sqrt{U_{SB} + 2 \cdot \Phi_D} - \sqrt{2 \cdot \Phi_D}) \quad (3.291)$$

$$U_{SB} = U_{out} - U_{SS} \quad (3.292)$$

$$\text{mit } \Phi_D \approx 0: \quad U_T \approx U_{T_0} + \gamma \cdot \sqrt{U_{out} - U_{SS}} \quad (3.293)$$

$$\implies U_{outmax} = U_{DD} - U_{GS_{eff}} - U_{T_0} - \gamma \cdot \sqrt{U_{out} - U_{SS}} \quad (3.294)$$

Die effektive Gate-Source-Spannung $U_{GS_{eff}}$ wird durch I_{SS} festgelegt. Zur Abschätzung der Größenordnung werden folgende Werte angenommen:

$$U_{DD} = 5V \quad (3.295)$$

$$U_{SS} = 0V \quad (3.296)$$

$$U_{T_0} = 1V \quad (3.297)$$

$$U_{GS_{eff}} = 0.2V \quad (3.298)$$

$$\gamma = 0.8\sqrt{V} \quad (3.299)$$

$$\implies U_{outmax} = 5V - 1V - 0.2V - 0.8\sqrt{V} \cdot \sqrt{U_{out}} \quad (3.300)$$

$$= 3.8V - 0.8\sqrt{V} \cdot \sqrt{U_{out}} \quad (3.301)$$

Durch Iteration erhält man in diesem Fall:

$$U_{outmax} = 2.5V \quad (3.302)$$

Es zeigt sich, daß die Hälfte des Spannungshubs verloren geht. Gleichung 3.294 gibt die Gründe des Verlustes an: U_{T_0} ist unvermeidlich, $U_{GS_{eff}}$ kann man gering beeinflussen. Der größte Spannungsverlust ergibt sich, weil $U_{SB} > 0$ ist. Wenn die Technologie es erlaubt, ist es daher günstiger, den Bulk mit der Source kurzzuschließen (siehe Bild 3.52).

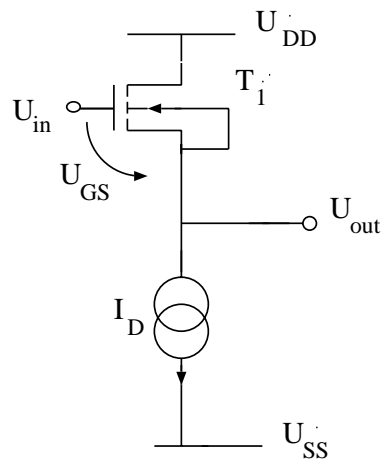
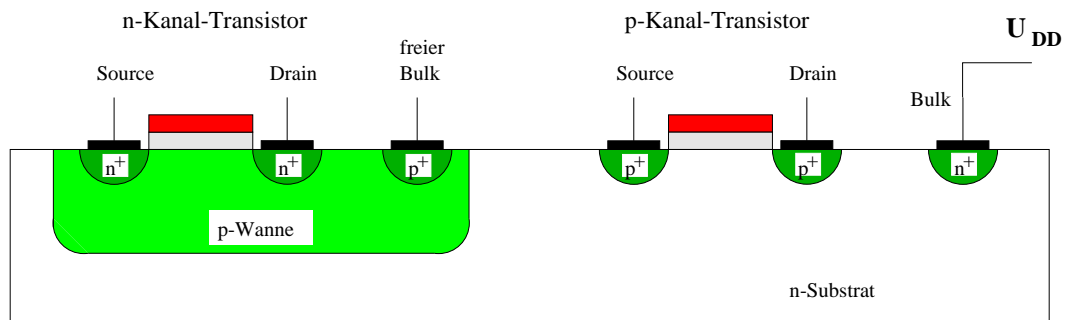
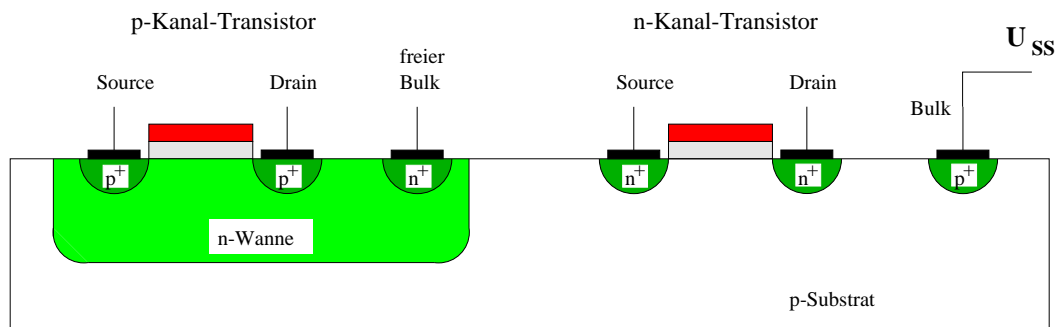


Abbildung 3.52: Source-Folger mit $U_{SB} = 0$



p-Wannen-Prozeß



n-Wannen-Prozeß

Abbildung 3.53: p-Wannen- und n-Wannen-Prozeß

Dann ergibt sich:

$$U_{out_{max}} = U_{DD} - U_{GS_{eff}} - U_{T_0} \quad (3.303)$$

$$= 3.8V \quad (3.304)$$

Diese Möglichkeit besteht aber nicht immer, wie man an Bild 3.53 sieht: Der Transistor muß eine eigene Wanne besitzen, die dann an das entsprechende Source-Potential angeschlossen werden kann, da Wannen gewöhnlich an U_{DD} (bzw. U_{SS}) angeschlossen werden müssen.

Entsprechend ist es bei p-Wannen-CMOS für n-Kanal-Transistoren prinzipiell machbar, bei n-Wannen-CMOS dagegen nicht. Dort wird es aber auch möglich, wenn p-Kanal-Transistoren verwendet werden (siehe Bild 3.54).

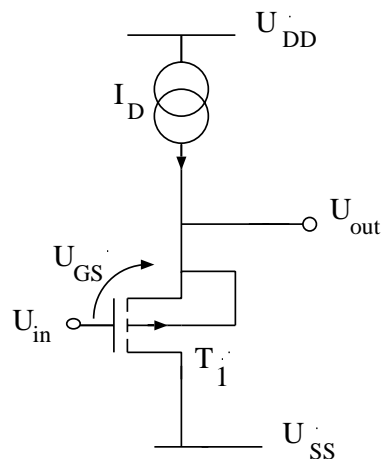


Abbildung 3.54: Source-Folger mit p-Kanal-Transistor

Minimale Ausgangsspannung

Die Stromquelle kann jeweils als einfacher Transistor ausgelegt sein. In diesem Fall kann die Ausgangsspannung so weit sinken, daß dieser Transistor noch in Sättigung ist:

$$U_{out} = U_{DS_{Stromquelle}} + U_{SS} \tag{3.305}$$

$$U_{DS} > U_{GS} - U_T = U_{GS_{eff}} \tag{3.306}$$

$$\Rightarrow U_{out_{min}} = U_{GS_{eff}} (\approx 0.2V) + U_{SS} \tag{3.307}$$

3.9 Gesamtaufbau

Im Folgenden soll - angelehnt an das Kleinsignalersatzschaltbild eines MOS-Inverters - Bild 3.55 rechts als allgemeines Verstärkerersatzschaltbild dienen. Damit ergibt sich Bild 3.56 als Ersatzschaltbild eines Verstärkers aus Differenzstufe, Inverter und Ausgangsbuffer.

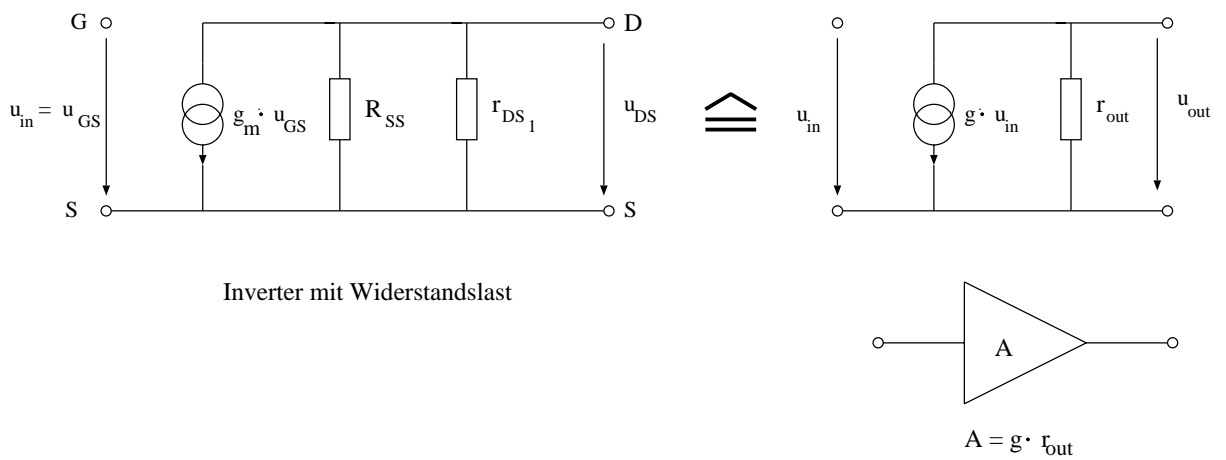


Abbildung 3.55: Ersatzschaltbild Transistor mit einfacher Stromquelle (Innenwiderstand R_{SS}) als Nutzlast

Bei jeder der drei Stufen ist die Verstärkung dabei von der jeweiligen Last abhängig. Der Lastwiderstand einer Stufe ist jeweils der Eingangswiderstand der nächsten. Ein Vorteil der MOS-Technologie ist dabei, daß ein Transistor einen unendlich hohen Eingangswiderstand hat (wenn man die Kapazitäten nicht berücksichtigt), was am Kleinsignalersatzschaltbild für einen Transistor mit einfacher Stromquelle (Bild 3.55 links) deutlich wird.

Solange der Eingangswiderstand der jeweils nächsten Stufe viel größer als der jeweilige Ausgangswiderstand ist, wird die Verstärkung durch das Zusammenschalten nicht beeinflusst:

$$R_{in2} \gg R_{out1} \quad (3.308)$$

$$\implies A_1 \approx A_{1_{unbelastet}} \quad (3.309)$$

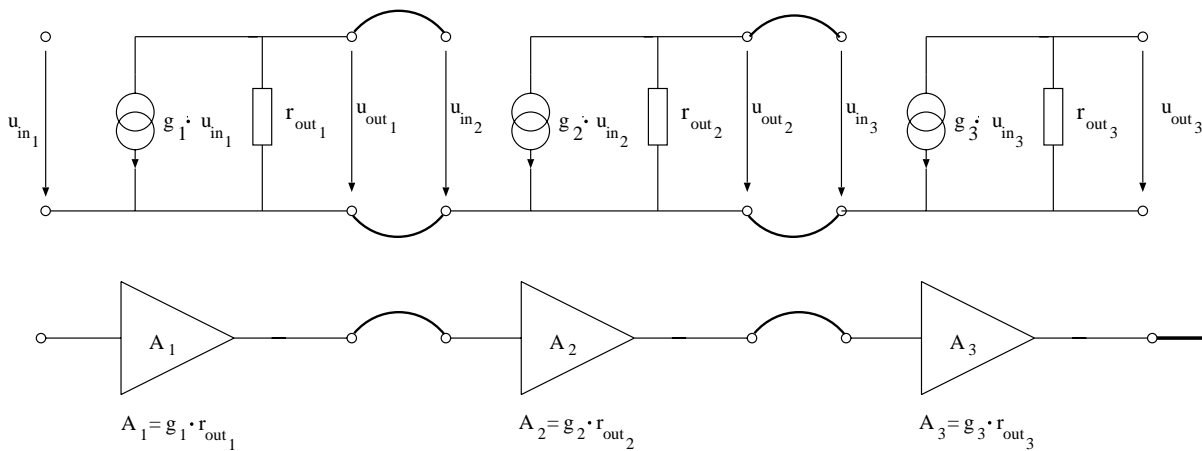


Abbildung 3.56: Verstärker aus Ersatzschaltbildern

Eine mögliche Realisierung des Blockschaltbildes 3.49 ist in Bild 3.57 dargestellt.

Für die Verstärkungen gilt jeweils:

Differenzstufe	Inverter	Buffer
$A = g \cdot r_{out}$	$A = g \cdot r_{out}$	$A = g \cdot r_{out}$
Lastwiderstand: Diode		
$\implies r_{out} = \frac{1}{g_m}$		
$A = \frac{g_m}{g_m}$	$A = g_m \cdot r_{DS}$	$A = \frac{g_m}{g_m}$
	Hauptverstärkung	

Die eigentliche Verstärkung wird von der Inverterstufe übernommen. Eine höhere Verstärkung wird durch Verwendung von kaskadierten Transistoren erreicht (in Bild 3.57 die Transistoren T_1 und T_2). Wie bereits berechnet (Gleichung 3.261) gilt dann:

$$A_{Kaskode} = \frac{1}{2} \cdot g_m \cdot r_{DS} \cdot g_m \cdot r_{DS} \quad (3.310)$$

$$A_{Gesamt} = A_1 \cdot A_2 \cdot A_3 \quad (3.311)$$

$$\approx \frac{1}{2} \cdot (g_m \cdot r_{DS})^2 \quad (3.312)$$

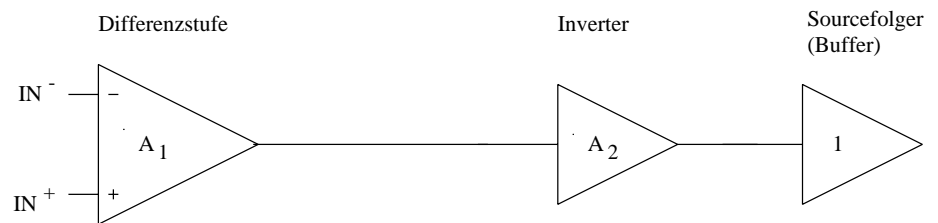
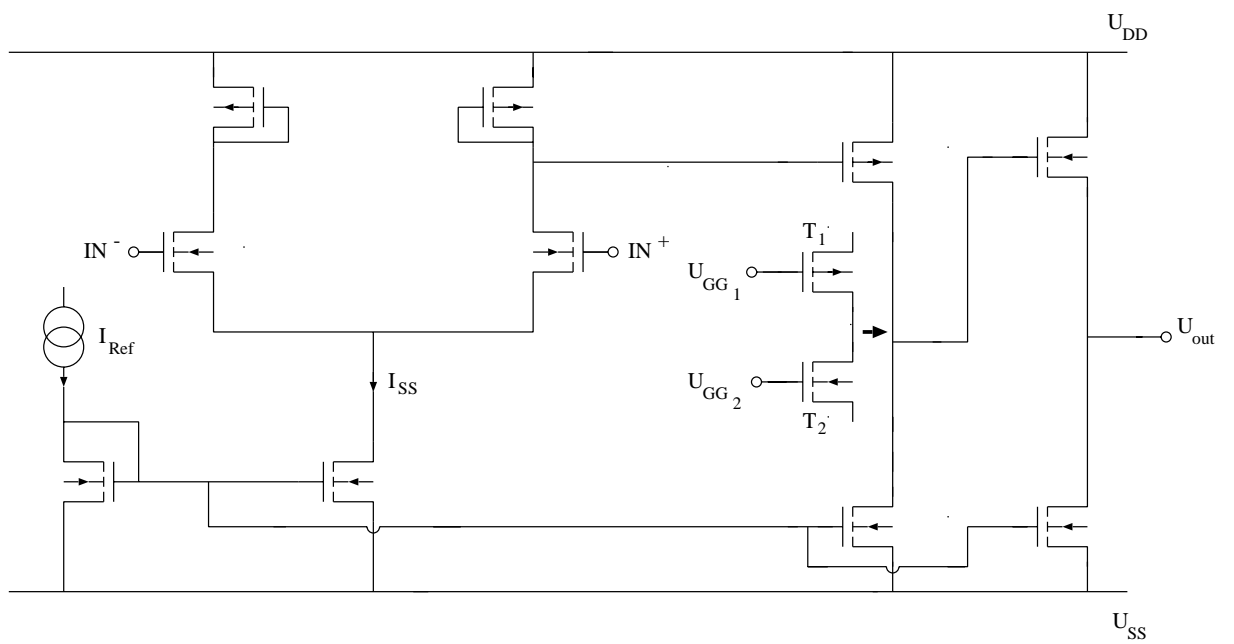


Abbildung 3.57: Verstärker aus Differenzstufe, Inverter und Buffer

Kapitel 4

Parasitäre Kapazitäten

4.1 Kapazitäten eines Transistors

Bei den bisherigen Betrachtungen wurden die Kapazitäten vernachlässigt, daher gelten die Ergebnisse nur für niedrige Frequenzen. Bild 4.1 zeigt einen Querschnitt eines MOS-Transistors ohne die Metallkontakte, die hier nicht berücksichtigt werden.

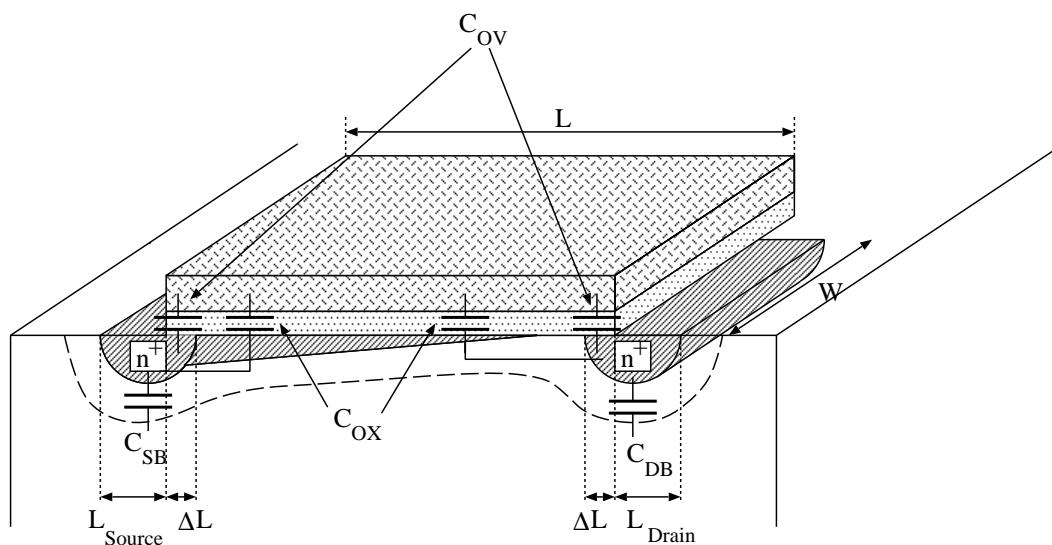


Abbildung 4.1: Querschnitt eines MOS-Transistors

Prinzipiell können zwischen jeweils zwei der vier Anschlüsse eines Transistors Kapazitäten vorliegen (siehe Bild 4.2). Sie sollen im weiteren untersucht werden:

- Drain-Bulk- und Source-Bulk-Kapazität C_{DB} und C_{SB}
Es handelt sich hierbei um Diffusionskapazitäten, die über der Raumladungszone anfallen. Man unterscheidet zwischen dem Anteil, der quasi "vertikal" über der Fläche des Substrats anfällt (C_{ja} , a: area),

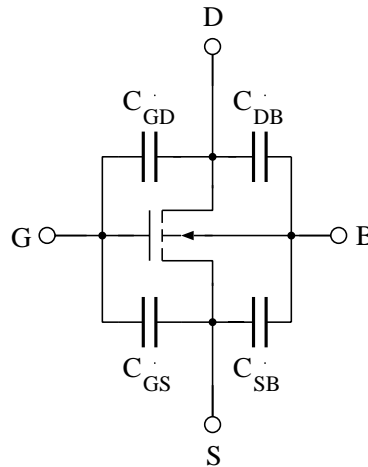


Abbildung 4.2: Parasitäre Kapazitäten eines Transistors

und dem Anteil, der quasi "horizontal" entlang des Umfangs des Substrats vorliegt (C_{jp} , p: perimeter). Für beide Anteile gibt es unterschiedliche Kapazitätsbeläge C'_{ja} und C'_{jp} , wobei C'_{ja} die Kapazität je *Flächeneinheit* darstellt, während C'_{jp} die Kapazität je *Längeneinheit* des Umfangs angibt, da hier die Höhe des Diffusionsgebiets schon eingerechnet ist. Damit ergibt sich:

$$C_{SB} = C_{DB} = C_{ja}' \cdot \text{Fläche} + C_{jp}' \cdot \text{Umfang} \quad (4.1)$$

mit:

$$C_{ja}' \approx 0.1 \frac{fF}{\mu m^2} \quad \text{Horizontalkapazitätsbelag (je Fläche)}$$

$$C_{jp}' \approx 0.1 \frac{fF}{\mu m} \quad \text{Umfangskapazitätsbelag (je Umfang)}$$

- Gate-Bulk-Kapazität

Solange kein leitender Kanal vorliegt ($U_{GS} < U_T$), liegt zwischen Gate und Bulk über dem Oxid die Kapazität C_{OX} . Hier werden aber Transistoren in Sättigung betrachtet, d.h. es liegt ein Kanal vor (siehe Bild 4.1). Dieser ist mit der Source leitend verbunden, so daß in der Sättigung keine Gate-Bulk-Kapazität existiert.

- Gate-Source- und Gate-Drain-Kapazität C_{GS} und C_{GD}

Diese Kapazitäten setzen sich aus zwei Komponenten zusammen. Zum einen wirkt sich die Oxidkapazität C_{OX} aus, die zwischen Gate und dem leitenden Kanal vorliegt. Sie läßt sich berechnen aus der Fläche des Kanals und einem Kapazitätsbelag je Fläche C_{OX}' .

Für den Triodenbereich lassen sich die Anteile der Oxidkapazität an C_{GS} und C_{GD} aus folgenden Formeln bestimmen:

$$C_{GS_{OX}} = \frac{2}{3} \cdot \frac{U_{GS_{eff}} \cdot (3 \cdot U_{GS_{eff}} - 2 \cdot U_{DS})}{(2 \cdot U_{GS_{eff}} - U_{DS})^2} \cdot C_{OX} \quad (4.2)$$

$$C_{GD_{OX}} = \frac{2}{3} \cdot \frac{(3 \cdot U_{GS_{eff}} - U_{DS}) \cdot (U_{GS_{eff}} - U_{DS})}{(2 \cdot U_{GS_{eff}} - U_{DS})^2} \cdot C_{OX} \quad (4.3)$$

Im Sättigungsbereich werden diese Gleichungen zu:

$$C_{GS_{OX}} = \frac{2}{3} \cdot \frac{U_{GS_{eff}} \cdot (3 \cdot U_{GS_{eff}} - 2 \cdot U_{DSS})}{(2 \cdot U_{GS_{eff}} - U_{DSS})^2} \cdot C_{OX} \quad (4.4)$$

$$C_{GD_{OX}} = \frac{2}{3} \cdot \frac{(3 \cdot U_{GS_{eff}} - U_{DSS}) \cdot (U_{GS_{eff}} - U_{DSS})}{(2 \cdot U_{GS_{eff}} - U_{DSS})^2} \cdot C_{OX} \quad (4.5)$$

Dabei ist U_{DSS} die Pinch-Off-Spannung (Abschnürspannung). Näherungsweise gilt im Sättigungsbereich:

$$U_{DSS} \approx U_{GS_{eff}} \quad (\text{s. Seite 19}) \quad (4.6)$$

$$\Rightarrow C_{GS_{OX}} \approx \frac{2}{3} \cdot \frac{U_{GS_{eff}} \cdot (3 \cdot U_{GS_{eff}} - 2 \cdot U_{GS_{eff}})}{(2 \cdot U_{GS_{eff}} - U_{GS_{eff}})^2} \cdot C_{OX} \quad (4.7)$$

$$= \frac{2}{3} \cdot \frac{U_{GS_{eff}} \cdot U_{GS_{eff}}}{U_{GS_{eff}}^2} \cdot C_{OX} \quad (4.8)$$

$$= \frac{2}{3} \cdot C_{OX} \quad (4.9)$$

$$\Rightarrow C_{GD_{OX}} \approx \frac{2}{3} \cdot \frac{(3 \cdot U_{GS_{eff}} - U_{GS_{eff}}) \cdot (U_{GS_{eff}} - U_{GS_{eff}})}{(2 \cdot U_{GS_{eff}} - U_{GS_{eff}})^2} \cdot C_{OX} \quad (4.10)$$

$$= 0 \quad (4.11)$$

Da der größte Anteil des leitenden Kanals zur Source gehört, wirkt sich die Oxidkapazität fast nur auf die Gate-Source-Kapazität aus und wird bei der Gate-Drain-Kapazität vernachlässigt. Die Gate-Source-Kapazität stellt daher i.Allg. die größte parasitäre Kapazität dar, je nach Schaltung müssen aber auch die anderen berücksichtigt werden.

Zum anderen liegt technologiebedingt immer eine Überlappung des Diffusionsgebiets unter das Oxid vor: Das Oxid dient bei der Ionenimplantation als Maske, wobei sich eine Unterdiffusion nicht vermeiden läßt. Die Länge dieses Bereichs wird mit ΔL bezeichnet. Die daraus resultierende Kapazität wird als Overlap-Kapazität C_{OV} bezeichnet; sie ist aus Symmetriegründen für C_{GS} und C_{GD} gleich groß.

Damit ergibt sich:

$$C_{OX} = L \cdot W \cdot C_{OX}' \quad (4.12)$$

$$C_{OV} = \Delta L \cdot W \cdot C_{OX}' \quad (4.13)$$

$$C_{GS} = \frac{2}{3} \cdot C_{OX} + C_{OV} \quad (4.14)$$

$$C_{GD} = 0 + C_{OV} \quad (4.15)$$

mit:

$$C_{OX}' \approx 0.86 \frac{fF}{\mu m^2} \quad \text{Oxidkapazitätsbelag}$$

$$\Delta L \approx 0.2 \mu m \quad \text{Länge des Überlappungsgebiets}$$

Bei der Berechnung von C_{OX} liegt eine Näherung vor, da zur Berechnung der wirksamen Fläche eigentlich statt L nur $L - 2 \cdot \Delta L$ berücksichtigt werden darf. Im Allgemeinen gilt aber $\Delta L \ll L$.

Die Gleichungen für C_{GS} und C_{GD} ergeben sich aus komplexen Rechnungen und sollen hier nicht hergeleitet werden.

Bild 4.3 stellt die Abhängigkeit der Kapazitäten im Trioden- und im Sättigungsbereich dar.

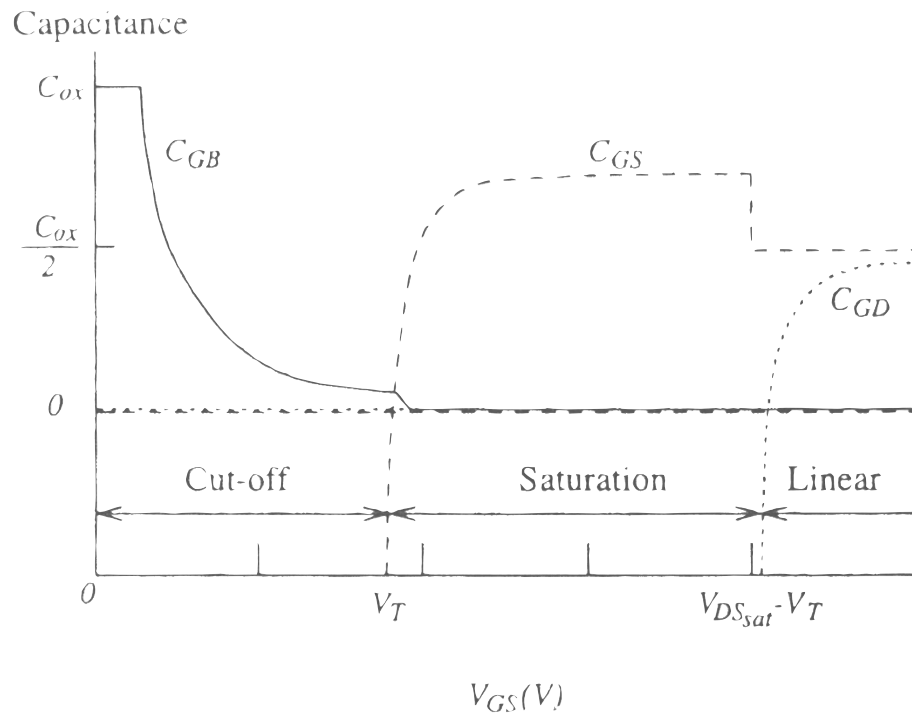


Abbildung 4.3: $C_{GD}(U_{DS})$ und $C_{GS}(U_{DS})$ (Bellaouar/Elmasry: Low-Power Digital VLSI Design)

Beispiel

Zur Abschätzung der Größenordnungen soll nun ein Transistor mit folgenden Angaben betrachtet werden:

$$\text{mit } C_{ja}' \approx 0.1 \frac{fF}{\mu m^2}$$

$$C_{jp}' \approx 0.1 \frac{fF}{\mu m}$$

$$L = 5 \mu m \quad (4.16)$$

$$W = 50 \mu m \quad (4.17)$$

$$L_{Source/Drain} = 10 \mu m \quad (4.18)$$

$$C_{SB} = C_{DB} = C_{ja}' \cdot \text{Fläche} + C_{jp}' \cdot \text{Umfang} \quad (4.19)$$

$$= C_{ja}' \cdot W \cdot L_{Source/Drain} \quad (4.20)$$

$$+ C_{jp}' \cdot (2 \cdot W + 2 \cdot L_{Source/Drain}) \quad (4.21)$$

$$= 50 fF + 12 fF = 60 fF = 0.06 pF \quad (4.22)$$

$$C_{ox} = L \cdot W \cdot C_{ox}' \quad (4.23)$$

$$= 5 \mu m \cdot 50 \mu m \cdot 0.86 \frac{fF}{\mu m^2} \quad (4.24)$$

$$= 215 fF \approx 0.2 pF \quad (4.25)$$

$$C_{OV} = \Delta L \cdot W \cdot C_{OX}' \quad (4.26)$$

$$= 0.2\mu\text{m} \cdot 50\mu\text{m} \cdot 0.86 \frac{\text{fF}}{\mu\text{m}^2} \quad (4.27)$$

$$= 8.6\text{fF} \approx 0.01\text{pF} \quad (4.28)$$

$$C_{GS} = \frac{2}{3} \cdot C_{OX} + C_{OV} \quad (4.29)$$

$$= 143\text{fF} \approx 0.15\text{pF} \quad (4.30)$$

$$C_{GD} = 0 + C_{OV} = 8.6\text{fF} \approx 0.01\text{pF} \quad (4.31)$$

Da im Allgemeinen $C_{OX} \gg C_{OV}$ ist, gilt:

$$\frac{C_{GS}}{C_{GD}} \sim \frac{L}{\Delta L} \quad (4.32)$$

4.1.1 Kleinsignalersatzschaltbild

Mit Berücksichtigung der parasitären Kapazitäten ergibt sich für einen Transistor das Kleinsignalersatzschaltbild aus Bild 4.4.

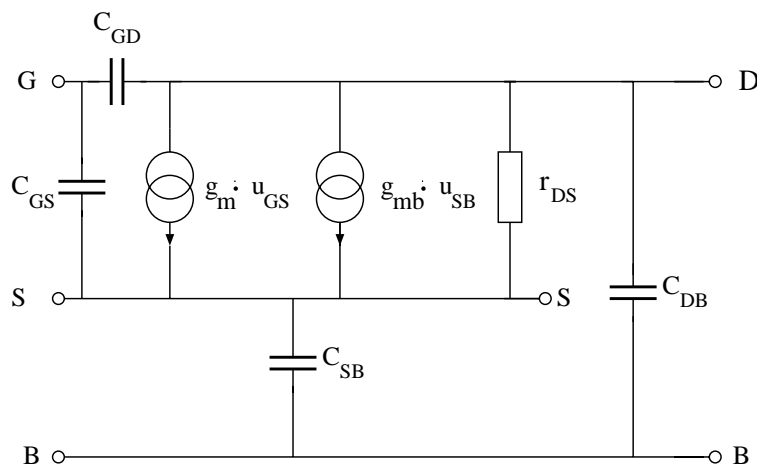


Abbildung 4.4: Kleinsignalersatzschaltbild mit parasitären Kapazitäten

Wenn Bulk und Source kurzgeschlossen sind, ergibt sich Bild 4.5. Die Vierpolparameter müssen neu berechnet werden:

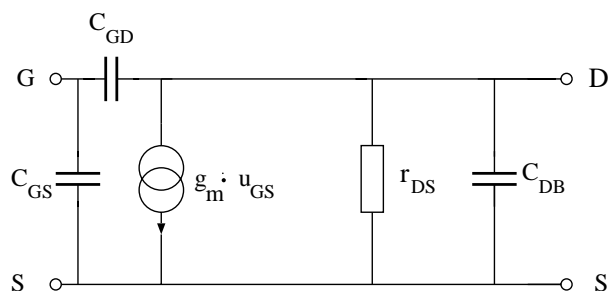


Abbildung 4.5: Kleinsignalersatzschaltbild bei verbundener Source und Bulk

- Eingangsleitwert (Bild 4.6 a)

$$y_{11} = \frac{i_{in}}{u_{in}} \Big|_{u_{out}=0} \quad (4.33)$$

$$= j\omega \cdot (C_{GD} + C_{GS}) \quad (4.34)$$

$$\Rightarrow r_{in} = \frac{1}{j\omega \cdot (C_{GD} + C_{GS})} \quad (4.35)$$

- Ausgangsleitwert (Bild 4.6 b)

$$y_{22} = \frac{i_{out}}{u_{out}} \Big|_{u_{in}=0} \quad (4.36)$$

$$= g_{DS} + j\omega \cdot (C_{GD} + C_{DB}) \quad (4.37)$$

$$\Rightarrow r_{out} = \frac{1}{y_{22}} = \frac{1}{g_{DS} + j\omega \cdot (C_{GD} + C_{DB})} \quad (4.38)$$

$$= \frac{r_{DS}}{1 + j\omega \cdot (C_{GD} + C_{DB}) \cdot r_{DS}} \quad (4.39)$$

Das entspricht einem Tiefpaßfilter; der Ausgangswiderstand nimmt also bei höheren Frequenzen ab (siehe auch Bild 4.7):

$$R_{outTiefpass} = \frac{1}{\frac{1}{R} + j\omega \cdot C} \quad (4.40)$$

$$= \frac{R}{1 + j\omega \cdot R \cdot C} \quad (4.41)$$

$$(4.42)$$

$$\text{mit: } C = C_{GD} + C_{DB} \quad (4.43)$$

$$R = r_{DS} \quad (4.44)$$

- Steilheit (Bild 4.6 c)

$$y_{21} = \frac{i_{out}}{u_{in}} \Big|_{u_{out}=0} \quad (4.45)$$

$$= g_m - j\omega \cdot C_{GD} \quad (4.46)$$

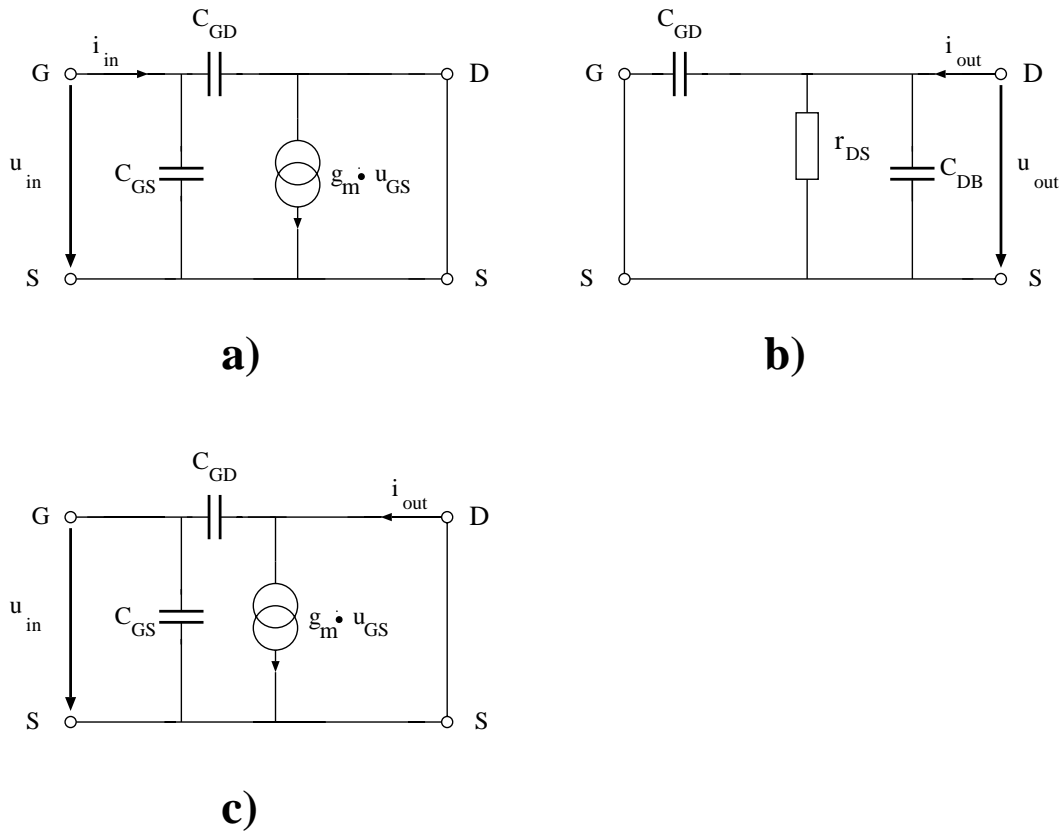


Abbildung 4.6: Kleinsignalersatzschaltbilder zur Berechnung von y_{11} , y_{22} und y_{21}

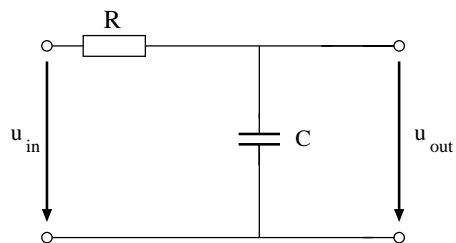


Abbildung 4.7: Tiefpaßfilter

Für die Verstärkung gilt damit:

$$A = \frac{u_2}{u_1} \Big|_{i_2=0} \quad (4.47)$$

$$= -\frac{y_{21}}{y_{22}} \quad (4.48)$$

$$\Rightarrow \boxed{A = -(g_m - j\omega \cdot C_{GD}) \cdot \frac{r_{DS}}{1 + j\omega \cdot (C_{GD} + C_{DB}) \cdot r_{DS}}} \quad (4.49)$$

$$\Rightarrow A_0 = A|_{\omega=0} = -g_m \cdot r_{DS} \quad \text{Verstärkung bei } \omega = 0 \quad (4.50)$$

Bei $\omega = 0$ erhält man also wie erwartet die bisher berechnete Verstärkung.

4.2 Frequenzgang

Zur Beschreibung des Übertragungsverhaltens bei Frequenzen $\omega \neq 0$ wird der Frequenzgang ermittelt. Im folgenden Abschnitt seien zunächst einige allgemeine Aussagen gemacht.

4.2.1 Beschreibung im Frequenzbereich

Zur Betrachtung des Verhaltens einer Schaltung im Frequenzbereich werden die Gleichungen einer entsprechenden Transformation unterzogen (Fourier, Laplace o.ä.). Der Zusammenhang zwischen Ausgang und Eingang im Frequenzbereich wird als Übertragungsfunktion bezeichnet.

Die allgemeine Form einer Übertragungsfunktion lautet:

$$A(s) = K \cdot \frac{(1 - \frac{s}{z_1}) \cdot (1 - \frac{s}{z_2}) \cdot \dots}{(1 - \frac{s}{p_1}) \cdot (1 - \frac{s}{p_2}) \cdot \dots} \quad (4.51)$$

s : komplexe Frequenz
mit: z_i : komplexe Nullstellen
 p_i : komplexe Polstellen

Interessant ist eine Betrachtung des Betrages und der Phase der Übertragungsfunktion. Für ihren Verlauf sind die vorkommenden Pole und Nullstellen verantwortlich. Ein Pol p_i bedeutet grob gesagt, daß ab dieser Frequenz der Betrag der Übertragungsfunktion mit steigender Frequenz abnimmt, nach einer Nullstelle z_i nimmt er dagegen zu. Weil eine Nullstelle allerdings aufgrund der Kausalität nicht ohne Pol vorkommen kann, führt eine Nullstelle zum Ausgleich der Auswirkung der Polstelle ab der Nullstellenfrequenz bzw. umgekehrt.

Die hier vorkommenden Pole und Nullstellen sind rein reell und die komplexe Frequenz s ist rein imaginär ($s = \sigma + j\omega = 0 + j\omega$); daher gilt:

$$\text{Betrag: } |A(s)| = |A(j\omega)| = K \cdot \frac{\sqrt{1 + \left|\frac{j\omega}{z_1}\right|^2} \cdot \sqrt{1 + \left|\frac{j\omega}{z_2}\right|^2} \cdots}{\sqrt{1 + \left|\frac{j\omega}{p_1}\right|^2} \cdot \sqrt{1 + \left|\frac{j\omega}{p_2}\right|^2} \cdots} \quad (4.52)$$

$$= K \cdot \frac{\sqrt{1 + \left|\frac{\omega}{z_1}\right|^2} \cdot \sqrt{1 + \left|\frac{\omega}{z_2}\right|^2} \cdots}{\sqrt{1 + \left|\frac{\omega}{p_1}\right|^2} \cdot \sqrt{1 + \left|\frac{\omega}{p_2}\right|^2} \cdots} \quad (4.53)$$

$$\text{Phase: } \Phi(s) = \Phi(j\omega) = \arctan\left(\frac{j\omega}{z_1}\right) + \arctan\left(\frac{j\omega}{z_2}\right) \cdots \quad (4.54)$$

$$- \arctan\left(\frac{j\omega}{p_1}\right) - \arctan\left(\frac{j\omega}{p_2}\right) \cdots \quad (4.55)$$

Üblicherweise wird die logarithmierte Form des Betrages der Übertragungsfunktion betrachtet:

$$\lg|A(s)| = \lg|K| + \lg\sqrt{1 + \left|\frac{\omega}{z_1}\right|^2} + \lg\sqrt{1 + \left|\frac{\omega}{z_2}\right|^2} \cdots \quad (4.56)$$

$$- \lg\sqrt{1 + \left|\frac{\omega}{p_1}\right|^2} - \lg\sqrt{1 + \left|\frac{\omega}{p_2}\right|^2} \cdots \quad (4.57)$$

Im Bode-Diagramm wird der Frequenzgang getrennt nach Betrag und Phase dargestellt. Der Betrag wird in Dezibel [dB] mit $|A|_{dB} = 20 \cdot \lg|A|$ angegeben, die Frequenz wird ebenfalls logarithmisch aufgetragen.

Beispiel: Ein-Pol-System

Als Beispiel soll ein Ein-Pol-System dienen. Seine Übertragungsfunktion lautet:

$$A(s) = \frac{K}{1 - \left(\frac{\omega}{p_1}\right)} \quad (4.58)$$

was nach Gleichung 4.40 einem Tiefpaß entspricht. Sein Frequenzgang lautet:

$$|A(s)| = \frac{|K|}{\sqrt{1 + \left(\frac{\omega}{p_1}\right)^2}} \quad (4.59)$$

$$\lg|A(s)| = \lg|K| - \lg\sqrt{1 + \left(\frac{\omega}{p_1}\right)^2} \quad (4.60)$$

$$(4.61)$$

$$\text{Bereiche: } \omega \ll p_1 : \lg|A(s)| \approx \lg|K| - \lg|1| = \lg|K| \quad (4.62)$$

$$\omega \gg p_1 : 1 + \left(\frac{\omega}{p_1}\right)^2 \approx \left(\frac{\omega}{p_1}\right)^2 \quad (4.63)$$

$$\Rightarrow \lg|A(s)| \approx \lg|K| - \lg\left|\frac{\omega}{p_1}\right| \quad (4.64)$$

Die Einheit dB erhält man, wenn der Logarithmus mit 20 multipliziert wird. Damit führt im zweiten Bereich eine Verdopplung von ω zu einer Absenkung um 6 dB :

$$|A(s)|_{[dB]} = 20 \cdot \lg|K| - 20 \cdot \lg\left|\frac{\omega}{p_1}\right| \quad (4.65)$$

$$\Rightarrow |A(2 \cdot s)|_{[dB]} = 20 \cdot \lg|K| - 20 \cdot \lg\left|\frac{2 \cdot \omega}{p_1}\right| \quad (4.66)$$

$$= 20 \cdot \lg|K| - (20 \cdot \lg|2| + 20 \cdot \lg\left|\frac{\omega}{p_1}\right|) \quad (4.67)$$

$$= |A(s)|_{[dB]} - 6\text{dB} \quad (4.68)$$

Das wird auch am Bode-Diagramm in Bild 4.8 deutlich.

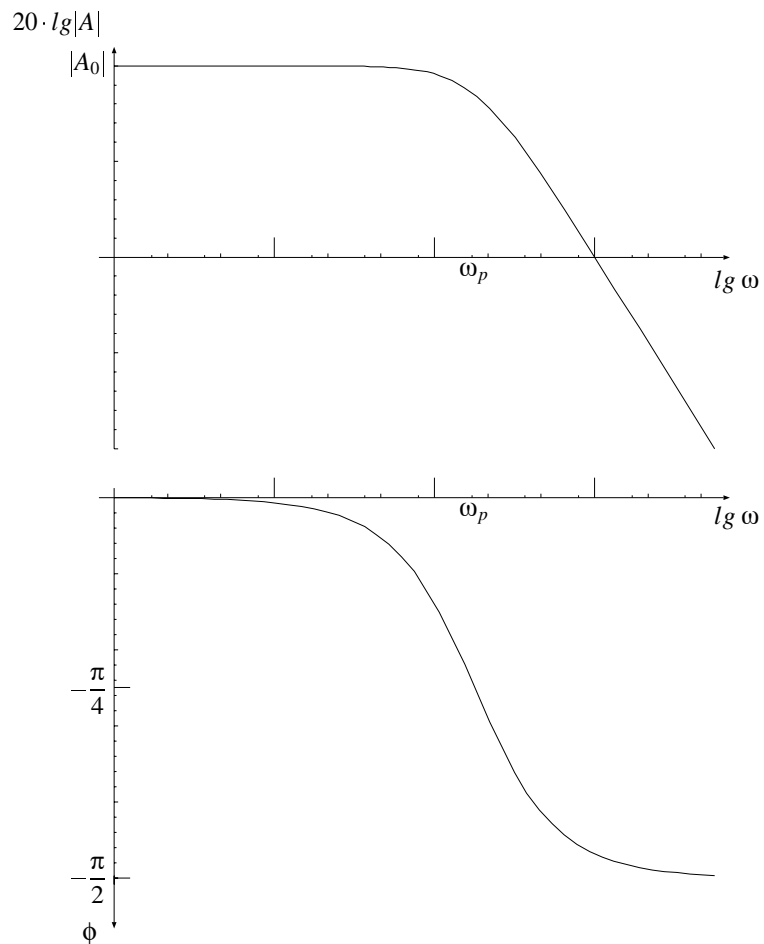


Abbildung 4.8: Bode-Diagramm eines Ein-Pol-Systems

Am Pol $\omega = p_1$ gelten beide Näherungen nicht. Man erhält:

$$\lg |A(\omega = p_1)| = \lg |K| - \lg \sqrt{1 + \left(\frac{p_1}{p_1}\right)^2} \quad (4.69)$$

$$= \lg |K| - \lg \sqrt{2} \quad (4.70)$$

$$= \lg |K| - 3dB \quad (4.71)$$

Bei der Eckfrequenz ist die Übertragungsfunktion also um 3 dB abgefallen.

Die Phase in Bild 4.8 wird vom Pol p_1 bis 90° gedreht, bei der Eckfrequenz beträgt die Drehung 45° .

Allgemeiner Fall

Im allgemeinen Fall ist die Übertragungsfunktion nicht faktorisiert. Dann läßt sich die Funktion aufspalten:

$$\text{mit } A(s) = \frac{Z(s)}{N(s)} : \quad N(s) = 1 + a \cdot s + b \cdot s^2 \quad (4.72)$$

$$= \left(1 - \frac{s}{p_1}\right) \cdot \left(1 - \frac{s}{p_2}\right) \quad (4.73)$$

$$= 1 - \underbrace{\left(\frac{1}{p_1} + \frac{1}{p_2}\right)}_{-a} \cdot s + \underbrace{\frac{1}{p_1 \cdot p_2}}_{\frac{1}{b}} \cdot s^2 \quad (4.74)$$

Im Allgemeinen liegen hier die Pole nicht nahe beieinander, so daß man sie in dominante und nicht dominante Pole einteilen kann. Wenn der Abstand groß genug ist, beeinflussen sie sich nicht gegenseitig. Man kann OBdA annehmen:

$$|p_2| \gg |p_1| \quad (4.75)$$

$$\Rightarrow p_1 \approx -\frac{1}{a} \quad p_2 \approx -\frac{a}{b} \quad (4.76)$$

$$(4.77)$$

Damit können die Pole näherungsweise einzeln betrachtet werden.

Gegenkopplung

Im Allgemeinen sind Verstärker gegengekoppelt, wie in Bild 4.9 dargestellt.

$$U_{out} = A(s) \cdot (U_{in} - F(s) \cdot U_{out}) \quad (4.78)$$

$$\Rightarrow \frac{U_{out}}{U_{in}} = \frac{A(s)}{1 + A(s) \cdot F(s)} \quad (4.79)$$

$$= \frac{1}{\frac{1}{A(s)} + F(s)} \quad (4.80)$$

$$\text{für große } |A(s)|: \quad \approx \frac{1}{F(s)} \quad (4.81)$$

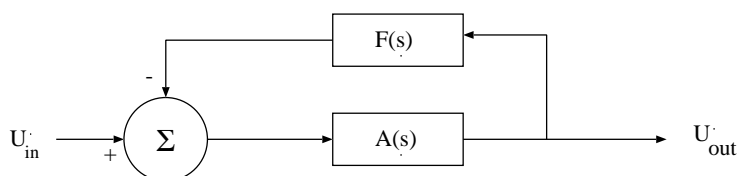
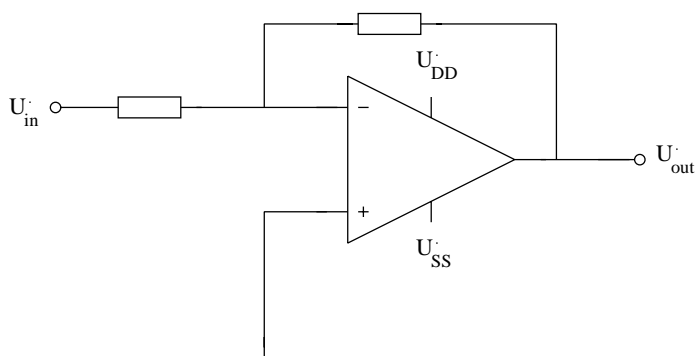


Abbildung 4.9: Verstärker mit Gegenkopplung

Die Gesamtverstärkung ist also nur durch die Art der Rückkopplung definiert, wenn die Open-Loop-Verstärkung $A(s)$ groß genug ist.

Bei rückgekoppelten Systemen ist immer auf die Stabilität zu achten. Eine zu große Phasenverschiebung kann dazu führen, daß sich das Vorzeichen von $A(s) \cdot F(s)$ ändert; dann wird aus der Gegenkopplung eine positive Rückkopplung. Dies kann zu Instabilität führen, falls der rückgekoppelte Anteil betragsmäßig größer 1 ist:

$$s = j\omega, \phi(s) = 180^\circ \Rightarrow \text{Vorzeichenwechsel} \quad (4.82)$$

$$\text{instabil, wenn } |A(s) \cdot F(s)| > 1 \quad (4.83)$$

Stabilitätskriterien:

$$\phi = 180^\circ \implies |A(s) \cdot F(s)| < 1 \quad (4.84)$$

$$|A(s) \cdot F(s)| = 1 \implies 180^\circ - \phi > 0 \quad (4.85)$$

Hier soll die zweite Formulierung verwendet werden. Die Phase $180^\circ - \phi_{|A(s) \cdot F(s)|=1}$ ist ein Maß für die Stabilitätsgröße, sie wird als Phasenreserve bezeichnet.

4.2.2 Anwendung auf einen Transistor

Diese Beschreibung soll nun auf einen Transistor und seine parasitären Kapazitäten angewendet werden. An Gleichung 4.49 erkennt man, daß die Verstärkung eine Null- und eine Polstelle besitzt:

$$A = -(g_m - j\omega \cdot C_{GD}) \cdot \frac{r_{DS}}{1 + j\omega \cdot (C_{GD} + C_{DB}) \cdot r_{DS}} \quad (4.86)$$

$$\implies \text{Nullstelle: } z_1 = s|_{\text{Zähler}=0} = j\omega|_{\text{Zähler}=0} \quad (4.87)$$

$$= \frac{g_m}{C_{GD}} \quad (4.88)$$

$$\text{Polstelle: } p_1 = \frac{-1}{r_{DS} \cdot (C_{GD} + C_{DB})} \quad (4.89)$$

$$A_0 = A|_{\omega=0} = -g_m \cdot r_{DS} \quad (4.90)$$

Damit läßt sich Gleichung 4.86 umformen:

$$A = A_0 \cdot \frac{1 - \frac{s}{z_1}}{1 - \frac{s}{p_1}} \quad (4.91)$$

Der Amplitudengang ist in Bild 4.10 logarithmisch aufgetragen.

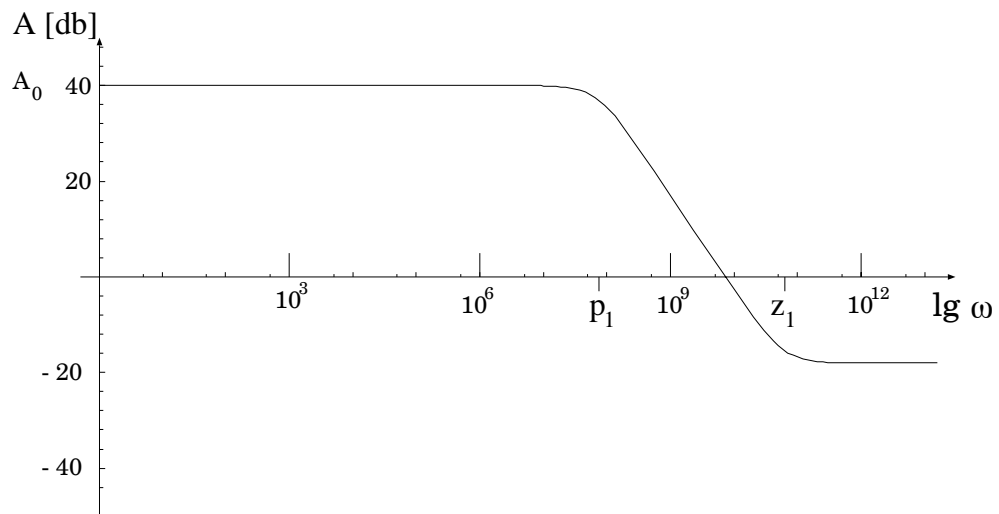


Abbildung 4.10: Frequenzgang eines MOS-Transistors

Zusätzlich zu den auf Seite 85 berechneten Werten seien folgende Werte gegeben:

$$g_m = 500\mu S \quad (4.92)$$

$$r_{DS} = 200k\Omega \quad (4.93)$$

$$\Rightarrow A_0 = -100 \quad (4.94)$$

$$\Rightarrow z_1 = \frac{g_m}{C_{GD}} \quad (4.95)$$

$$= \frac{500\mu S}{8.6fF} \quad (4.96)$$

$$= 58.1GHz \quad (4.97)$$

$$\Rightarrow f_{z_1} = \frac{z_1}{2\pi} \approx 9.3GHz \quad (4.98)$$

$$p_1 = \frac{-1}{r_{DS} \cdot (C_{GD} + C_{DB})} \quad (4.100)$$

$$= \frac{-1}{200k\Omega \cdot (8.6fF + 60fF)} \quad (4.101)$$

$$= -72.9MHz \quad (4.102)$$

$$\Rightarrow f_{p_1} \approx -11.6MHz \quad (4.103)$$

Interessant ist auch die 0-dB-Frequenz, d.h. die Frequenz, bei der die Verstärkung betragsmäßig zu 1 wird. Sie ermittelt sich aus:

$$20 \cdot \log|A| = 0 \quad (4.104)$$

$$\Leftrightarrow |A| = 1 \quad (4.105)$$

Die 0-dB-Frequenz muß größer als die Eckfrequenz des Pols und kleiner als die Nullstelleneckfrequenz sein, da sich in den anderen Bereichen die Verstärkung mit der Frequenz nicht ändert. Damit kann man nähern:

$$\left| \frac{s|_{0dB}}{p_1} \right| \gg 1 \quad , \quad \left| \frac{s|_{0dB}}{z_1} \right| \ll 1 \quad (4.106)$$

$$\text{mit Glg. 4.91:} \quad \implies |A(s|_{0dB})| \approx \left| A_0 \cdot \frac{1}{\frac{s|_{0dB}}{p_1}} \right| = \left| A_0 \cdot \frac{p_1}{s|_{0dB}} \right| = 1 \quad (4.107)$$

$$\implies |s|_{0dB} = |\omega|_{0dB} = |A_0 \cdot p_1| \quad (4.108)$$

$$\text{wegen } |A_0| = 100 : \quad = |100 \cdot p_1| \quad (4.109)$$

$$\text{bzw.} \quad f|_{0dB} = |A_0| \cdot f_{p_1} = -1160 \text{MHz} \quad (4.110)$$

Es ist zu beachten, daß bei den bisherigen Betrachtungen keine (eventuell vorhandenen) Lastkapazitäten berücksichtigt wurden, die das Verhalten beeinflussen könnten.

4.2.3 "Schein"-Eingangsimpedanz

Wenn in Gleichung 4.49 r_{out} den gesamten Ausgangswiderstand darstellt, C_L die Summe aller Kapazitäten am Lastknoten und C_{GD} alle Kapazitäten zwischen Gate und Drain zusammenfaßt, erhält man allgemeiner für die Verstärkung:

$$A = - \frac{g_m \cdot r_{out} - j\omega \cdot C_{GD} \cdot r_{out}}{1 + j\omega \cdot r_{out} \cdot (C_L + C_{GD})} \quad (4.111)$$

I.Allg. gilt dabei $C_L \gg C_{GD}$. Bild 4.11 stellt das entsprechende Kleinsignalersatzschaltbild dar.

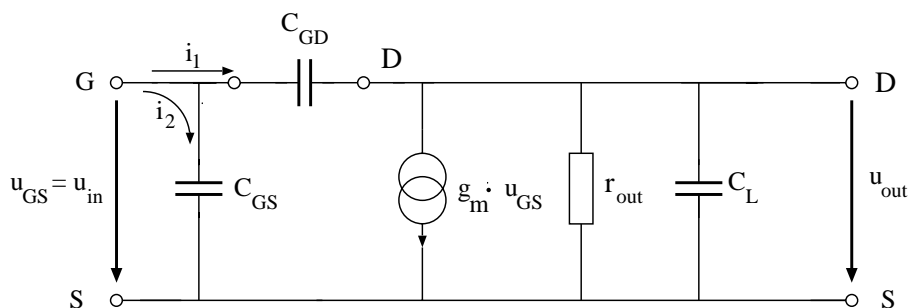


Abbildung 4.11: allgemeineres Kleinsignalersatzschaltbild

Jetzt soll berechnet werden, welche "Schein"-Eingangsimpedanz vorliegt, wenn der Ausgang *nicht* kurzgeschlossen ist. Allgemein ergibt sie sich aus:

$$z_{in} |_{u_{out} \neq 0} = \frac{u_{in}}{i_{in}} \quad (4.112)$$

Der Strom i_{in} teilt sich in zwei Pfade auf, vom Gate zum Drain und vom Gate zur Source.

$$\Rightarrow Z_{in}|_{u_{out} \neq 0} = \frac{u_{in}}{\underbrace{u_{in} \cdot j\omega \cdot C_{GS}}_{i_2} + \underbrace{(u_{in} - u_{out}) \cdot j\omega \cdot C_{GD}}_{i_1}} \quad (4.113)$$

Im Gegensatz zur Berechnung von y_{11} wird hier $u_{out} \neq 0$ angenommen. Damit die Berechnung nicht zu aufwendig wird, wird zur Bestimmung von u_{out} die Gleichung für den niederfrequenten Fall herangezogen:

$$A_0 = -g_m \cdot r_{out} \quad (4.114)$$

$$\Rightarrow u_{out} = -g_m \cdot r_{out} \cdot u_{in} \quad (4.115)$$

$$\Rightarrow \boxed{Z_{in}|_{u_{out} \neq 0} = \frac{1}{j\omega \cdot C_{GS} + (1 + g_m \cdot r_{out}) \cdot j\omega \cdot C_{GD}}} \quad (4.116)$$

Die Eingangsimpedanz wird also durch zwei parallele Kapazitäten bestimmt. Dabei geht C_{GS} einfach ein, während der Wert von C_{GD} mit dem Faktor $(1 + g_m \cdot r_{out})$ multipliziert wird. $g_m \cdot r_{out}$ ist der Betrag der Verstärkung und es gilt im Allgemeinen:

$$g_m \cdot r_{out} \gg 1 \quad (4.117)$$

Je höher also die erreichte Verstärkung ist, desto stärker wirkt sich auch C_{GD} aus. Dieser Zusammenhang soll noch einmal an Bild 4.12 erläutert werden. Dabei sind die betrachteten Kapazitäten aus dem eigentlichen Verstärker herausgezogen.

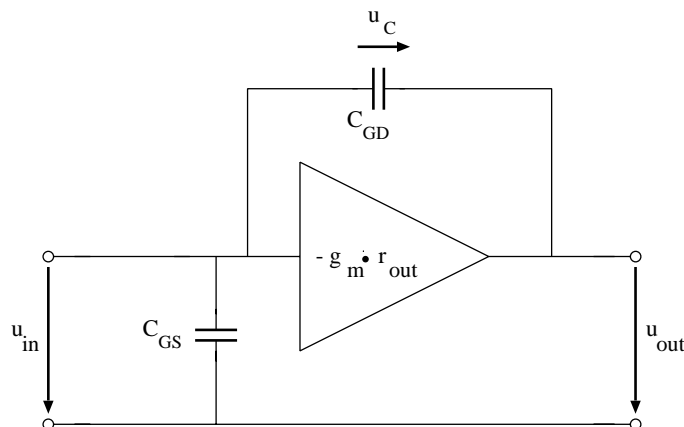


Abbildung 4.12: Blockschaltbild

Man erkennt, daß die Kapazität C_{GD} im Signalpfad liegt. Für kleine Änderungen der Eingangsspannung ΔU_{in} ergibt sich die Spannung über C_{GD} aus:

$$u_C = u_{in} - u_{out} \quad (4.118)$$

$$= u_{in} + g_m \cdot r_{out} \cdot u_{in} \quad (4.119)$$

$$= (1 + g_m \cdot r_{out}) \cdot u_{in} \quad (4.120)$$

Die vorgeschaltete treibende Einheit muß für die Kapazität C_{GD} die Ladung q liefern mit:

$$\frac{q}{C_{GD}} = u_C \quad (4.121)$$

$$\implies q = C_{GD} \cdot (1 + g_m \cdot r_{out}) \cdot u_{in} \quad (4.122)$$

Für die treibende Einheit sieht es also so aus, als müßte sie eine Kapazität der Größe $(1 + g_m \cdot r_{out}) \cdot C_{GD}$ aufladen. Diese vergrößerte Kapazität bezeichnet man auch als Miller-Kapazität C_M :

$$C_M = (1 + g_m \cdot r_{out}) \cdot C_{GD} \quad (4.123)$$

Als Beispiel dient die Schaltung in Bild 4.13. Der erste Verstärker muß die Kapazität $(1 + g_m \cdot r_{out}) \cdot C_{GD} + C_{GS}$ aufladen.

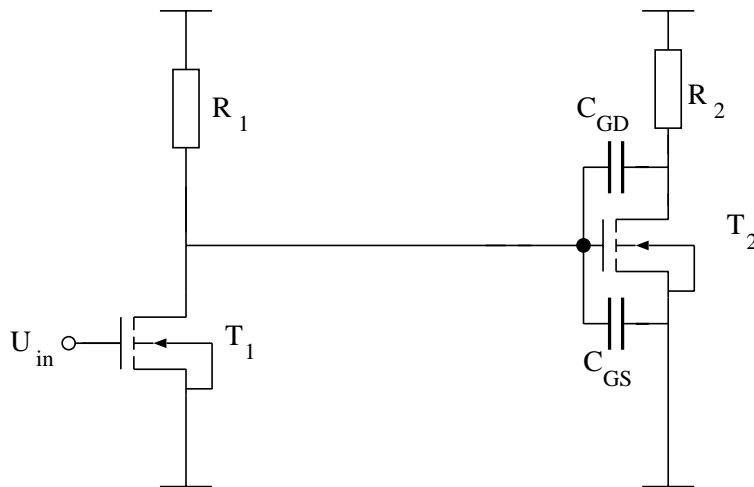


Abbildung 4.13: Zwei Verstärker (Inverter) in Serie

Eine größere Kapazität führt nach Gleichung 4.89 zu einem kleineren Pol und schiebt damit in Bild 4.10 die Kurve nach links, was eine kleinere Bandbreite bedeutet.

Dieser Effekt ist auch für die Digitaltechnik interessant, wenn man die Verzögerungszeiten betrachtet. Bild 4.14 stellt die Übertragungskennlinie eines Inverters dar. Man erkennt, daß im mittleren Bereich die Verstärkung $|A| \gg 1$ wird. Entsprechend wird auch die Miller-Kapazität größer, was zu einer Verlangsamung des Umladevorgangs führt: In diesem Bereich weist die Ausgangsspannung in Bild 4.15 einen Knick auf.

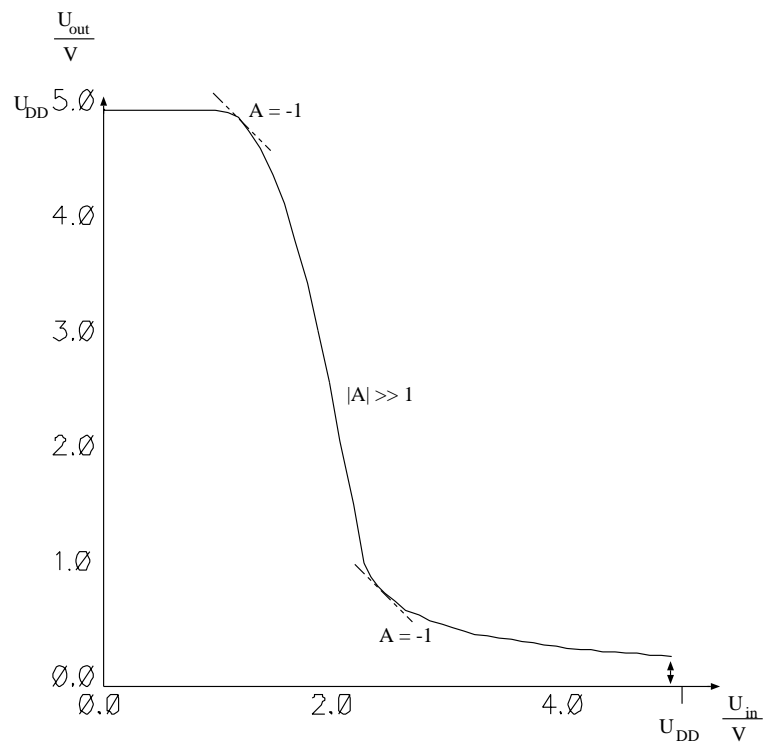
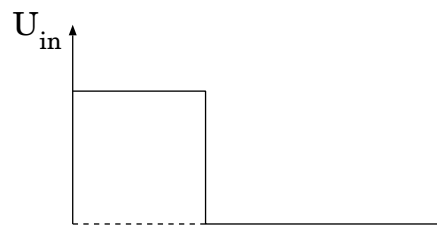


Abbildung 4.14: Kennlinie eines Inverters



Eingang digitaler Inverter



Ausgang digitaler Inverter

Abbildung 4.15: Verzögerter Schaltvorgang beim Inverter aufgrund des Miller-Effekts (übertrieben dargestellt)

Weil eine hohe Verstärkung i.Allg. wünschenswert ist, erscheint es nicht sinnvoll, die Miller-Kapazität über eine Verringerung von A zu verkleinern. Die Kapazität C_{GD} kann aus Technologiegründen nicht beliebig klein werden.

Die Miller-Kapazität entsteht dadurch, daß eine kleine Änderung der Eingangsspannung ΔU_{in} zu einer großen Änderung der Ausgangsspannung ΔU_{out} und damit auch zu einer großen Änderung der Kapazitätsspannung $u_C = u_{in} - u_{out}$ führt. Deshalb wird versucht, eine Entkopplung zu erreichen: In einer ersten Stufe soll die Verstärkung gering sein, um die Miller-Kapazität gering zu halten, während die eigentliche Verstärkung von einer zweiten Stufe erzeugt wird. Dazu soll wieder eine Kaskode betrachtet werden (Bild 4.16).

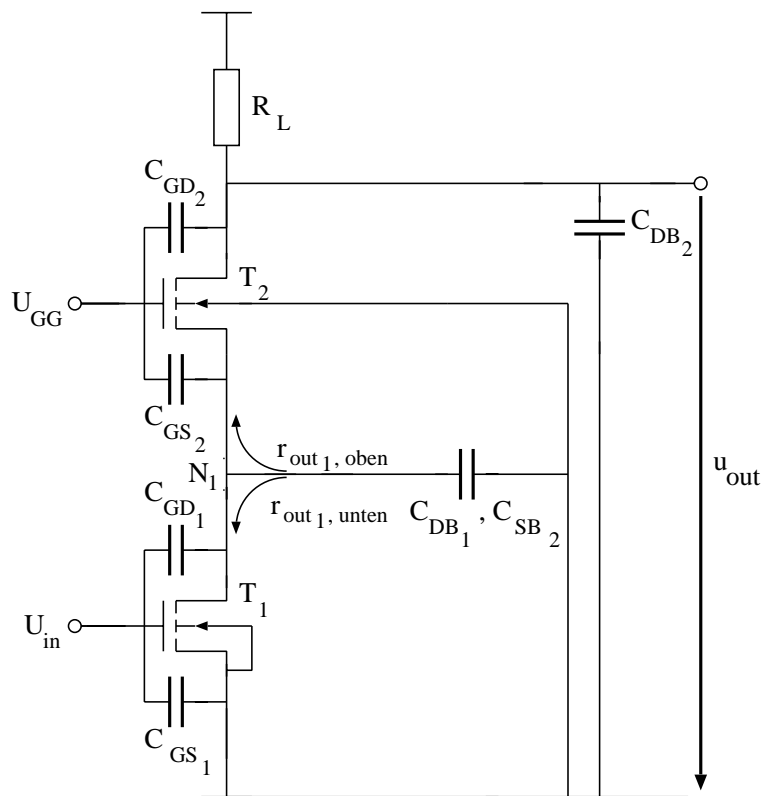


Abbildung 4.16: Kaskode zur Entkopplung

Eine große Änderung der Ausgangsspannung wirkt sich direkt auf C_{GD2} aus, nicht auf C_{GD1} . Für den Transistor T_1 ist die Eingangskapazität:

$$C_{in} = C_{GS1} + C_{GD1} \cdot (1 + |A_1|) \quad (4.124)$$

Dabei ist A_1 nicht die Verstärkung der ganzen Stufe, sondern nur des ersten Transistors. Damit gilt:

$$A_1 = -g_{m1} \cdot r_{out1} \quad (4.125)$$

Der Ausgangswiderstand r_{out_1} ist vom Ausgang des ersten Transistors zu bestimmen, also vom Knoten N . Er setzt sich zusammen aus der Parallelschaltung des oberen und des unteren Zweigs ($r_{out_1,oben} || r_{out_1,unten}$).

Der Ausgangswiderstand wird ermittelt, indem der Eingang auf konstantem Potential gehalten wird und das Ausgangspotential verändert wird. Bild 4.17 zeigt drei Fälle, in denen der Widerstand r bestimmt werden soll.

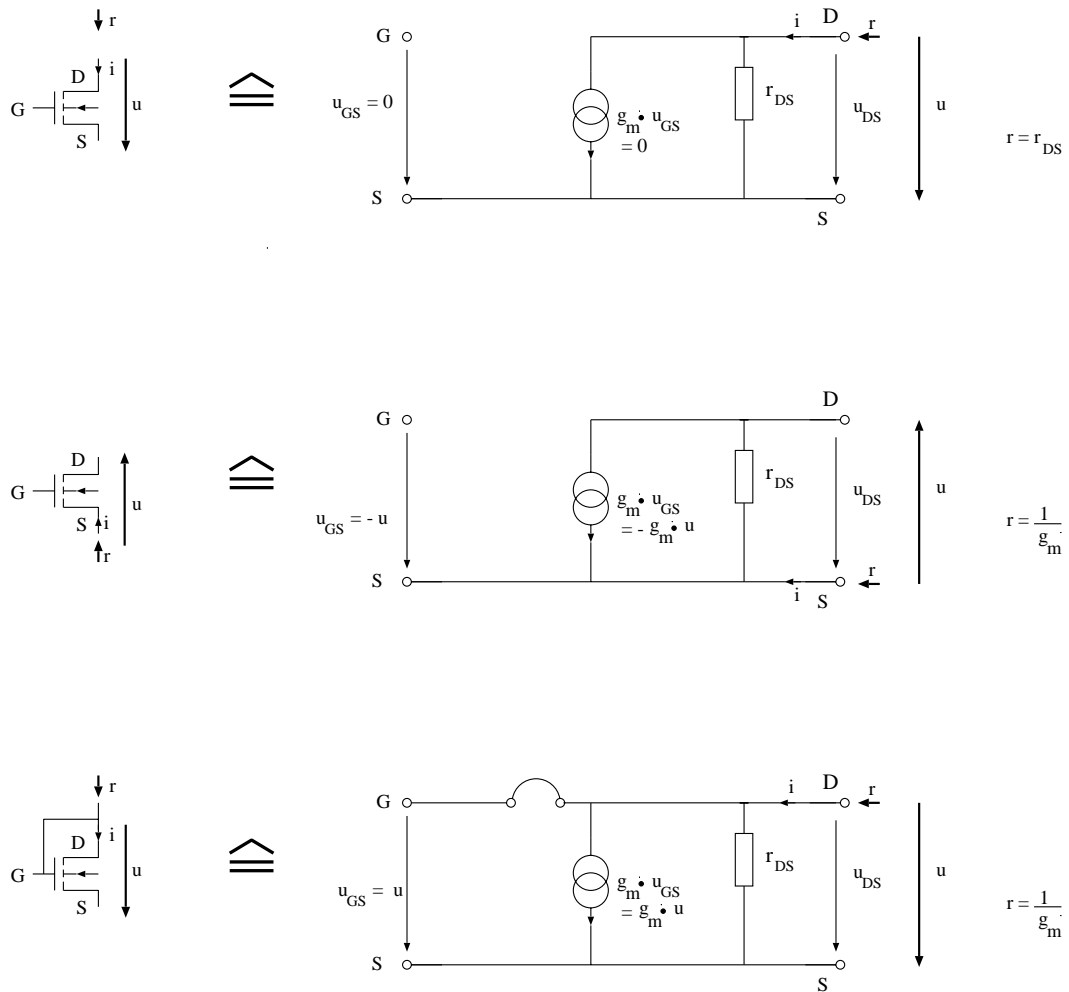


Abbildung 4.17: Widerstandsberechnung für verschiedene Transistorbeschaltungen

- Fall A:
Eine Potentialänderung am Drain bedeutet für den Transistor nur eine Änderung der Drain-Source-Spannung, die Gate-Source-Spannung bleibt konstant. Damit wird $g_m \cdot u_{GS} = 0$, als Widerstand ergibt sich $r = r_{DS}$.
- Fall B:
Eine Potentialänderung an der Source bedeutet für den Transistor sowohl eine Änderung der Drain-

Source-Spannung als auch der Gate-Source-Spannung. Damit gilt für den Widerstand

$$r = \frac{u}{i} \quad (4.126)$$

$$= \frac{u}{u \cdot g_m + u \cdot g_{DS}} \quad (4.127)$$

$$= \frac{1}{g_m + g_{DS}} \quad (4.128)$$

$$\approx \frac{1}{g_m} \quad (4.129)$$

• Fall C:

Hier ist der Transistor als Diode geschaltet. Deshalb führt auch hier eine Potentialänderung am Drain sowohl zu einer Änderung der Drain-Source-Spannung als auch der Gate-Source-Spannung. Damit gilt auch hier für den Widerstand $r \approx \frac{1}{g_m}$.

Im unteren Zweig liegt Fall A vor, daher gilt:

$$r_{out1_{unten}} = r_{DS1} \quad (4.130)$$

Beim Transistor T_2 ändert sich bei einer Änderung des Potentials am Knoten N dagegen das Source-Potential und damit sowohl die Drain-Source-Spannung als auch die Gate-Source-Spannung (Fall B). Der entsprechende Widerstand soll hier noch einmal genauer berechnet werden. Bild 4.18 stellt das Kleinsignalersatzschaltbild dar. Auch hier werden zur einfacheren Rechnung die Kapazitäten nicht berücksichtigt.

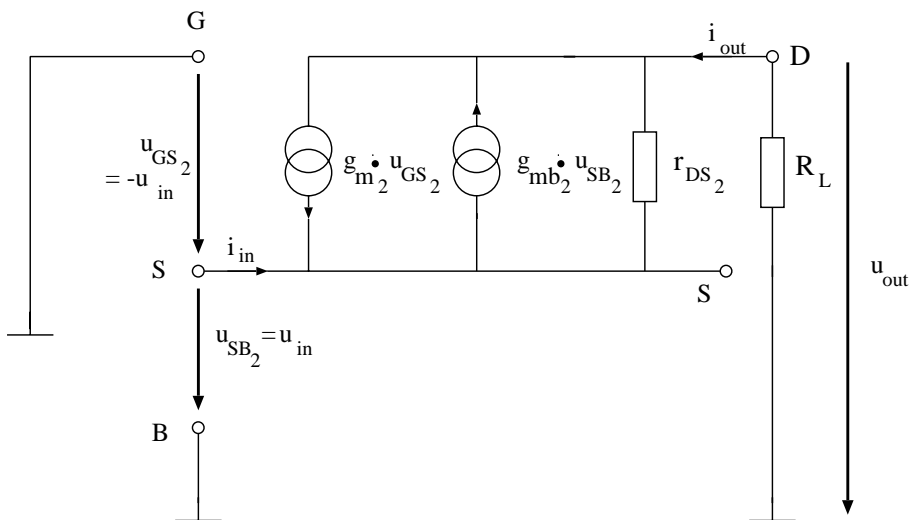


Abbildung 4.18: Kleinsignalersatzschaltbild für T_2

Für die Berechnung des Ausgangswiderstands $r_{out1_{oben}}$ wird die Source zum Eingang. Daher gilt:

$$u_{GS2} = -u_{in} \quad (4.131)$$

$$u_{SB2} = u_{in} \quad (4.132)$$

Der Strom i_{in} , der in die Source fließt, setzt sich aus drei Teilströmen zusammen:

$$i_{in} = -g_{m_2} \cdot u_{GS_2} + g_{mb_2} \cdot u_{SB_2} - (u_{out} - u_{in}) \cdot g_{DS_2} \quad (4.133)$$

$$u_{out} = -R_L \cdot i_{out} \quad (4.134)$$

$$\text{mit } i_{out} = -i_{in} \quad u_{out} = R_L \cdot i_{in} \quad (4.135)$$

$$\implies i_{in} = g_{m_2} \cdot u_{in} + g_{mb_2} \cdot u_{in} - R_L \cdot i_{in} \cdot g_{DS_2} + u_{in} \cdot g_{DS_2} \quad (4.136)$$

$$\implies i_{in} \cdot \left(1 + \frac{R_L}{r_{DS_2}}\right) = \left(g_{m_2} + g_{mb_2} + \frac{1}{r_{DS_2}}\right) \cdot u_{in} \quad (4.137)$$

$$\implies r_{in} = \frac{u_{in}}{i_{in}} = \frac{1 + \frac{R_L}{r_{DS_2}}}{g_{m_2} + g_{mb_2} + \frac{1}{r_{DS_2}}} \quad (4.138)$$

$$\text{mit } R_L \ll r_{DS_2} \quad , \quad g_{mb_2} \approx 0.1 \cdot g_{m_2} \quad \text{und} \quad \frac{1}{r_{DS_2}} \approx 0.01 \cdot g_{m_2} : \quad (4.139)$$

$$r_{in} \approx \frac{1}{g_{m_2}} \quad (4.140)$$

Insgesamt ergibt sich damit für den Ausgangswiderstand am Knoten N :

$$r_{out_1} = r_{out_{1,oben}} \parallel r_{out_{1,unten}} \quad (4.141)$$

$$= \frac{1}{g_{m_2}} \parallel r_{DS_1} \quad (4.142)$$

$$\approx \frac{1}{g_{m_2}} \quad (4.143)$$

$$\implies A_1 = -g_{m_1} \cdot r_{out_1} \quad (4.144)$$

$$\approx \frac{g_{m_1}}{g_{m_2}} \approx 1 \quad (4.145)$$

Diese (Teil-) Verstärkung ist bei üblichen Dimensionierungen von der Größenordnung 1. Damit ist die erwünschte Verringerung des Miller-Effekts erreicht. Für die Gesamtverstärkung ist der Ausgangswiderstand der ganzen Schaltung wichtig, in Bild 4.16:

$$r_{out_{gesamt}} = R_L \parallel g_{m_2} \cdot r_{DS_2} \cdot r_{DS_1} \quad (4.146)$$

$$\approx R_L \quad (4.147)$$

Die Kaskode kann also einerseits einen hohen Ausgangswiderstand der gesamten Schaltung haben, was eine hohe Gesamtverstärkung bewirkt, zum anderen sind die Eingangskapazitäten klein. Diese beiden Vorteile werden allerdings durch einen eingeschränkten Arbeitsbereich erkaufte: Durch die Hintereinanderschaltung der Transistoren steigt die Grenze der Ausgangsspannung, ab der die Transistoren nicht mehr in Sättigung sind (der gleiche Effekt wie bei den Stromquellen).

Die Gesamtverstärkung kann erhöht werden, indem R_L vergrößert wird; damit wird allerdings auch die Miller-Kapazität größer. Beispielsweise könnte R_L durch einen Transistor mit festem Gatepotential realisiert werden

($R_L = r_{DS}$) oder sogar zur Vollkaskode ausgebaut werden, d.h. durch die Reihenschaltung zweier Transistoren mit festem Gatepotential aufgebaut werden. Im ersten Fall ergibt sich mit Gleichung 4.138:

$$R_L = r_{DS} \quad (4.148)$$

$$r_{in} \approx \frac{1+1}{g_{m2}} \approx \frac{1}{g_{m2}} \quad (4.149)$$

$$\Rightarrow A_1 \approx -1 \quad (4.150)$$

$$\Rightarrow C_M \approx C_{GD1} \quad (4.151)$$

Für die Vollkaskode gilt:

$$R_L = g_m \cdot r_{DS}^2 \quad (4.152)$$

$$r_{in} \approx \frac{1+g_m \cdot r_{DS}}{g_{m2}} \approx r_{DS} \quad (4.153)$$

$$\Rightarrow A_1 \approx -g_m \cdot r_{DS} \quad (4.154)$$

$$\Rightarrow C_M \approx g_m \cdot r_{DS} \cdot C_{GD1} \quad (4.155)$$

Folgende Tabelle faßt die Ergebnisse zusammen:

		Eingangskaskode mit	
	einfacher Inverter mit Transistorlast	1 Transistor (einfache Kaskode)	2 Transistoren (Vollkaskode)
Gesamtverstärkung	$A = -g_m \cdot (r_{DS} r_{DS})$	$A = -g_m \cdot (r_{DS} r_{DS})$	$A = -\frac{1}{2}(g_m \cdot r_{DS})^2$
Miller-Kapazität	$C_M = C_{GD} \cdot (1 + A)$	$C_M \approx C_{GD} \cdot \frac{g_{m1}}{g_{m2}}$	$C_M \approx C_{GD} \cdot g_m \cdot r_{DS}$ ($\ll C_{GD} \cdot A $)

Mit der Eingangskaskode zur Entkopplung wird also in jedem Fall ein Vorteil gegenüber dem einfachen Inverter erzielt, bei einem Transistor durch die geringere Miller-Kapazität, bei der Vollkaskode durch die höhere Verstärkung.

Kapitel 5

Einstufiger Verstärker

In diesem Kapitel sollen die bisherigen Erkenntnisse verwendet werden, um aus den bekannten Teilen einen Verstärker zu entwickeln. Gewöhnlich wird anhand der Vorgaben - beispielsweise geforderter Aussteuerungsbereich - der Arbeitspunkt eines Verstärkers festgelegt. Davon werden auch die Kleinsignalparameter beeinflusst; für diese müssen die Grundgleichungen des zu entwickelnden Verstärkers aufgestellt werden, aus denen dann die endgültige Auslegung des Verstärkers bestimmt wird. Auch die Synthese benötigt also zuerst eine Analyse des Verstärkers.

5.1 Aufbau

5.1.1 Eingangsstufe

Um Differenzsignale bearbeiten zu können, wird als Eingangsstufe eine Differenzstufe gewählt. Die Lasten werden durch als Dioden geschaltete Transistoren realisiert. Die Eingangsspannung wird wie in Abschnitt 3.4.2 aufgeteilt in $\frac{u_{in}}{2}$ und $-\frac{u_{in}}{2}$. Entsprechend ergibt sich auch das Ausgangssignal als Differenz. Bild 5.1 zeigt die entsprechende Differenzstufe.

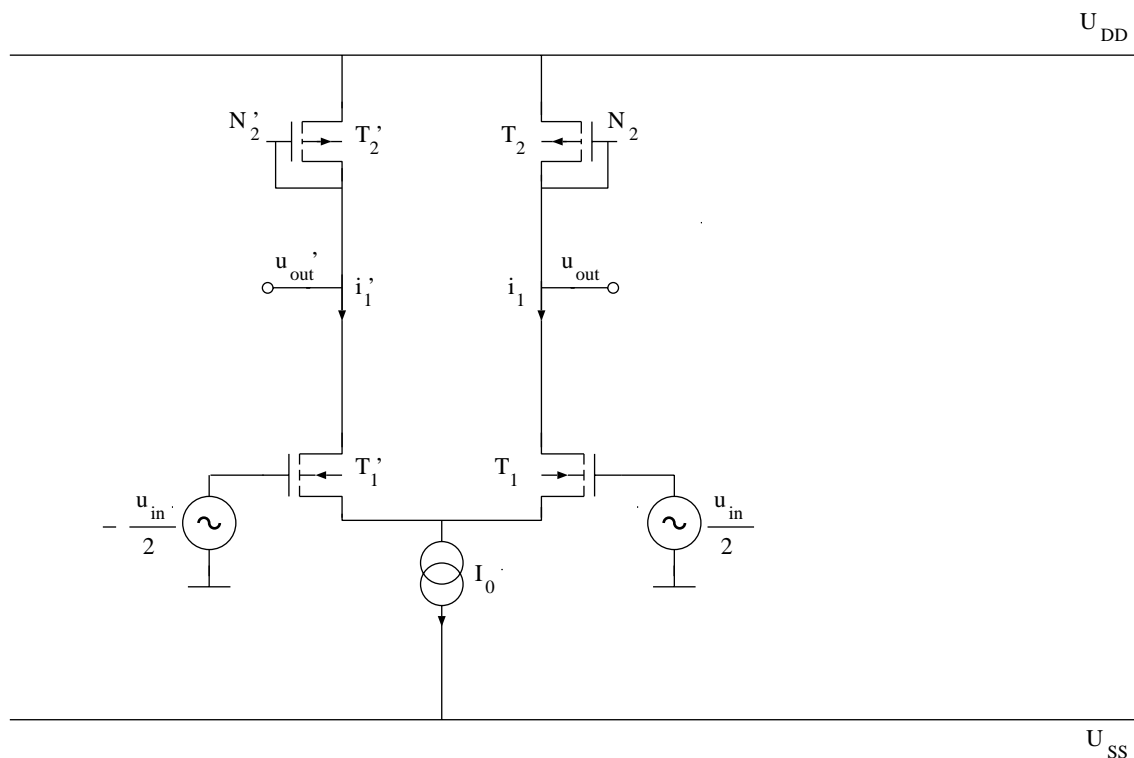


Abbildung 5.1: Differenzstufe

Wegen $u_{out} = u_{N_2}$ gilt für den Ausgangswiderstand $r_{out} = r_{out_{N_2}}$. Er ergibt sich aus der Parallelschaltung des als Diode geschalteten Transistors T_2 und T_1 . Damit gilt:

$$r_{out_{N_2}} = \frac{1}{g_{m_2} + g_{DS_2}} \parallel r_{DS_1} \quad (5.1)$$

$$\approx \frac{1}{g_{m_2}} \parallel r_{DS_1} \quad (5.2)$$

$$\approx \frac{1}{g_{m_2}} \quad (5.3)$$

$$\Rightarrow u_{N_2} = -g_{m_1} \cdot r_{out_{N_2}} \cdot \frac{u_{in}}{2} \quad (5.4)$$

$$= -g_{m_1} \cdot \frac{1}{g_{m_2}} \cdot \frac{u_{in}}{2} \quad (5.5)$$

g_{m_1} und g_{m_2} haben i.Allg. die gleiche Größenordnung, daher erzielt die Eingangsstufe keine große Verstärkung. Deshalb wird in Bild 5.2 eine zweite Stufe dahinter geschaltet. Solange $r_{out_1} \ll r_{in_2}$ gilt, können die Stufen bei niedrigen Frequenzen nach Abschnitt 3.9 einzeln betrachtet werden.

5.1.2 Ausgangsstufe

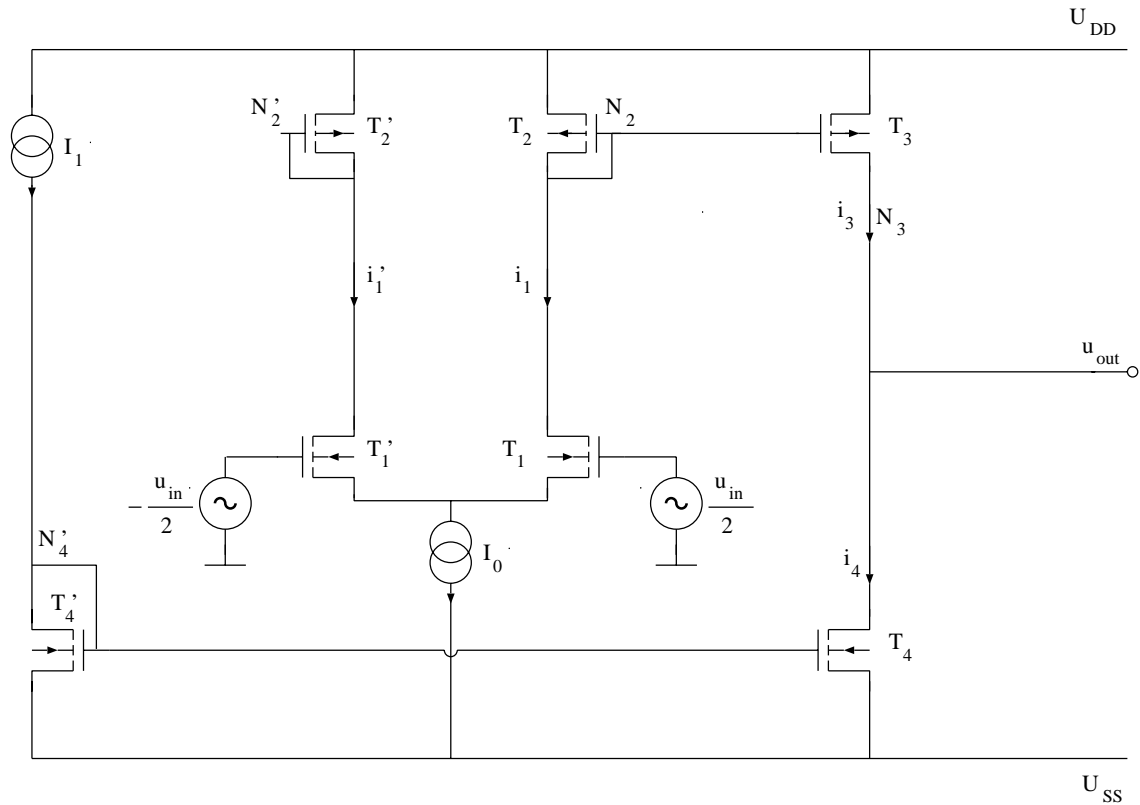


Abbildung 5.2: Eingangsstufe und zweite Stufe

Der Ausgang der ersten Stufe u_{N_2} in Bild 5.2 steuert das Gate des Transistors T_3 . Das Gate von T_4 wird von I_1 und T_4' auf konstantes Potential eingestellt. Für den Ausgang (N_3) gilt jetzt:

$$u_{out} = -g_{m_3} \cdot r_{out_{N_3}} \cdot u_{N_2} \quad (5.6)$$

mit $r_{out_{N_3}} = r_{DS_3} \parallel r_{DS_4}$ (5.7)

$$u_{out} = g_{m_3} \cdot r_{out_{N_3}} \cdot \frac{g_{m_1}}{g_{m_2}} \cdot \frac{u_{in}}{2} \quad (5.8)$$

Allgemein gilt: $g_m = \beta_0 \cdot \frac{W}{L} \cdot U_{GS_{eff}}$ (5.9)

mit $U_{GS_{eff_2}} = U_{GS_{eff_3}}$: $u_{out} = g_{m_1} \cdot \left(\frac{W}{L}\right)_3 \cdot r_{out_{N_3}} \cdot \frac{u_{in}}{2}$ (5.10)

Die erzielte Verstärkung ist in der Größenordnung der Verstärkung eines einfachen Inverters, obwohl diese Schaltung viel mehr Transistoren benötigt. Um die Verstärkung zu erhöhen, soll nun auch der linke Zweig der Schaltung genutzt werden. Am Knoten N_2' liegt das Ausgangssignal mit umgekehrtem Vorzeichen an. Mit diesem Signal wird jetzt ein Transistor gesteuert, der die Stromquelle I_1 ersetzt (siehe Bild 5.3).

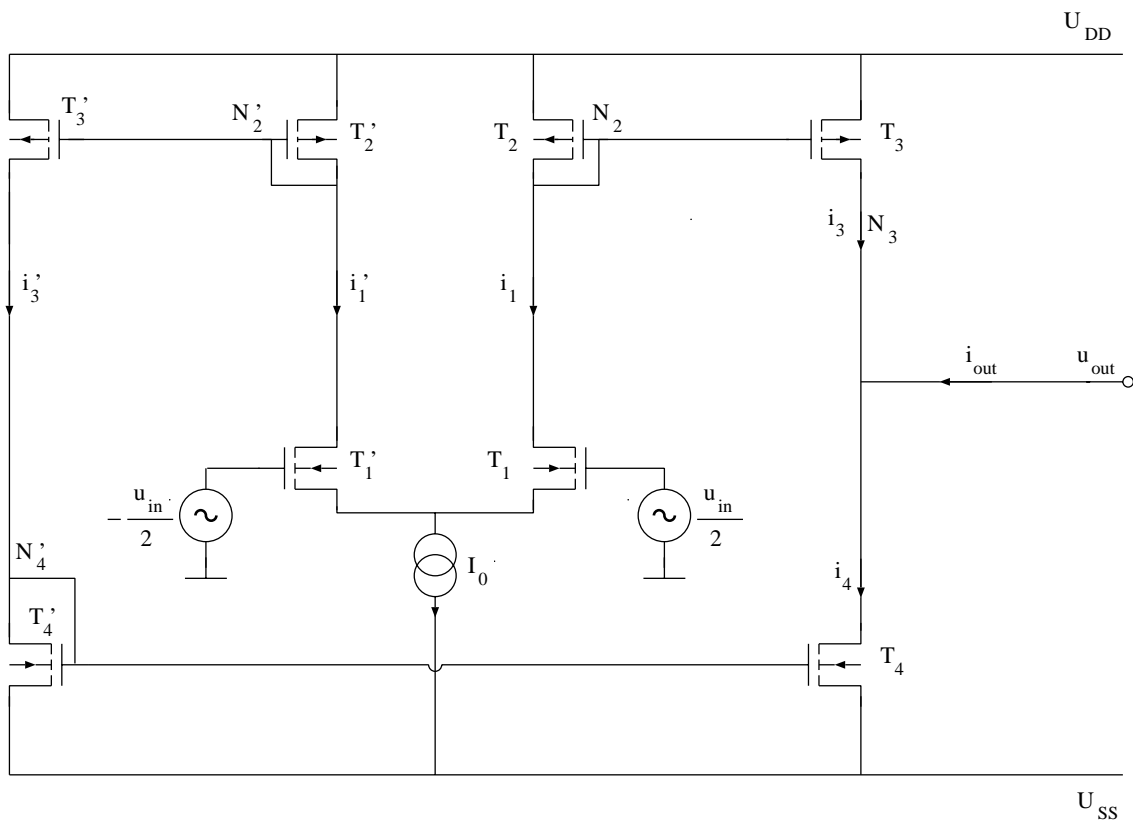


Abbildung 5.3: Gesteuerte Stromquelle im linken Zweig

Das Signal gelangt nun über zwei Wege zum Ausgang:

- Die Spannung $\frac{u_{in}}{2}$ verändert das Potential N_2 . Dieses steuert den Transistor T_3 und damit das Ausgangspotential. Das Vorzeichen der Verstärkung kehrt sich dabei zweimal um.
- Die Spannung $-\frac{u_{in}}{2}$ verändert das Potential N_2' , welches den Transistor T_3' steuert und damit das Potential N_4' . Dieses steuert wiederum den Transistor T_4 und damit das Ausgangspotential. Das Vorzeichen der Verstärkung kehrt sich dabei dreimal um. Weil die Eingänge umgekehrte Vorzeichen haben, addieren sich die Effekte am Ausgang mit gleichem Vorzeichen.

Die Transistoren mit gleichen Indexnummern sind auch gleich ausgelegt, d.h. $T_i' \cong T_i$. Desweiteren sind die Transistorlängen gleich. Man erhält dadurch also die doppelte Ausgangsspannung und Gleichung 5.10 wird zu:

$$u_{out} = g_{m1} \cdot \frac{W_3}{W_2} \cdot r_{outN_3} \cdot u_{in} \quad (5.11)$$

Um die Verstärkung weiter zu erhöhen, wird der Ausgangspfad in Bild 5.4 um zwei Transistoren mit fester Gatespannung (Kaskode) erweitert. Gleichung 5.11 bleibt gültig, allerdings ändert sich der Wert des Ausgangswiderstands r_{outN_3} .

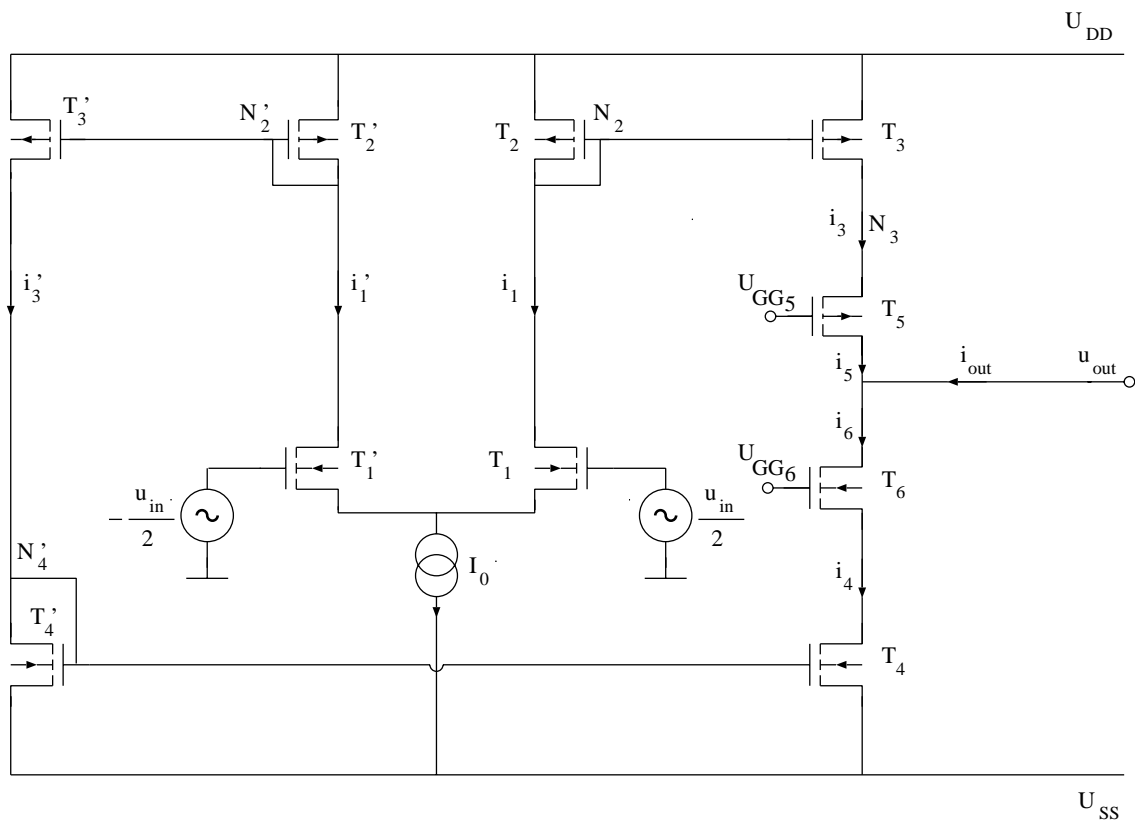


Abbildung 5.4: Kaskode als Ausgangsstufe

Vom Ausgang gesehen liegen die beiden Pfade $T_5 - T_3$ und $T_6 - T_4$ kleinsignalmäßig parallel. P-Kanal-Transistoren besitzen ein anderes β_0 als n-Kanal-Transistoren ($\beta_{0p} \approx \frac{1}{3} \cdot \beta_{0n}$). Falls die Transistoren so ausgelegt sind, daß die $\frac{W}{L}$ -Verhältnisse diesen Effekt kompensieren, können T_4 und T_3 bzw. T_5 und T_6 als äquivalent angesehen werden. Dann haben beide Pfade den gleichen Widerstand; die Parallelschaltung führt damit zu einer Halbierung und es gilt:

$$r_{out} = \frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \quad (5.12)$$

$$\Rightarrow A = \frac{u_{out}}{u_{in}} = g_{m1} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot \left(\frac{1}{2} \frac{W_3}{W_2} \right) \quad (5.13)$$

Damit hat sich die Verstärkung näherungsweise quadriert.

Die Schaltung kann auch anhand der Stromverhältnisse betrachtet werden. Auch in diesem Fall sind zwei Signalwege erkennbar:

- Die Spannung $\frac{u_{in}}{2}$ erzeugt den Strom i_1 ; dieser wird über T_2 und T_3 in i_3 gespiegelt.
- Die Spannung $-\frac{u_{in}}{2}$ erzeugt den Strom i_1' ; dieser wird über T_2' und T_3' in i_3' gespiegelt. Über T_4' und T_4 wird er in i_4 gespiegelt.

Dabei gilt:

$$i_1 = g_{m1} \cdot \frac{u_{in}}{2} \quad (5.14)$$

$$i_3 = \frac{W_3}{W_2} \cdot i_1 \quad (5.15)$$

$$i_5 = i_3 \quad (5.16)$$

$$i_1' = -g_{m1}' \cdot \frac{u_{in}}{2} \quad (5.17)$$

$$i_3' = \frac{W_3'}{W_2'} \cdot i_1' \quad (5.18)$$

$$i_4 = \frac{W_4}{W_4'} \cdot i_3' \quad (5.19)$$

$$i_6 = i_4 \quad (5.20)$$

$$= \frac{W_4}{W_4'} \cdot \frac{W_3'}{W_2'} \cdot i_1' \quad (5.21)$$

$$= \frac{W_4}{W_4'} \cdot \frac{W_3'}{W_2'} \cdot (-g_{m1}' \cdot \frac{u_{in}}{2}) \quad (5.22)$$

$$\text{mit } W_2' = W_2, \quad W_3' = W_3, \quad W_4' = W_4, \quad g_{m1}' = g_{m1} : \quad (5.23)$$

$$i_6 = -i_5 \quad (5.24)$$

$$\implies i_{out} = i_6 - i_5 = -\frac{W_3}{W_2} \cdot g_{m1} \cdot u_{in} \quad (5.25)$$

$$\text{wenn } W_3 = W_2 : \quad = -g_{m1} \cdot u_{in} \quad (5.26)$$

$$(5.27)$$

Mit $u_{out} = i_{out} \cdot r_{out}$ erhält man das gleiche Ergebnis für die Verstärkung:

$$A = \frac{u_{out}}{u_{in}} \quad (5.28)$$

$$= -g_{m1} \cdot r_{out} \quad (5.29)$$

5.2 Wirkung der Kapazitäten

Bisher wurden die parasitären Kapazitäten vernachlässigt. Bild 5.5 zeigt sie für den rechten Pfad.

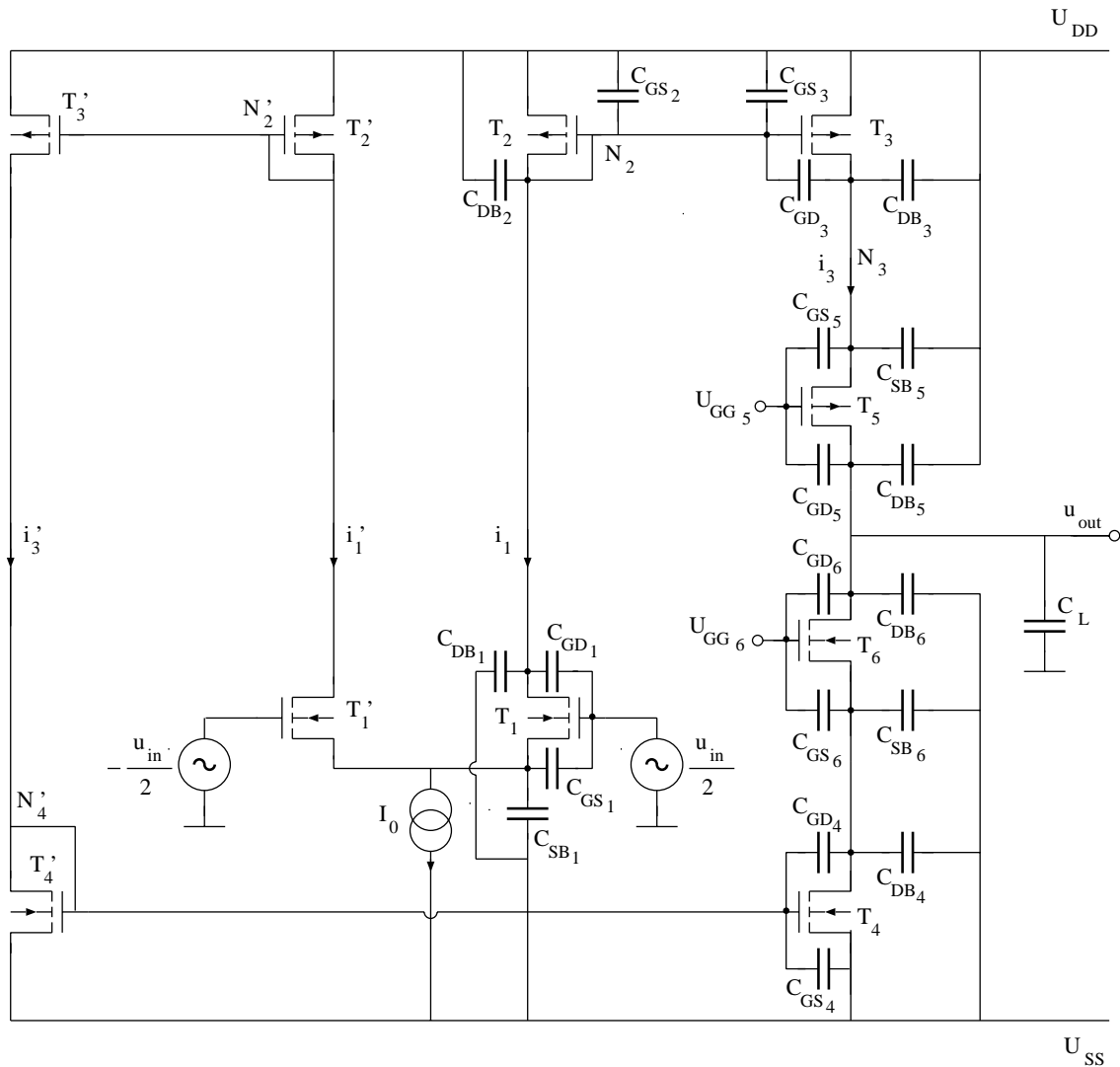


Abbildung 5.5: Verstärker mit parasitären Kapazitäten

Durch das Aufstellen sämtlicher Kleinsignalersatzschaltbilder wäre die Übertragungsfunktion mathematisch genau zu ermitteln; allerdings ist ein solches Vorgehen sehr aufwendig. Darum wird hier anders vorgegangen:

- Aufgrund der Symmetrie der Schaltung genügt es, eine Seite zu betrachten.
- Die Stufen können einzeln betrachtet werden, wenn die Kopplung durch die Kapazitäten berücksichtigt werden.

- Für das Übertragungsverhalten sind die Gleichspannungsverstärkung A_0 sowie die Pole und Nullstellen der Übertragungsfunktion entscheidend. Wenn es gelingt, die dominanten Pole und Nullstellen zu ermitteln, kann das Übertragungsverhalten mit ausreichender Genauigkeit beschrieben werden.

Die Gleichspannungsverstärkung A_0 kann wie gesagt für jede Stufe einzeln berechnet werden, solange $r_{out_1} \ll r_{in_2}$ ist; dann gilt:

$$A_{0_{ges}} = A_{0_1} \cdot A_{0_2} \quad (5.30)$$

In den folgenden Abschnitten werden die Pole und Nullstellen untersucht.

5.2.1 Pole

In Abschnitt 4.2.1 zeigte sich, daß ein Pol quasi einem Tiefpaß mit der Zeitkonstanten $\tau = r_{out} \cdot C$ entspricht. Prinzipiell kann an jedem Knoten der Schaltung ein Pol vorliegen; dominante Pole liegen aber bei kleinen Frequenzen, d.h. großes τ , also Knoten mit großem $r_{out} \cdot C$.

Zunächst soll der Knoten N_2 betrachtet werden. C_2 beschreibt alle Kapazitäten vom Knoten N_2 nach Masse, wobei für C_{GD_3} der Miller-Effekt berücksichtigt werden muß, wobei A_3 die Verstärkung des Transistors T_3 ist:

$$C_2 = C_{GS_2} + C_{GS_3} + C_{DB_1} + C_{DB_2} + C_{GD_3} \cdot (1 + A_3) \quad (5.31)$$

Aufgrund des Miller-Effekts und wegen $A_3 \gg 1$ ist die Kapazität C_{GD_3} für die Größe der Kapazität C_2 entscheidend:

$$C_2 \approx C_{GD_3} \cdot (1 + A_3) \quad (5.32)$$

$$\approx C_{GD_3} \cdot A_3 \quad (5.33)$$

Der Ausgangswiderstand an diesem Knoten ergibt sich aus der Parallelschaltung von T_2 und T_1 (mit dem Innenwiderstand der Stromquelle). Da T_2 mit der Source angeschlossen ist, ist sein Widerstand erheblich geringer und es gilt:

$$r_2 = \frac{1}{g_{m_2} + g_{DS_1} + g_{DS_2}} \approx \frac{1}{g_{m_2}} \quad (5.34)$$

Durch die Kapazität C_2 und den Widerstand r_2 wird quasi eine Art Tiefpaß gebildet. Es ergibt sich ein Pol bei der Frequenz:

$$p_2 = -\frac{1}{r_2 \cdot C_2} \quad (5.35)$$

$$\Rightarrow p_2 \approx -\frac{g_{m_2}}{C_{GD_3} \cdot A_3} \quad (5.36)$$

Zur Bestimmung von A_3 ist der Ausgangswiderstand r_3 wichtig. Er ergibt sich analog zur Berechnung von r_{in} in Gleichung 4.153 zu r_{DS} .

$$\text{wegen } T_3 \simeq T_4 : \quad r_3 = \frac{r_{DS3}}{2} \quad (5.37)$$

$$\text{mit } A_3 = -g_{m3} \cdot r_3 : \quad p_2 = -\frac{g_{m2}}{C_{GD3} \cdot g_{m3} \cdot \frac{r_{DS3}}{2}} \quad (5.38)$$

$$= -\frac{\frac{W_2}{W_3}}{\frac{1}{2} \cdot C_{GD3} \cdot r_{DS3}} \quad (5.39)$$

$$(5.40)$$

Das ist der Pol, der dadurch entsteht, daß am Knoten N_2 Kapazitäten vorhanden sind. Eigentlich bewirkt jeder Knoten, an dem sich Kapazitäten befinden, eine Polstelle; hier sollen aber nur die dominanten Pole, die für das Frequenzverhalten bestimmend sind, betrachtet werden.

Auf der linken Seite liegt ein ähnlicher Fall vor, wenn man den Knoten N_2' betrachtet. Da aber T_4' als Diode geschaltet ist, ist der Ausgangswiderstand und damit die Verstärkung nicht so hoch. Daher ist auch der Miller-Effekt für C_{GD3}' nicht so stark. (In den folgenden Gleichungen müßten entsprechend außer C_{GD3}' auch die übrigen Kapazitäten am Knoten N_2' betrachtet werden, sie sollen aber vernachlässigt werden, weil nur die Größenordnung interessant ist).

$$p_2' = -\frac{1}{r_3' \cdot C_{GD3}'} \quad (5.41)$$

$$\text{mit } r_3' \approx \frac{1}{g_{m4}'} \ll r_3 : \quad |p_2'| \gg |p_2| \quad (5.42)$$

Damit ist p_2 dominant gegenüber p_2' .

Jetzt soll noch der Pol am Ausgangsknoten betrachtet werden. Bei den Transistoren T_5 und T_6 tritt kein Miller-Effekt auf, weil die Gates kleinsignalmäßig auf Masse liegen. Die Gate-Drain- und die Drain-Bulk-Kapazitäten bewegen sich im Bereich einiger $10fF$, während die Lastkapazität einige pF groß sein kann. Damit gilt mit Gleichung 4.111:

$$p_{out} = -\frac{1}{r_{out} \cdot C_{out}} \quad (5.43)$$

$$C_{out} = C_L + C_{GD5} + C_{DB5} + C_{GD6} + C_{DB6} \quad (5.44)$$

$$\approx C_L \quad (5.45)$$

$$r_{out} = (g_{m5} \cdot r_{DS5} \cdot r_{DS3}) || (g_{m6} \cdot r_{DS6} \cdot r_{DS4}) \quad (5.46)$$

$$\approx \frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \quad (5.47)$$

$$\Rightarrow p_{out} \approx -\frac{1}{\frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot C_L} \quad (5.48)$$

Um die Größenordnung einschätzen zu können, wird der Quotient der beiden Pole gebildet:

$$\frac{p_{out}}{p_2} = \frac{\frac{1}{2} \cdot C_{GD3} \cdot r_{DS3} \cdot \frac{W_3}{W_2}}{\frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot C_L} \quad (5.49)$$

$$= \frac{C_{GD3} \cdot \frac{W_3}{W_2}}{g_{m5} \cdot r_{DS5} \cdot C_L} \quad (5.50)$$

$$\text{mit } C_{GD3} \ll C_L \quad \text{und} \quad g_{m5} \cdot r_{DS5} \gg 1 : \quad (5.51)$$

$$\frac{p_{out}}{p_2} \ll 1 \quad (5.52)$$

Der Pol p_{out} ist also der dominante Pol, da er die niedrigste Frequenz hat.

5.2.2 Nullstellen

Die Übertragungsfunktion besitzt auch mehrere Nullstellen. Eine Nullstelle bedeutet, daß ab dieser Frequenz die Verstärkung ansteigt. Zum Verständnis soll Transistor T_3 betrachtet werden:

- Ohne die Drain-Gate-Kapazität C_{GD3} ist der Strom i_3 nur von g_{m3} und u_2 bestimmt.
- Mit C_{GD3} gibt es einen zusätzlichen Signalpfad direkt vom Eingang zum Ausgang; bei sehr hohen Frequenzen wird er zum Kurzschluß. Das ergibt einen zusätzlichen Ausgangsstrom und führt bei hohen Frequenzen zu einer höheren Verstärkung.

Wie von der allgemeinen Betrachtung bekannt (siehe Gleichung 4.111), befindet sich die Nullstelle bei

$$z = \frac{g_{m3}}{C_{GD3}} \quad (5.53)$$

Zum Vergleich mit den Größenordnungen der Pole werden die Quotienten gebildet:

$$\left| \frac{p_{out}}{z} \right| = \frac{1}{r_{out} \cdot C_L} \cdot \frac{C_{GD3}}{g_{m3}} \quad (5.54)$$

$$= \frac{C_{GD3}}{g_{m3} \cdot \frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot C_L} \quad (5.55)$$

$$\text{mit } C_{GD3} \ll C_L, \quad g_{m5} \cdot r_{DS5} \gg 1 \quad \text{und} \quad g_{m3} \cdot r_{DS3} \gg 1 :$$

$$\left| \frac{p_{out}}{z} \right| \ll \ll 1 \quad (5.56)$$

$$\left| \frac{p_2}{z} \right| = \frac{g_{m2}}{C_{GD3} \cdot g_{m3} \cdot \frac{r_{DS3}}{2}} \cdot \frac{C_{GD3}}{g_{m3}} \quad (5.57)$$

$$= \frac{\frac{W_2}{W_3}}{\frac{1}{2} \cdot r_{DS3} \cdot g_{m3}} \quad (5.58)$$

$$\ll 1 \quad (5.59)$$

Anhand einiger Zahlenwerte sollen die Größenordnungen der Pole und Nullstellen verdeutlicht werden:

$$C_{GD} = 8.6fF \approx 10fF \quad (5.60)$$

$$g_m = 500\mu S \quad (5.61)$$

$$r_{DS} = 400k\Omega \quad (5.62)$$

$$C_L = 100fF \quad (5.63)$$

$$W_3 = W_2 \quad (5.64)$$

$$\implies A_0 = 20000 \quad (5.65)$$

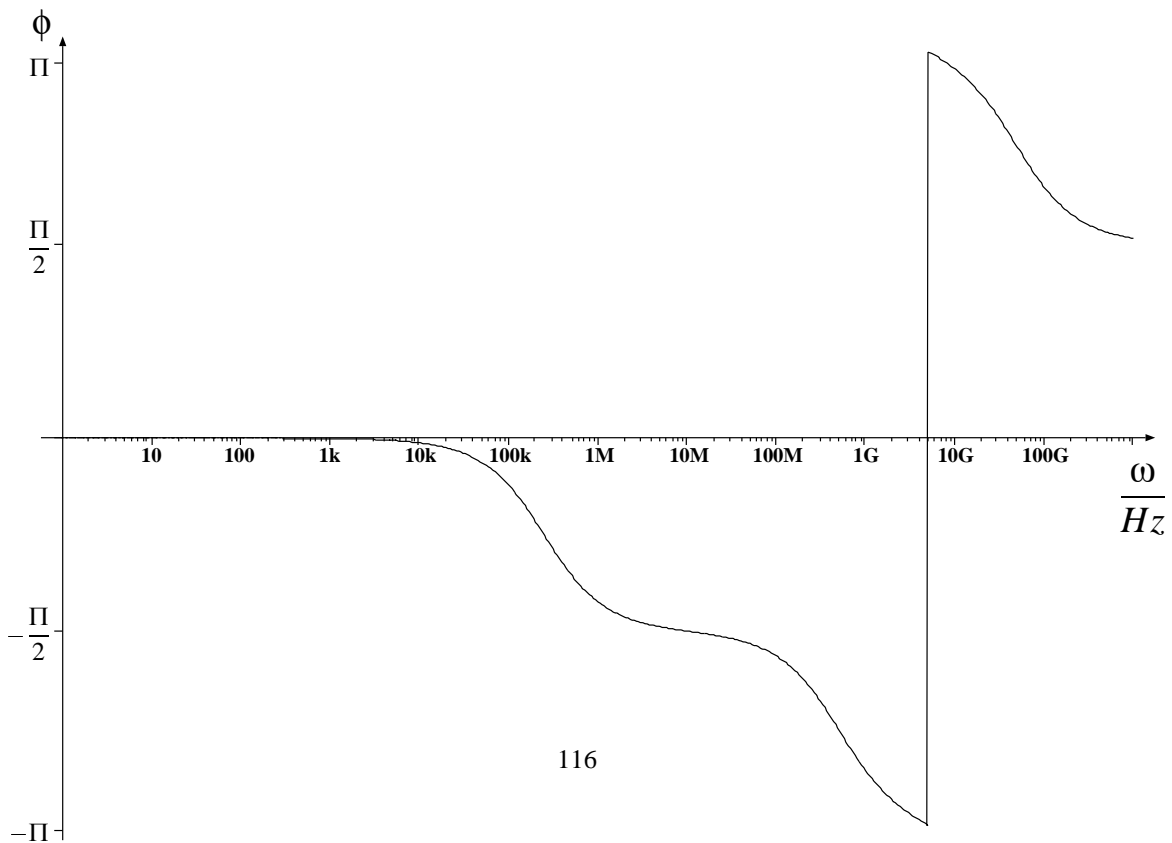
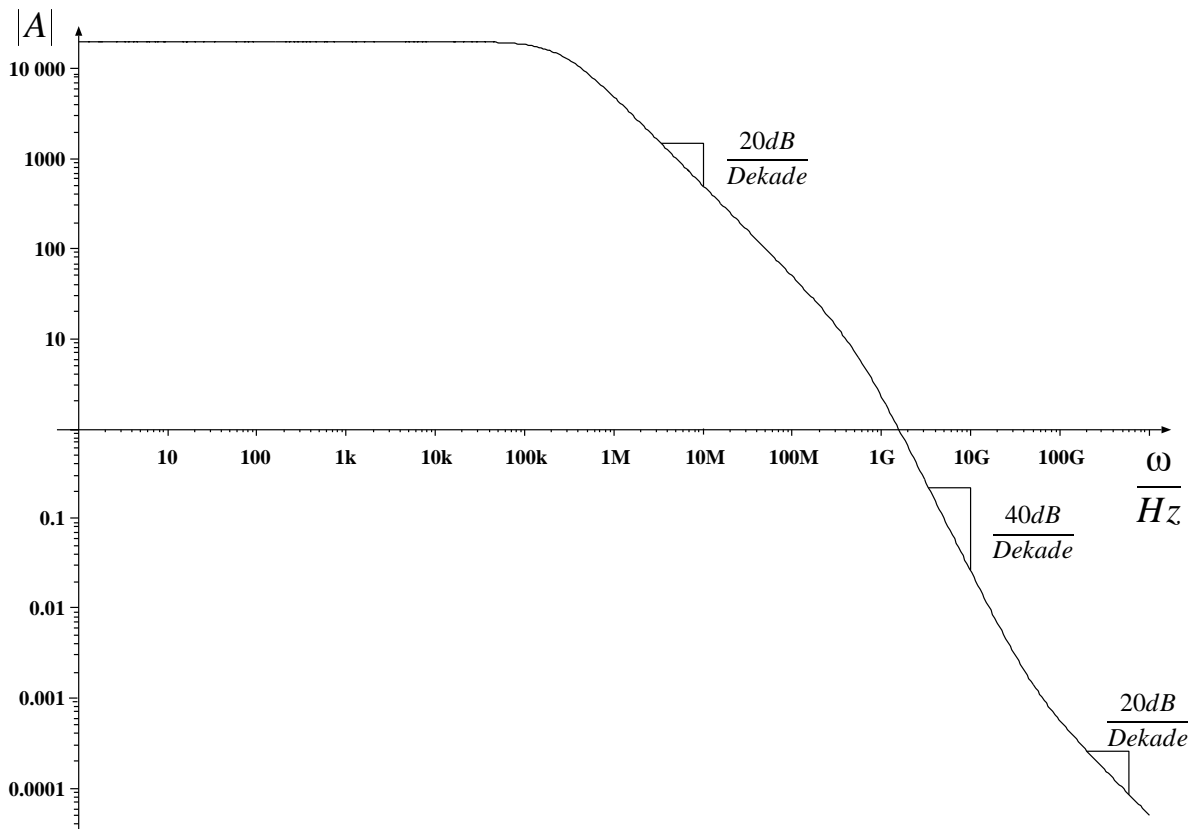
$$p_2 = 500MHz \quad (5.66)$$

$$p_{out} = 250kHz \quad (5.67)$$

$$z = 50GHz \quad (5.68)$$

Diese Pole bzw. Nullstellen liegen also weit genug auseinander. Bild 5.6 zeigt den Frequenz- und den Phasengang.

Man erkennt, daß nach dem zweiten Pol die Phase eine Drehung von fast 180° erreicht, obwohl die Verstärkung noch ≈ 1 ist. Zwar erreicht ϕ die 180° nicht, das System ist also noch nicht instabil, aber eventuell schwingt das System nicht ein, sondern oszilliert.



116

Abbildung 5.6: Frequenz- und Phasengang

Als *Gainbandwidth (GBW)* wird der Schnittpunkt des Frequenzgangs mit der 0-dB-Linie bezeichnet, also der Punkt, bei dem die Verstärkung zu 1 wird. Bei dem Ein-Pol System in Abschnitt 4.2.2 erhielten wir für diesen Wert:

$$GBW = A_0 \cdot \omega_p \quad (5.69)$$

Daher heißt dieser Wert auch Verstärkung-Bandbreite-Produkt.

Hier soll näherungsweise der dominante Pol p_{out} anstelle von ω_p verwendet werden; falls der zweite Pol kleiner als GBW ist, führt er zu einer zusätzlichen Absenkung und GBW wird kleiner.

Wenn der zweite Pol gleich GBW ist, hat die Phase bei der Verstärkung $A = 1$ eine Drehung von -90° vom dominanten Pol und eine weitere Drehung von -45° vom zweiten Pol, man erhält also eine Phasenreserve von $180^\circ - 135^\circ = 45^\circ$. Dieser Wert sollte mindestens erreicht werden, entsprechend sollte gelten:

$$|GBW| \leq |p_2| \quad (5.70)$$

$$\implies |A \cdot p_{out}| \leq |p_2| \quad (5.71)$$

$$\text{mit: } A = g_{m1} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot \left(\frac{1}{2} \frac{W_3}{W_2}\right) \quad (5.72)$$

$$p_{out} = -\frac{1}{\frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot C_L} \quad (5.73)$$

$$p_2 = -\frac{g_{m2}}{C_{GD3} \cdot g_{m3} \cdot \frac{r_{DS3}}{2}} \quad (5.74)$$

$$\implies \frac{g_{m1} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot \left(\frac{1}{2} \frac{W_3}{W_2}\right)}{\frac{1}{2} \cdot g_{m5} \cdot r_{DS5} \cdot r_{DS3} \cdot C_L} \leq \frac{g_{m2}}{C_{GD3} \cdot g_{m3} \cdot \frac{r_{DS3}}{2}} \quad (5.75)$$

$$\implies \frac{g_{m1} \cdot \frac{W_3}{W_2}}{C_L} \leq \frac{\frac{W_2}{W_3}}{C_{GD3} \cdot \frac{r_{DS3}}{2}} \quad (5.76)$$

$$\implies \frac{1}{2} \cdot g_{m1} \cdot \left(\frac{W_3}{W_2}\right)^2 \cdot C_{GD3} \cdot r_{DS3} \leq C_L \quad (5.77)$$

Die Lastkapazität C_L ist also entscheidend, weil sie die Größe des dominanten Pols p_{out} mitbestimmt. Durch ein größeres C_L wird p_{out} kleiner, dadurch wird die GBW früher erreicht, was einen Verlust von Bandbreite bedeutet.

Andererseits führt eine größere Lastkapazität zu einer größeren Phasenreserve; daher sollte Lastkapazität C_L mindestens $A \cdot C_{GD3}$ sein, dann beträgt die Phasenreserve mehr als 45° . Bild 5.7 zeigt den Frequenz- und den Phasengang mit einem um den Faktor 100 vergrößerten C_L .

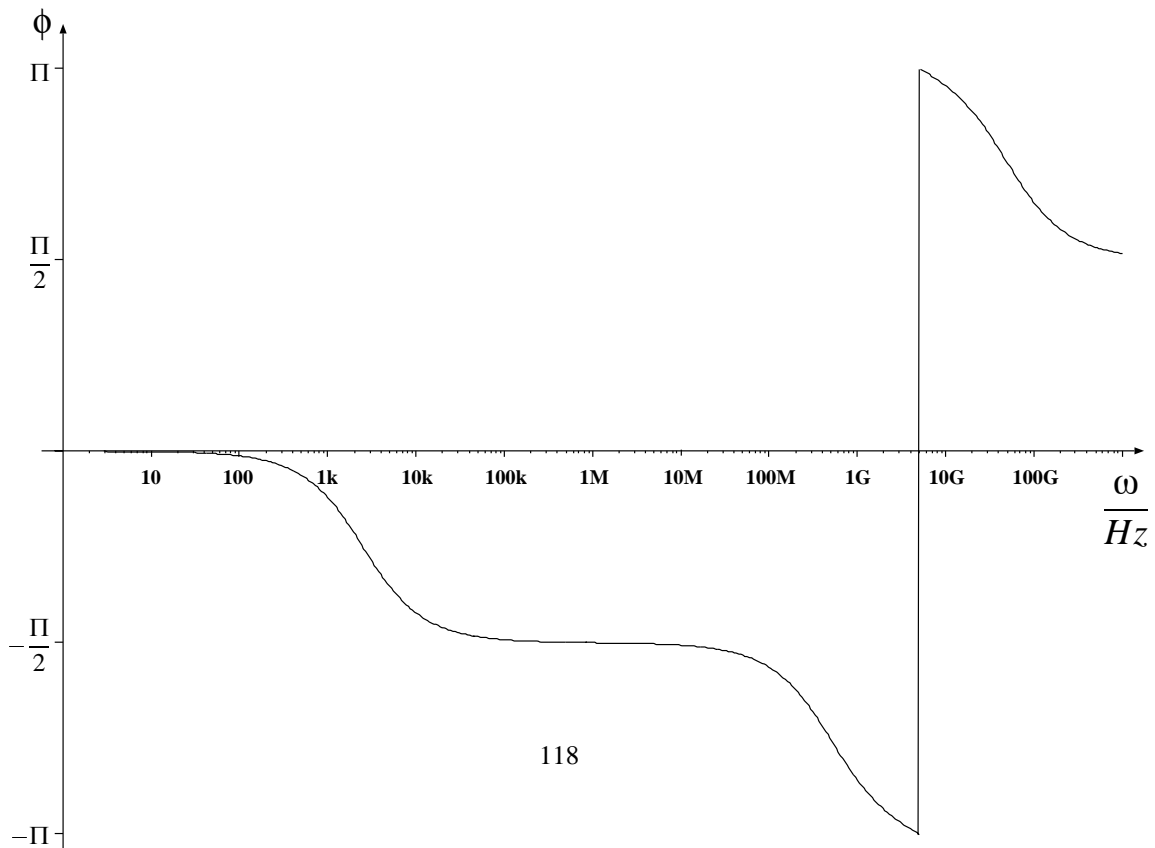
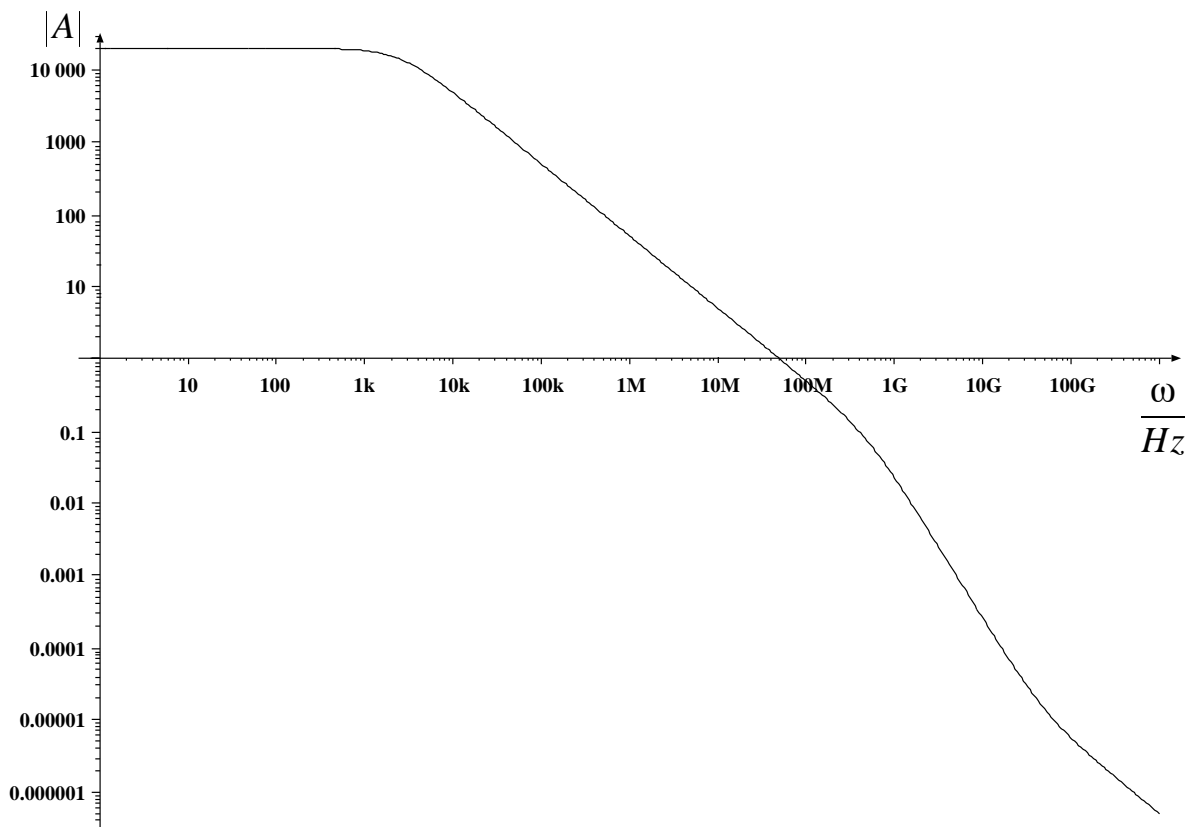


Abbildung 5.7: Frequenz- und Phasengang bei $C'_L = 100 \cdot C_L$

Der hier vorgestellte Verstärker wird als einstufiger Verstärker bezeichnet, weil seine Übertragungscharakteristik im unteren Frequenzbereich durch einen dominanten Pol gekennzeichnet ist; der zweite Pol und die erste Nullstelle liegen erst bei sehr viel höheren Frequenzen.

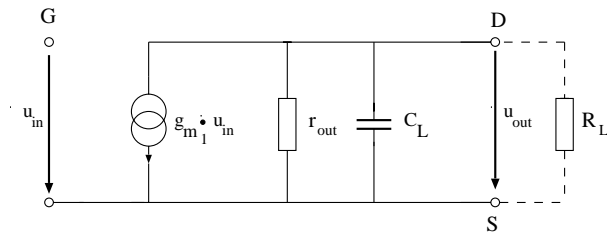


Abbildung 5.8: Genähertes Kleinsignalersatzschaltbild

Entsprechend kommen diese in einem genäherten Kleinsignalersatzschaltbild (siehe Bild 5.8) nicht vor. Die Verstärkung berechnet sich aus:

$$A = -g_{m_1} \cdot r_{out} \quad (5.78)$$

Sie wird von der zweiten Stufe bestimmt, die erste Stufe trägt fast nichts zur Verstärkung bei; lediglich über das $(\frac{W}{L})$ -Verhältnis der Transistoren T_2 und T_3 läßt sich eine Vergrößerung erzielen (siehe Gleichung 5.13). Deshalb ist die Betrachtung als Ein-Pol-System eine erlaubte Näherung.

Kapazitäten als Last sind für diesen Verstärker unproblematisch. Zwar sinkt bei einem großen C_L die Bandbreite, aber das System schwingt weniger, weil sich der dominante Pol kleiner wird. Anders verhält es sich mit Widerständen wie R_L in Bild 5.8. Ein solcher Widerstand am Ausgang liegt parallel zu r_{out} . Dann gilt für die Verstärkung:

$$A = -g_{m_1} \cdot (r_{out} || R_L) \quad (5.79)$$

Wenn $R_L < r_{out}$ ist, sinkt also die Verstärkung entsprechend. Es sollte also $R_L > r_{out}$ gelten; je nach Anwendung ist ein kleines R_L aber oft nicht zu vermeiden. In diesen Fällen sollte auf andere Verstärkerstufen zurückgegriffen werden, die ein niedrigeres r_{out} besitzen.

Kapitel 6

Zweistufiger Verstärker

Bild 6.1 stellt einen zweistufigen Verstärker dar. Im Gegensatz zum einstufigen Verstärker wird die Last hier nicht von zwei als Diode geschalteten p-Kanal-Transistoren, sondern von einem Stromspiegel gebildet. Wie wir noch sehen werden, trägt hier auch die erste Stufe zur Gesamtverstärkung bei; deshalb wird er als zweistufiger Verstärker bezeichnet.

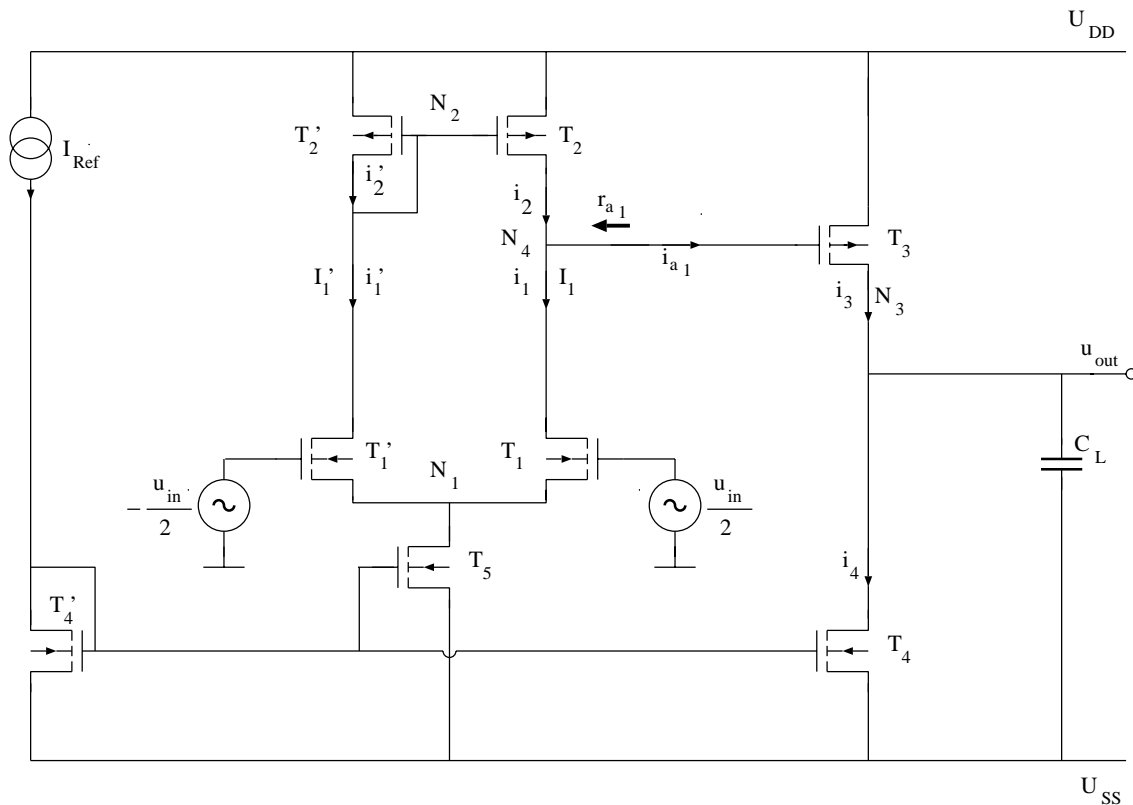


Abbildung 6.1: Zweistufiger Verstärker

Der Ausgangsstrom durch T_3 soll größer sein als derjenige durch T_2 . Entsprechend werden die $(\frac{W}{L})$ -Verhältnisse zu

$$I_{D_3} = n \cdot I_{D_2}, \left(\frac{W}{L}\right)_3 = n \cdot \left(\frac{W}{L}\right)_2 \quad (6.1)$$

gewählt. Da T_4 und T_5 auf dem gleichen Gatepotential liegen und durch T_5 der Strom $\frac{I_{D_2}}{2}$ fließt, erweist sich

$$\left(\frac{W}{L}\right)_4 = \frac{n}{2} \cdot \left(\frac{W}{L}\right)_5 \quad (6.2)$$

als eine günstige Dimensionierung.

Zunächst sollen aber beide Stufen einzeln betrachtet werden.

6.1 Allgemeine Betrachtungen

Die Differenzstufe in Schaltung 6.1 ist - abgesehen von der Last - wie beim einstufigen Verstärker aufgebaut. Die Wirkung des Stromspiegels als Last könnte durch Aufstellen der Kleinsignalersatzschaltbilder ermittelt werden. Hier soll aber ein schnellerer Weg beschritten werden. Da die Schaltung nicht symmetrisch ist, werden die Ströme betrachtet.

Für die Verstärkung gilt auch hier:

$$A = -g_m \cdot r_{out} \quad (6.3)$$

wobei die Größen g_m und r_{out} ermittelt werden müssen. Für die erste Stufe gilt allgemein:

$$i_{a_1} = g_m \cdot u_{in} \quad (6.4)$$

Für die Transistoren T_1 und T_1' gilt:

$$i_1 = g_{m_1} \cdot \frac{u_{in}}{2} \quad (6.5)$$

$$i_1' = g_{m_1}' \cdot \left(-\frac{u_{in}}{2}\right) \quad (6.6)$$

$$\text{mit } g_{m_1}' = g_{m_1} : \quad i_1' = g_{m_1} \cdot \left(-\frac{u_{in}}{2}\right) \quad (6.7)$$

$$= -i_1 \quad (6.8)$$

$$i_2' = i_1' \quad (6.9)$$

$$i_2 = i_1 + i_{a_1} \quad (6.10)$$

Der Stromspiegel aus den Transistoren T_2 und T_2' ist auch symmetrisch ausgelegt; daher gilt:

$$i_2' = i_2 = i_1' = -i_1 \quad (6.11)$$

$$\Rightarrow i_{a_1} = i_2 - i_1 \quad (6.12)$$

$$= i_2' - i_1 \quad (6.13)$$

$$= i_1' - i_1 \quad (6.14)$$

$$= -i_1 - i_1 \quad (6.15)$$

$$= -2 \cdot g_{m_1} \cdot \frac{u_{in}}{2} \quad (6.16)$$

$$= -g_{m_1} \cdot u_{in} \quad (6.17)$$

Der Transistor T_5 hat ein festes Gate-Potential und bildet näherungsweise eine ideale Stromquelle. Weil auch hier nur die Differenzeingangsspannung betrachtet wird ($u_{in} = u_{in_d}$), hat der Knoten N_1 ein festes Potential und kann näherungsweise kleinsignalmäßig auf Masse gelegt werden. Damit wird der Ausgangswiderstand der ersten Stufe durch die Parallelschaltung von T_1 und T_2 gebildet, die beide mit ihrem Drain am Ausgang liegen. Daher gilt:

$$r_{a_1} = r_{DS_1} \parallel r_{DS_2} \quad (6.18)$$

$$\Rightarrow A_1 = -g_{m_1} \cdot (r_{DS_1} \parallel r_{DS_2}) \quad (6.19)$$

Für die Verstärkung der zweiten Stufe gilt:

$$A_2 = -g_{m_3} \cdot (r_{DS_3} \parallel r_{DS_4}) \quad (6.20)$$

$$A = A_1 \cdot A_2 \quad (6.21)$$

Die Gesamtverstärkung A ist also vergleichbar mit der des einstufigen Verstärkers mit Kaskode, allerdings ist sie anders aufgeteilt: Die erste Stufe steuert ebensoviel bei wie die zweite, was den Namen 'zweistufiger Verstärker' erklärt.

Durch eine zusätzliche Kaskode am Ausgang wäre eine höhere Verstärkung möglich.

6.1.1 Pole

Für das Frequenzverhalten sind die Pole und Nullstellen verantwortlich. Bild 6.2 zeigt die parasitären Kapazitäten auf der rechten Seite.

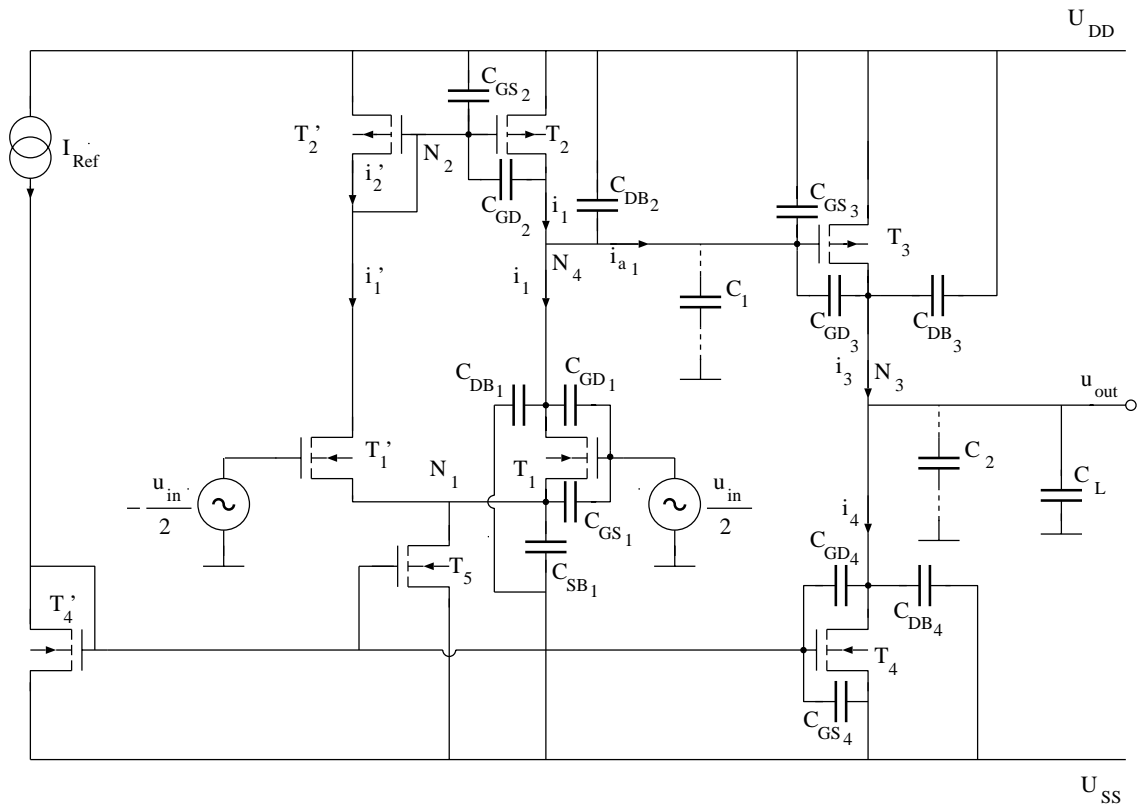


Abbildung 6.2: Zweistufiger Verstärker mit parasitären Kapazitäten

Sowohl die erste als auch die zweite Stufe haben eine hohe Verstärkung, d.h. das entsprechende $r_{out} = r_{a1,2}$ ist jeweils groß. Das bedeutet, daß jeweils ein dominanter Pol auftreten kann.

Für die Verstärkungen der Stufen gilt:

$$A_1 = -g_{m1} \cdot r_{a1} \quad (6.22)$$

$$= -g_{m1} \cdot (r_{DS1} \parallel r_{DS2}) \quad (6.23)$$

$$A_2 = -g_{m3} \cdot r_{out} \quad (6.24)$$

$$= -g_{m3} \cdot (r_{DS3} \parallel r_{DS4}) \quad (6.25)$$

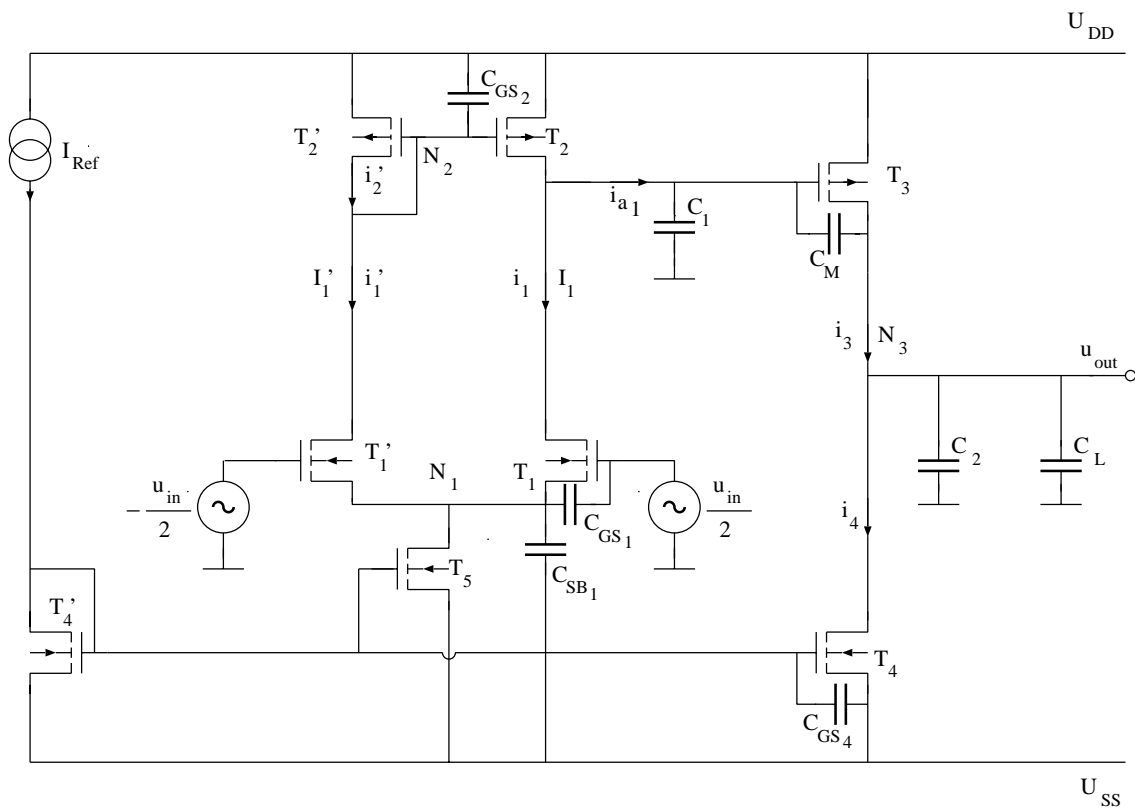


Abbildung 6.3: Zweistufiger Verstärker mit Ersatzkapazitäten

Die Kapazitäten können für die Kleinsignalbetrachtung teilweise zusammengefaßt werden (siehe Bild 6.3):

$$C_1 = C_{DB1} + C_{DB2} + C_{GS3} + C_{GD1} + C_{GD2} \quad (6.26)$$

$$C_2 = C_{DB3} + C_{DB4} + C_{GD4} \quad (6.27)$$

$$C_M = C_{GD3} \quad (6.28)$$

Die Kapazität C_{GD3} ist eine Miller-Kapazität zwischen N_4 und N_3 ; sie wird als C_M gesondert behandelt, weil sie zwischen dem Ein- und Ausgang der zweiten Stufe liegt.

C_{GD2} wird ebenfalls gemillert (zwischen N_2 und N_4), aber da i.Allg. die Verstärkung an T_3 größer ist als an T_2 , wird die zugehörige Nullstelle bei dieser Berechnung gegenüber der Nullstelle von C_{GD3} vernachlässigt.

Bild 6.4 zeigt ein Kleinsignalersatzschaltbild des zweistufigen Verstärkers.

Die Übertragungsfunktion ergibt sich nach längerer Rechnung zu:

$$A(s) = g_{m1} \cdot r_{a1} \cdot g_{m3} \cdot r_{out} \cdot \frac{1 - \frac{s \cdot C_M}{g_{m3}}}{p(s)} \quad (6.29)$$

mit:

$$p(s) = 1 + s \cdot (r_{a1} \cdot (C_M + C_1) + r_{out} \cdot (C_M + C_L + C_2) + C_M \cdot g_{m3} \cdot r_{a1} \cdot r_{out}) + \quad (6.30)$$

$$s^2 \cdot r_{a1} \cdot r_{out} \cdot (C_M \cdot C_1 + C_M \cdot (C_2 + C_L) + C_1 \cdot (C_2 + C_L)) \quad (6.31)$$

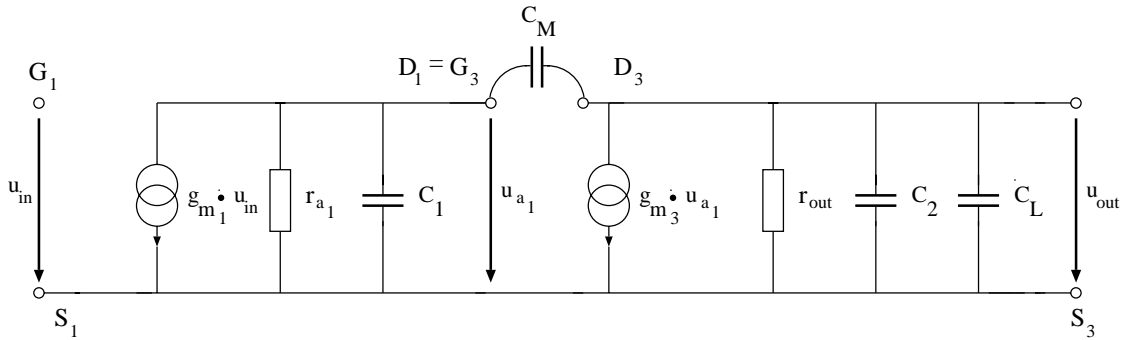


Abbildung 6.4: Kleinsignalersatzschaltbild des zweistufigen Verstärkers

Der Nenner wird wie in Abschnitt 4.2.1 beschrieben faktorisiert. Dazu muß allerdings die Annahme $|p_2| \gg |p_1|$ im Nachhinein verifiziert werden (siehe Abschnitt 6.2).

$$N(s) = p(s) = \left(1 - \frac{s}{p_1}\right) \cdot \left(1 - \frac{s}{p_2}\right) = 1 - s \cdot \left(\frac{1}{p_1} + \frac{1}{p_2}\right) + s^2 \cdot \frac{1}{p_1 \cdot p_2} \quad (6.32)$$

$$\text{Annahme: } p_1 \ll p_2 \implies \frac{1}{p_1} \gg \frac{1}{p_2} \quad (6.33)$$

$$\implies \left(1 - \frac{s}{p_1}\right) \cdot \left(1 - \frac{s}{p_2}\right) \approx 1 - \frac{s}{p_1} + \frac{s^2}{p_1 \cdot p_2} \quad (6.34)$$

In diesem Fall ergeben sich die Pole damit zu:

$$p_1 \approx -\frac{1}{r_{a_1} \cdot (C_M + C_1) + r_{out} \cdot (C_M + C_L + C_2) + \underbrace{C_M \cdot g_{m_3} \cdot r_{a_1} \cdot r_{out}}_{\text{dominant wg. } g_m \cdot r \gg 1}} \quad (6.35)$$

$$\approx -\frac{1}{C_M \cdot g_{m_3} \cdot r_{a_1} \cdot r_{out}} \quad (6.36)$$

Beim einstufigen Verstärker war der Ausgang der ersten Stufe niederohmig (r_{a_1} klein), daher konnte der Einfluß der Miller-Kapazität auf den ersten Pol vernachlässigt werden.

$$\text{mit } p_1 \cdot p_2 \approx \frac{1}{r_{a_1} \cdot r_{out} \cdot (C_M \cdot (C_1 + C_2 + C_L) + C_1 \cdot (C_2 + C_L))} : \quad (6.37)$$

$$\implies p_2 \approx -\frac{C_M \cdot g_{m_3} \cdot r_{a_1} \cdot r_{out}}{r_{a_1} \cdot r_{out} \cdot (C_M \cdot (C_1 + C_2 + C_L) + C_1 \cdot (C_2 + C_L))} \quad (6.38)$$

$$= -\frac{C_M \cdot g_{m_3}}{C_M \cdot (C_1 + C_2 + C_L) + C_1 \cdot (C_2 + C_L)} \quad (6.39)$$

Hier können zwei Fälle unterschieden werden:

- $C_M = C_{GD_3}$ sehr klein (Regelfall):

In diesem Fall kann für den interessanten Frequenzbereich $C_{GD_3} = 0$ genähert werden; das bedeutet, daß p_2 nur noch von der zweiten Stufe abhängt (wie beim einstufigen Verstärker). Es ergibt sich dann mit Gleichung 4.111 zu:

$$\Rightarrow p_2 \approx -\frac{1}{r_{out} \cdot (C_2 + C_L)} \quad (6.40)$$

- $C_M = C_{GD_3}$ groß:

$$\Rightarrow p_2 \approx -\frac{C_M \cdot g_{m_3}}{C_M \cdot (C_1 + C_2 + C_L) + C_1 \cdot (C_2 + C_L)} \quad (6.41)$$

$$\approx -\frac{g_{m_3}}{C_1 + C_2 + C_L} \quad (6.42)$$

Bei kleinen Werten von C_{GD_3} ist also der Ausgangswiderstand r_{out} entscheidend, bei großen dagegen g_{m_3} . Zur Erklärung dient die Überlegung, daß bei hohen Frequenzen und großem C_{GD_3} der Pfad annähernd zum Kurzschluß wird. Damit ist T_3 als Diode geschaltet mit dem Ausgangswiderstand $\frac{1}{g_{m_3}}$.

Durch die Größe von C_{GD_3} sind also die Pole beeinflussbar: Ein großes C_{GD_3} führt zu einem kleinen p_1 , p_2 vergrößert sich (betragsmäßig) auf $p_2 = -\frac{g_{m_3}}{C_1 + C_2 + C_L}$. Diese Zusammenhänge werden im nächsten Abschnitt von Bedeutung sein.

6.1.2 Nullstellen

Die für das Frequenzverhalten wichtige Nullstelle ist durch die Ausgangsstufe gegeben, und zwar mit:

$$z = \frac{g_{m_3}}{C_M} \quad (6.43)$$

6.2 Zusammenwirken von Polen und Nullstellen

Bild 6.5 zeigt die Pole und die Nullstellen in der komplexen Ebene.

Je kleiner C_M wird, desto größer (betragsmäßig) wird p_1 und damit weniger dominant. Es muß vermieden werden, daß p_1 in die Größenordnung von p_2 kommt, weil dann die Phasenreserve von 45° nicht mehr garantiert werden kann. Dies könnte durch eine zusätzliche Kapazität C_C parallel zu C_{GD_3} vermieden werden, so daß sich $C_M = C_{GD_3} + C_C$ vergrößert.

Wenn C_M groß wird, bewegt sich andererseits die Nullstelle zu tieferen Frequenzen. Das ist zwar günstig für die Phasenreserve, führt aber zu einem unschönen Knick in der Übertragungskennlinie.

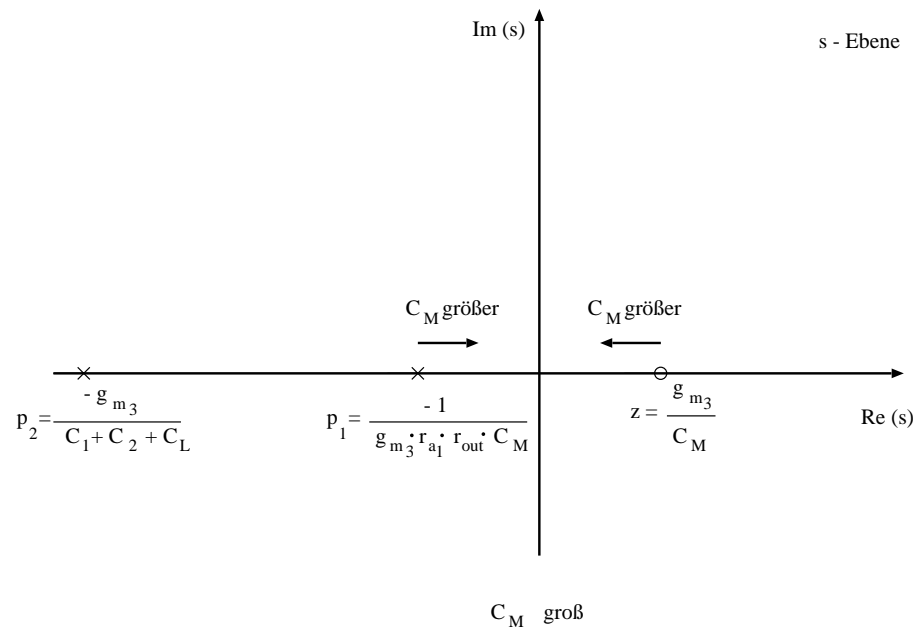
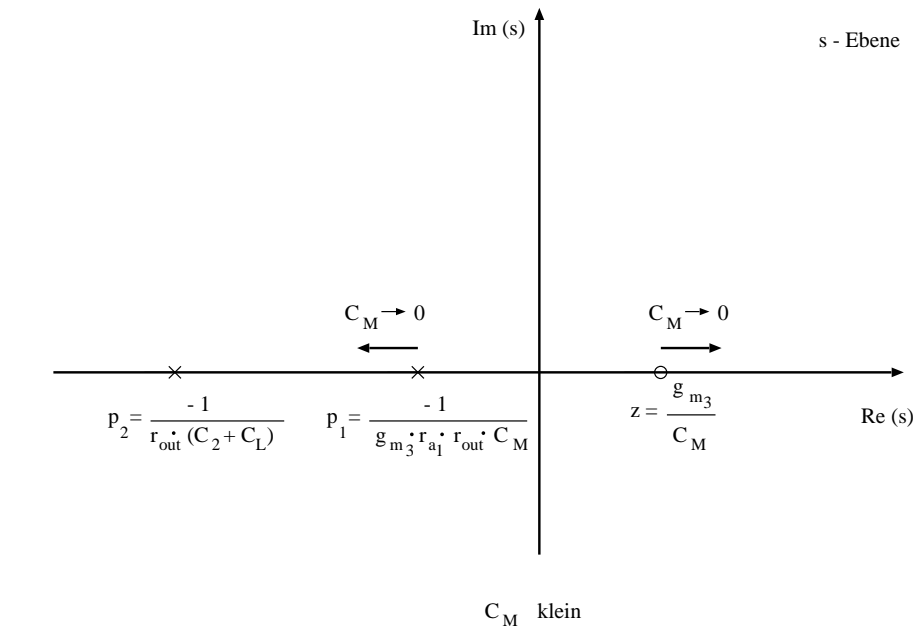


Abbildung 6.5: Pole und Nullstellen für kleines und großes C_M

Das Ziel ist also, die Pole zu trennen, ohne die Nullstelle zu verschieben. Dazu gibt es mehrere Möglichkeiten; Bild 6.6 zeigt eine.

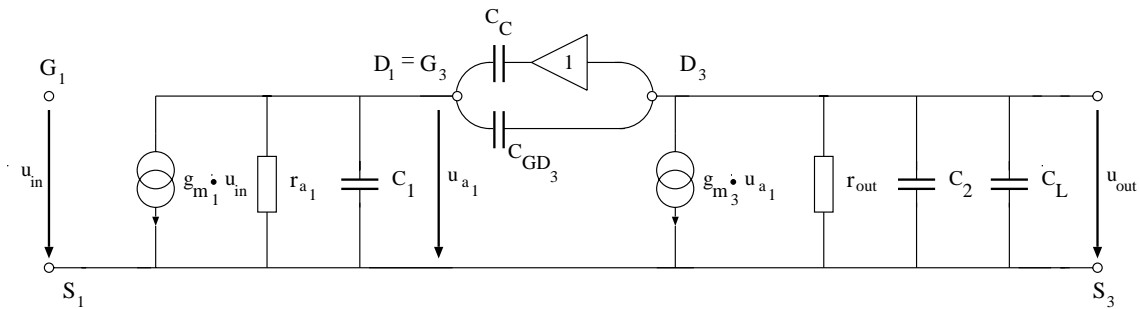


Abbildung 6.6: Zweistufiger Verstärker mit Buffer im Signalpfad

Hier ist im Signalpfad ein Buffer in Reihe zur Miller-Kapazität geschaltet. Das ist natürlich nur bei einer zusätzlichen Kapazität C_C zwischen den beiden Drains der Transistoren T_1 und T_3 möglich. Das ändert nichts am Miller-Effekt - C_M erscheint weiterhin vergrößert -, aber der Signalpfad ist in Vorwärtsrichtung gesperrt.

Bild 6.7 stellt eine Realisierung dar:

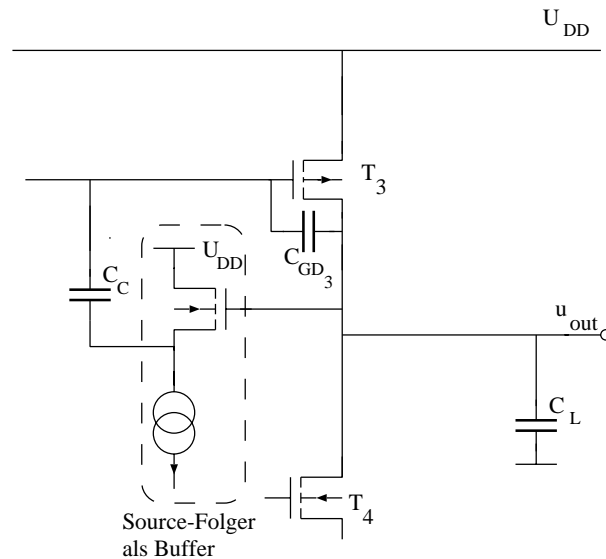


Abbildung 6.7: Realisierung des Buffers im Signalpfad

Für die Nullstelle bleibt weiterhin C_{GD3} entscheidend, weil C_C nicht im Signalpfad liegt. Die Pole dagegen werden - wenn $C_{GD3} \ll C_C$ gewählt wird - durch C_C bestimmt:

$$\text{mit } C_{GD_3} \ll C_C : \quad C_M = C_C \quad (+C_{GD_3}) \quad (6.44)$$

$$z = \frac{g_{m_3}}{C_{GD_3}} \quad (6.45)$$

$$p_1 \approx -\frac{1}{C_C \cdot g_{m_3} \cdot r_{a_1} \cdot r_{out}} \quad p_2 \approx -\frac{g_{m_3}}{C_L} \quad (6.46)$$

Über C_C lassen sich auf diese Art also die Pole verändern, ohne die Nullstelle zu beeinflussen.

Eine andere Möglichkeit ist, einen Widerstand in Reihe mit C_C einzufügen (siehe Bild 6.8). Auch das ist nur mit einer zusätzlichen Kapazität C_C möglich. Es wird wieder $C_C \gg C_{GD_3}$ gewählt. Weil in diesem Fall C_C auch in Vorwärtsrichtung wirkt, kann C_{GD_3} auch für die Nullstelle vernachlässigt werden.

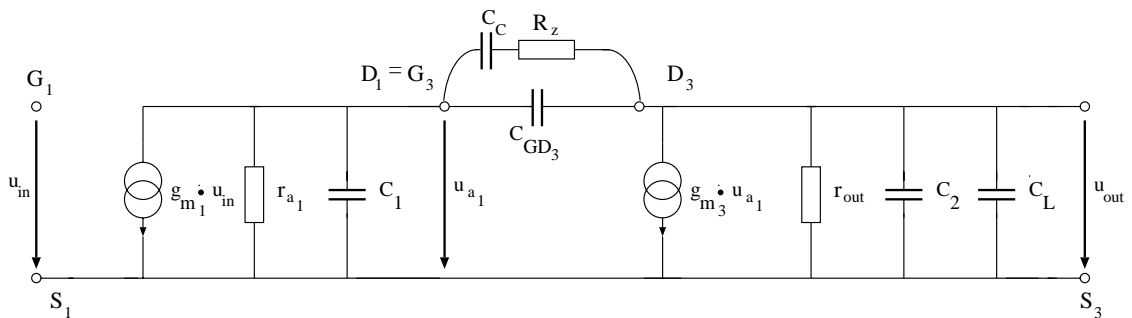


Abbildung 6.8: Zweistufiger Verstärker mit Widerstand im Signalpfad

Für die Nullstelle ergibt sich nach längerer Rechnung:

$$z = \frac{1}{\left(\frac{1}{g_{m_3}} - R_z\right) \cdot C_M} \approx \frac{1}{\left(\frac{1}{g_{m_3}} - R_z\right) \cdot C_C} \quad (6.47)$$

Mit dem Widerstand R_z läßt sich also die Nullstelle verschieben, unabhängig von der Einstellung der Pole durch C_C . Bild 6.9 zeigt die Pole und die Nullstellen für diesen Fall. Man erkennt, daß sich die beiden Pole weiterhin durch ein größeres C_M auseinander bringen lassen.

Man unterscheidet drei Fälle:

- $R_z = 0$: Die Nullstelle ändert sich nicht.
- $R_z = \frac{1}{g_m} \implies z \rightarrow \infty$: Die Nullstelle geht gegen unendlich, d.h. sie beeinflusst die Übertragungsfunktion im interessanten Frequenzbereich nicht.
- $R_z > \frac{1}{g_m}$: Die Nullstelle springt auf $-\infty$ und bleibt dann auch für größere R_z negativ. Es besteht dann die Möglichkeit, den zweiten Pol durch die Nullstelle zu kompensieren, indem $z = p_2$ gewählt wird. Wenn das gelingt, ist das die optimale Annäherung an ein Ein-Pol-System, wenn die Nullstelle etwas daneben liegt - was in der Praxis meist der Fall ist - hat die Übertragungsfunktion an dieser Stelle einen leichten Knick.

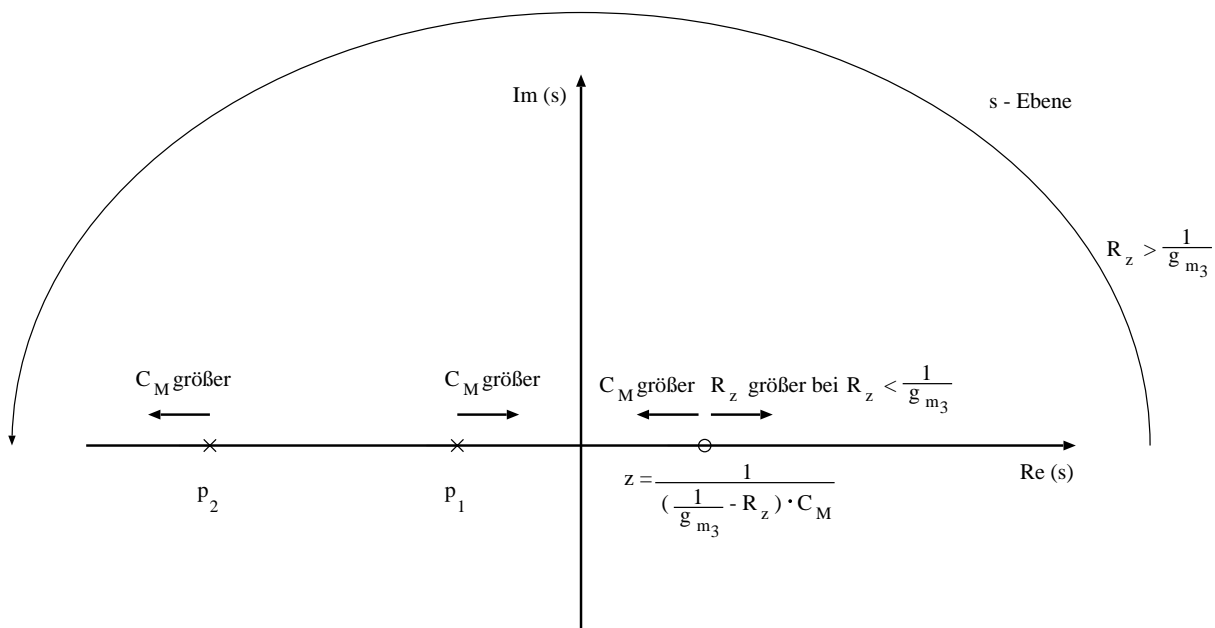


Abbildung 6.9: Pole und Nullstellen mit R_z im Signalpfad

Auf diese Arten kann man gewährleisten, daß

- $|p_1|$ klein
- $|p_2|$ groß und
- $|z|$ groß

sind, d.h. daß man das System als Ein-Pol-System betrachten kann.

6.3 Wichtige Verstärkerparameter

6.3.1 CMRR

In Abschnitt 3.4.2 wurde die CMRR (Common Mode Rejection Ratio, Gleichtaktunterdrückung) für eine Differenzstufe eingeführt als:

$$CMRR = \frac{A_{DM}}{A_{CM}} \quad (6.48)$$

$$= 2 \cdot g_m \cdot R_{SS} \quad (6.49)$$

wobei R_{SS} der Innenwiderstand der nichtidealen Stromquelle ist. Dieser Parameter wird analog für ganze Verstärker verwendet, da er nur durch die Eingangsstufe bestimmt wird.

6.3.2 PSRR

Der Wert PSRR (Power Supply Rejection Ratio, Betriebsspannungsunterdrückung) gibt an, wie stark sich Schwankungen der Versorgungsspannung auf den Ausgang auswirken. Bild 6.10 zeigt ein Blockschaltbild eines Verstärkers mit Versorgungsspannung.

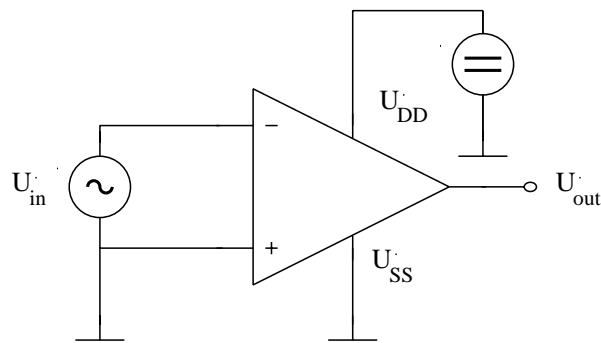


Abbildung 6.10: Blockschaltbild mit Versorgungsspannung

In den bisherigen Kleinsignalersatzschaltbildern für Transistoren (siehe z.B. Bild 3.8) ist eine eventuelle Veränderungen der Versorgungsspannung nicht vorgesehen.

In der Realität sind aber immer Schwankungen aufgrund externer Einflüsse vorhanden. Auch die Schaltung selbst kann die Versorgungsspannung durch unterschiedliche Belastung verändern (besonders bei gemischt analog-digitalen Schaltungen).

Dies kann großsignalmäßig (ohne Berücksichtigung der Kapazitäten) zu einer Verschiebung des Arbeitspunktes führen und damit den Ausgang beeinflussen. Berücksichtigt man noch die Frequenzen, erhält man einen Frequenzgang für die Versorgungsspannung, der allerdings rechnerisch nur schwierig zu ermitteln ist. Daher wird die genaue Analyse Simulatoren überlassen, hier soll der Effekt nur prinzipiell dargestellt werden.

Es sind unterschiedliche Definitionen für PSRR gebräuchlich. Hier soll der Fall betrachtet werden, daß U_{SS} auf Masse liegt und somit nur U_{DD} Schwankungen unterliegt (kenntlich gemacht durch den Index $^+$):

$$PSRR^+ = \frac{\frac{dU_{out}}{dU_{DD}}}{\frac{dU_{out}}{dU_{in}}} \quad (6.50)$$

Dieser Wert beträgt üblicherweise etwa $-60db \dots -80db$. Es gibt allerdings auch die umgekehrte Definition, bei der sich das Vorzeichen umkehrt.

CMOS hat den Vorteil, daß die Schaltungen in großen Teilen symmetrisch sind. Dadurch heben sich die Auswirkungen der Betriebsspannungsschwankungen in diesen Teilen gegenseitig auf.

Während *PSRR* kleine Schwankungen der Betriebsspannung behandelt, gibt *PSR* (Power Supply Range) großsignalmäßig den Bereich an, in dem sich die Versorgungsspannungen befinden können.

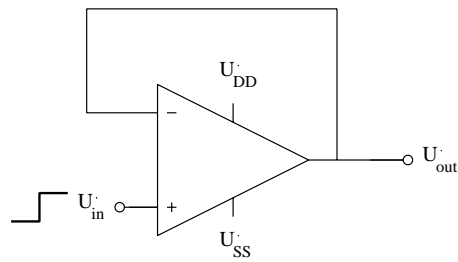


Abbildung 6.11: Verstärker als Buffer

6.3.3 Slew Rate

Die Slew Rate (Anstiegsgeschwindigkeit) ist ein Maß für die Schnelligkeit, mit der ein Verstärker auf eine Großsignaländerung am Eingang reagiert. In Bild 6.11 ist ein Verstärker als Buffer ($A = 1$) geschaltet.

Gibt man auf den Eingang einen Einheitssprung, so ergibt sich ein Ausgangssignal wie in Bild 6.12. In dem Teil, in dem die Kurve am ehesten gerade ist, bestimmt man die Steigung und erhält so die Slew Rate:

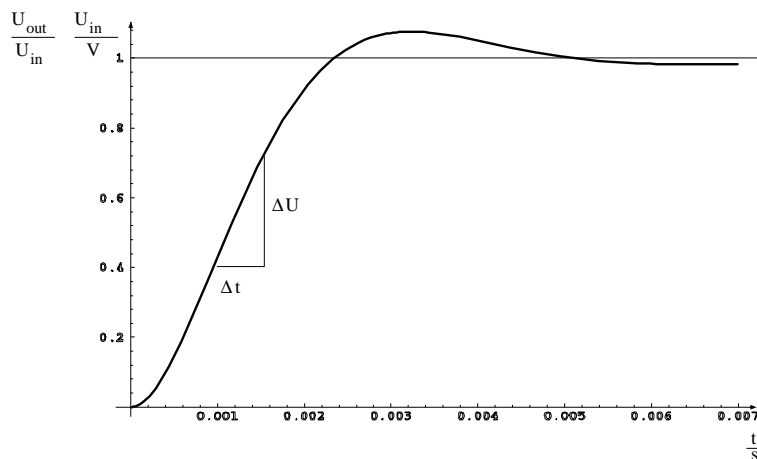


Abbildung 6.12: Sprungantwort und Bestimmung der Slew Rate

$$SR = \frac{\delta U}{\delta t} \approx \frac{\Delta U}{\Delta t} \quad (6.51)$$

Der Anfangs- und Endbereich des Einschwingvorgangs sind bei der Slew Rate nicht berücksichtigt. Bei kleinen Phasenreserven schwingt das System stark, so daß es trotz großer Slew Rate lange dauert, bis das System eingeschwungen ist (siehe Bild 6.13). Die *Settling Time* gibt diese Einschwingdauer an. Sie ist eine Kleinsignalgröße und abhängig vom Frequenzgang des Verstärkers und damit von seinen Polen, Nullstellen und der Phasenreserve.

Eine Phasenreserve von 60° erweist sich als optimal.

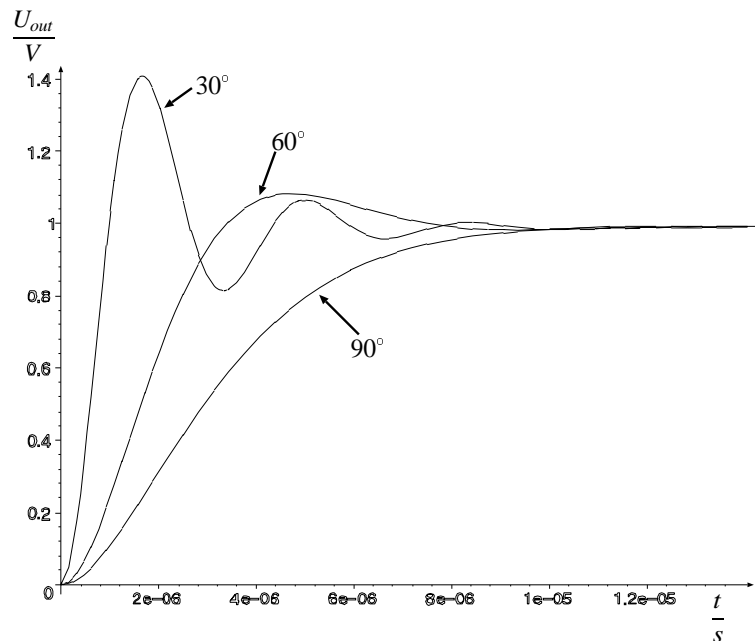


Abbildung 6.13: Sprungantworten bei verschiedenen Phasenreserven

Bild 6.14 zeigt noch einmal einen zweistufigen Verstärker mit der Kompensationskapazität C_C und der Lastkapazität C_L . Diese beiden Kapazitäten sind die größten und damit für die Slew Rate entscheidend. Der linke Eingang sei auf Masse gelegt, das Eingangssignal u_{in} liegt also nur am positiven Eingang an.

Als Eingangssignal soll jetzt ein Sprung anliegen. Das führt dazu, daß T_1 öffnet, während T_1' schließt. Das Drainpotential von T_1' steigt, daher sperren T_2' und T_2 . Der Strom I_0 fließt also ganz durch T_1 und kann völlig zum Entladen des Transistors C_C dienen. Damit gilt für die Slew Rate:

$$SR = \frac{I_0}{C_C} \quad (6.52)$$

Im umgekehrten Fall (umgekehrter Sprung als Eingangsspannung) schließt T_1 , während T_1' , T_2' und T_2 öffnen. Der Strom I_0 fließt also ganz durch T_1' und damit auch durch T_2' ; von dort wird er in T_2 gespiegelt und steht somit zum Laden der Kapazität C_C zur Verfügung. An der Slew Rate ändert das nichts.

Am Ausgang gilt die gleiche Betrachtung für I_1 und C_L :

$$SR = \frac{I_1}{C_L} \quad (6.53)$$

Die gesamte Dauer ergibt sich aus der Summe beider Zeiten; i.Allg. ist in der Ausgangsstufe für die Last ein größerer Strom I_1 vorhanden, so daß näherungsweise nur die Zeit bis zum Laden von C_C betrachtet wird und der Beitrag von C_L vernachlässigt wird. Daher soll jetzt der Ladevorgang der Kompensationskapazität C_C betrachtet werden.

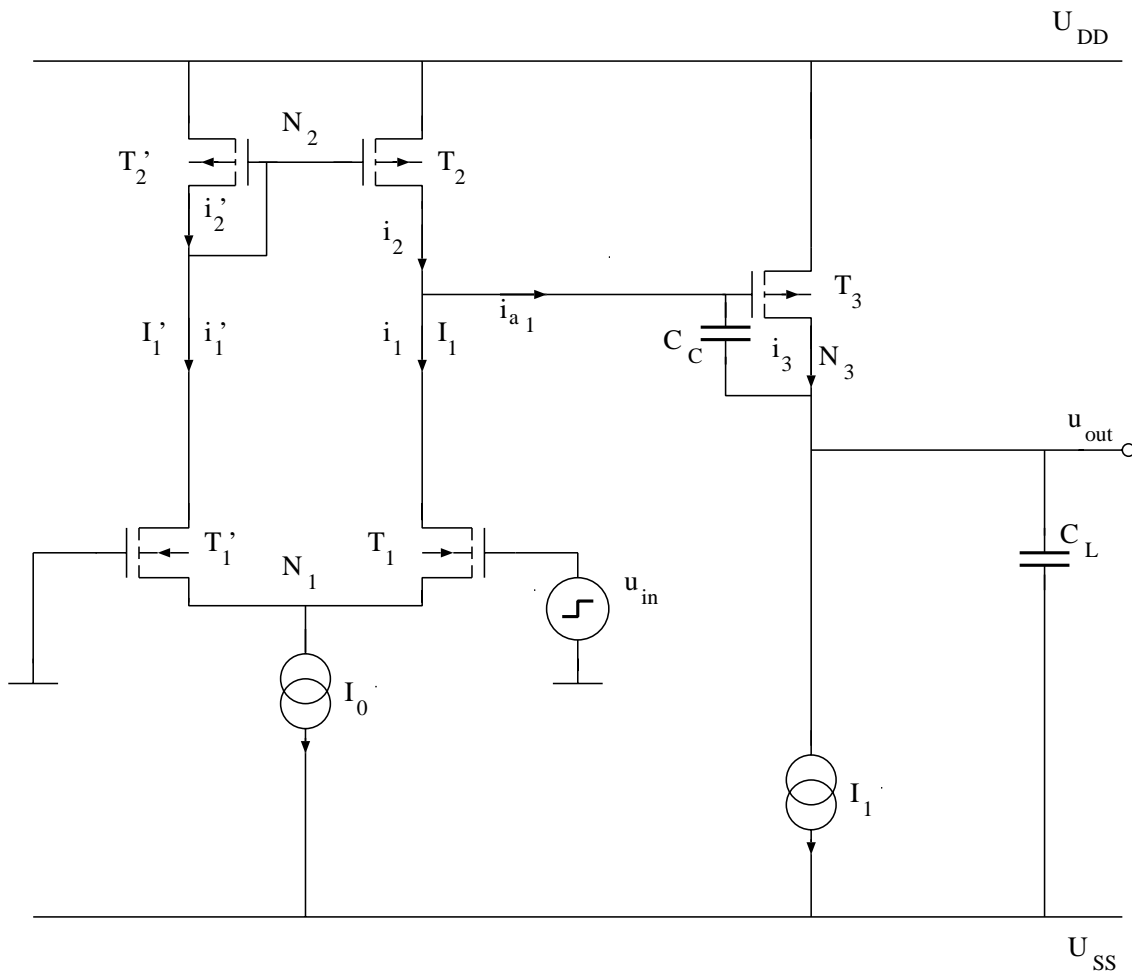


Abbildung 6.14: Zweistufiger Verstärker

$$SR = \frac{I_0}{C_C} \quad (6.54)$$

$$\text{mit } g_m|_{I_D=I_0} = \frac{2 \cdot I_0}{U_{GS_{eff}}} : \quad = \frac{g_m \cdot U_{GS_{eff}}}{2 \cdot C_C} \quad (6.55)$$

$$= GBW \cdot \frac{U_{GS_{eff}}}{2} \quad (6.56)$$

Man erhält also einen Zusammenhang zwischen einer Groß- und einer Kleinsignalgröße (SR und GBW): Je höher die Bandbreite des Verstärkers ist, desto größer ist auch seine Slew Rate.

Bei einstufigen Verstärkern erzeugt ebenfalls die Ausgangsstufe den dominanten Pol, daher ergibt sich das gleiche Ergebnis.

6.3.4 Leistungsbandbreite

Wenn anstelle eines Sprungs ein Sinussignal am Eingang des Buffers aus Bild 6.11 angelegt wird, ergibt sich ein Ausgangssignal wie in Bild 6.15. Hierbei sind nicht kleine Änderungen um den Arbeitspunkt gemeint, wie das bei den Kleinsignalbetrachtungen angenommen wurde, sondern der Arbeitspunkt verschiebt sich durch das Eingangssignal.

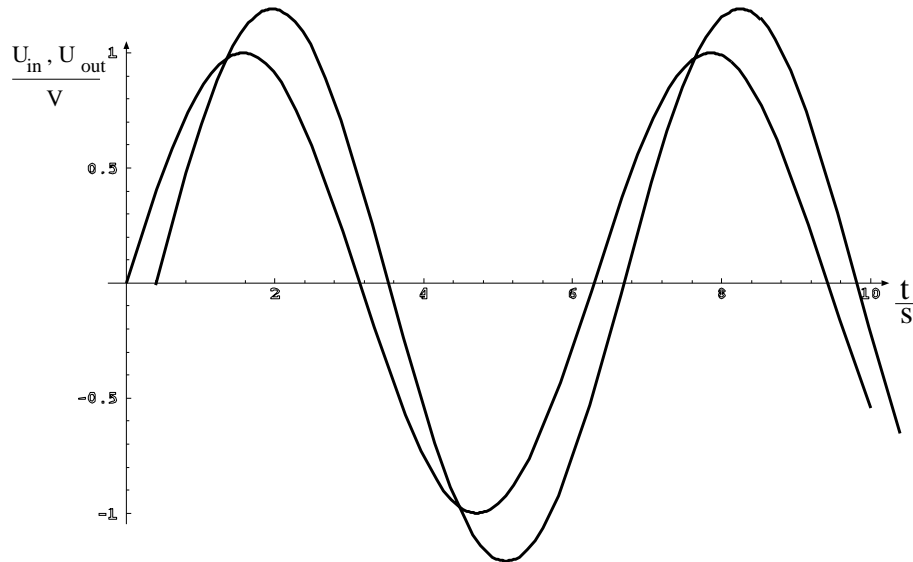


Abbildung 6.15: Sinussignal am Eingang

Da der Verstärker eine Tiefpaßcharakteristik hat, kann er nicht alle Frequenzen durchlassen. Für die Slew Rate gilt hier:

$$\text{Sei} \quad U_{out} = U_0 \cdot \sin \omega t \quad (6.57)$$

$$SR = \frac{dU_{out}}{dt} \quad (6.58)$$

$$= \omega \cdot U_0 \cdot \cos \omega t \quad (6.59)$$

$$\implies SR_{max} = \omega \cdot U_0 = \omega_T \cdot U_0 \quad (6.60)$$

Dabei ist ω_T (Durchtrittsfrequenz) die maximale Frequenz des Verstärkers. Es gilt:

$$\omega_T = \frac{SR}{U_0} \quad (6.61)$$

$$= \frac{I_0}{C_C \cdot U_0} \quad (6.62)$$

$$= \frac{g_m \cdot U_{GS_{eff}}}{2 \cdot C_C \cdot U_0} \quad (6.63)$$

$$\implies \frac{\omega_T}{GBW} = \frac{U_{GS_{eff}}}{2 \cdot U_0} \quad (6.64)$$

Das ist das Verhältnis der maximalen Frequenz, die der Verstärker bearbeiten kann, zum Verstärkung-Bandbreite-Produkt. Um große Spannungen (d.h. großes U_0) verarbeiten zu können, ist also ein großes GBW nötig.

In Abschnitt 3.4.1 wurde der Aussteuerungsbereich einer Differenzstufe betrachtet. Wenn Signale mit $U_0 > U_{GS_{eff}}$ bearbeitet werden sollen, gehen Frequenzanteile verloren, denn bei großen Spannungen steht nicht mehr die gesamte Kleinsignal-Bandbreite GBW zur Verfügung.

6.3.5 Offset-Spannung

Technologiebedingt können die Transistoren nicht völlig gleich sein. Entsprechend sind ihre Threshold-Spannungen U_T und ihre $(\frac{W}{L})$ -Verhältnisse nicht ganz gleich. Das führt dazu, daß am Ausgang auch dann eine Spannung anliegt, wenn am Eingang $U_{in} = 0$ gilt. Diese Spannung wird als Offset-Spannung U_{OS} bezeichnet.

Bild 6.16 oben stellt einen nichtidealen Buffer dar, dessen Eingang auf Masse liegt. Für den Ausgang gilt ideal:

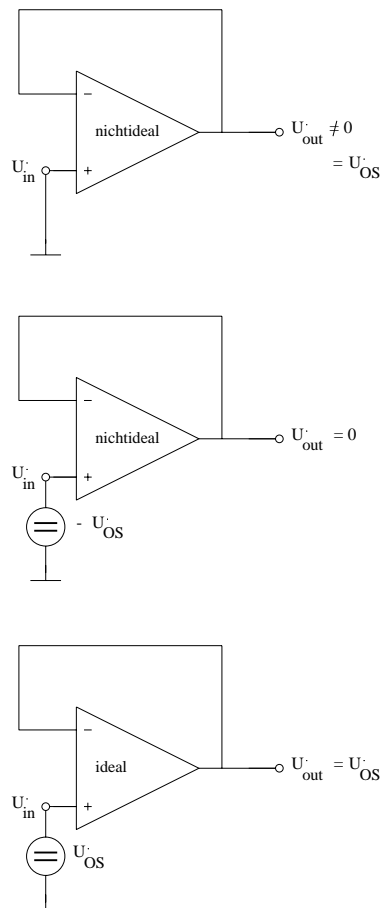


Abbildung 6.16: Buffer

$$U_{out} = A \cdot (U_{in} - U_{out}) \quad (6.65)$$

$$\implies U_{out} = \frac{1}{1 + \frac{1}{A}} \cdot U_{in} \quad (6.66)$$

$$\text{mit } A \gg 1 : \quad \approx U_{in} \quad (6.67)$$

Deshalb ist bei $U_{in} = 0$ am Ausgang $U_{out} = 0$ zu erwarten. Bei einem nichtidealen Verstärker liegt allerdings $U_{out} = U_{OS}$ an, d.h. der Ausgang wird zu 0, wenn am Eingang $U_{in} = -U_{OS}$ anliegt (Bild 6.16 Mitte), denn dann gilt:

$$U_{out} = U_{in} + U_{OS} = -U_{OS} + U_{OS} = 0 \quad (6.68)$$

In Bild 6.16 unten ist die Offset-Spannung als eigene Spannungsquelle aus dem Verstärker herausgezogen, so daß der Verstärker in diesem Bild als ideal angesehen werden kann.

Um diesen Effekt möglichst klein zu halten, werden symmetrische Transistoren ineinander verschachtelt und gleich ausgerichtet aufgebaut, um die Unterschiede bei U_T gering zu halten.

Bei einem zweistufigen Verstärker steuert jede Stufe einen Anteil zur Offset-Spannung bei (siehe Bild 6.17). Der Anteil U_{OS2} wird allerdings nur mit A_2 verstärkt; wenn auch er herausgezogen wird, ergibt sich daher für die gesamte Offset-Spannung:

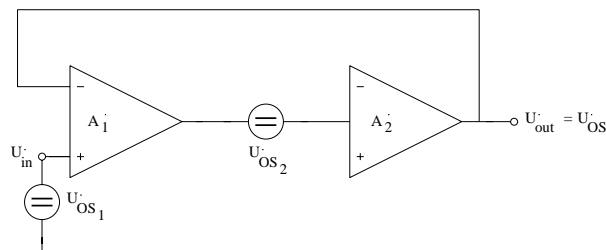


Abbildung 6.17: Zweistufiger Verstärker

$$U_{OS} = U_{OS1} + \frac{U_{OS2}}{A_1} \quad (6.69)$$

6.3.6 Rauschen

Jeder Transistor stellt eine Rauschquelle dar, die sich aus zwei Anteilen zusammensetzt:

- Thermisches Rauschen: Jeder Transistorkanal stellt einen Widerstand dar, der mit $\bar{u}_{N_{Th}}^2 = 4kTR\Delta f$ rauscht.
- Frequenzabhängiges Rauschen: Hinzu kommt ein frequenzabhängiger Anteil der Größe $\bar{u}_{N_{freq}}^2 = \frac{K_f}{f \cdot C_{OX}}$.

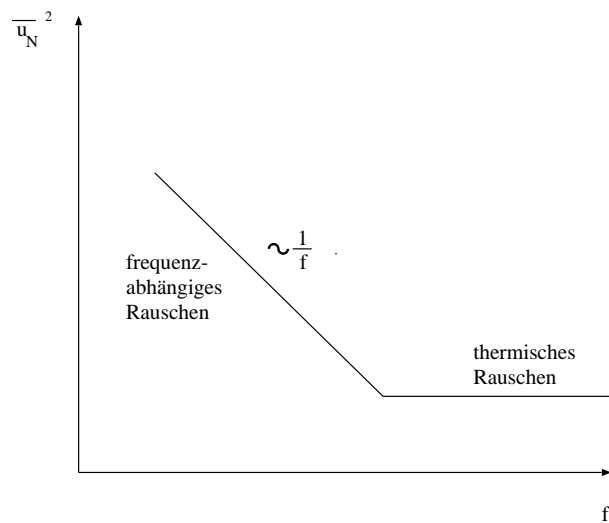


Abbildung 6.18: Rauschleistung

Bild 6.18 stellt die Rauschleistung über der Frequenz dar. Ab einer bestimmten Frequenz kann das frequenz-abhängige Rauschen gegenüber dem thermischen Rauschen vernachlässigt werden.

Für das thermische Rauschen gilt:

$$\bar{i}_{N_{Th}}^2 \sim \frac{1}{g_m} \quad (6.70)$$

Daher läßt sich dieser Anteil durch einen großen Strom I_D reduzieren.

Das frequenzabhängige Rauschen ergibt sich zu:

$$\bar{i}_{N_{freq}}^2 = \frac{K_f}{f \cdot C_{OX}} \sim \frac{1}{W \cdot L} \quad (6.71)$$

so daß die Größe des Transistors diesem Effekt entgegenwirkt.

Auch das Rauschen kann als eigene Spannungsquelle außerhalb des idealen Verstärkers dargestellt werden (siehe Bild 6.19). Diese Spannungsquelle bezieht dabei alle Rauschanteile ein, auch die der zweiten Stufe.

6.3.7 Verlustleistung

Die Verlustleistung kann für jede Stufe einzeln ermittelt werden und ergibt sich dann durch Summation:

$$P = \sum I_{Stufe} \cdot U_{DD} \quad (6.72)$$

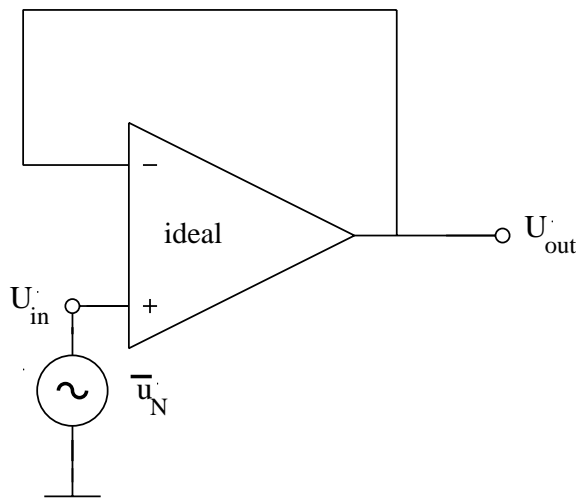


Abbildung 6.19: Verstärker mit externer Rauschquelle

6.4 Parameter eines Operationsverstärkers

In diesem Abschnitt sollen die gängigen Parameter aufgelistet werden.

Kenngröße	Bedeutung
A_0	Open-Loop-Gain, Betriebsverstärkung
Φ	Phasenreserve
GBW	Unity Gain Band Width, Verstärkung-Bandbreite-Produkt
SR	Slew Rate, Anstiegsgeschwindigkeit
f_{max}	Leistungsbandbreite
$CMRR$	Common Mode Rejection Ratio, Gleichtaktunterdrückung
$PSRR$	Power Supply Rejection Ratio, Betriebsspannungsunterdrückung
PSR	Power Supply Range, Betriebsspannungsbereich
CMR	Common Mode Range, Gleichtaktbereich
U_{OS}	Offset-Spannung
U_N	Rauschen
P	Power Dissipation, Verlustleistung
R, C	Lastelemente

Diese Größen hängen gegenseitig voneinander ab. Bei der Auslegung eines Verstärkers betrachtet man zunächst die zu treibenden Lastelemente; sind nur Kapazitäten zu treiben, kann die Ausgangsstufe als Kaskode ausgelegt werden. Um eine hohe Verstärkung zu erzielen, können mehrere Stufen hintereinander geschaltet werden, allerdings ist dabei auf die Phasenreserve und die benötigte Bandbreite zu achten. Durch diese Überlegungen gelangt man zur Architektur des Verstärkers.

Sodann ist der geforderte Gleichtaktbereich (CMR) wichtig. Entsprechend sind die Transistoren zu dimensionieren. Mit Hilfe der vorgestellten Formeln werden die gewünschten g_m eingestellt.

Da diese Formeln viele Näherungen enthalten, ist es unerlässlich, die Schaltung zu simulieren, um die Feineinstellung durchzuführen. Ein Entwurf am Simulator ohne vorher einen Überblick über die Schaltung gewonnen zu haben ist aufgrund der vielen Parameter allerdings ziemlich aussichtslos.

Gemäß den Anforderungen des Anwenders und unter Berücksichtigung der technologischen Randbedingungen ist ein Verstärker zu entwerfen. Die Hauptvorgaben sind die Verstärkung, die Bandbreite, die Slew Rate und die zu treibende Lastkapazität. Die folgende Tabelle faßt die Möglichkeiten, diese Größen bei einem zweistufigen Verstärker zu beeinflussen, zusammen. Die Bezeichnungen beziehen sich auf Bild 6.20; die dargestellten Stromquellen sind als Stromspiegel realisiert.

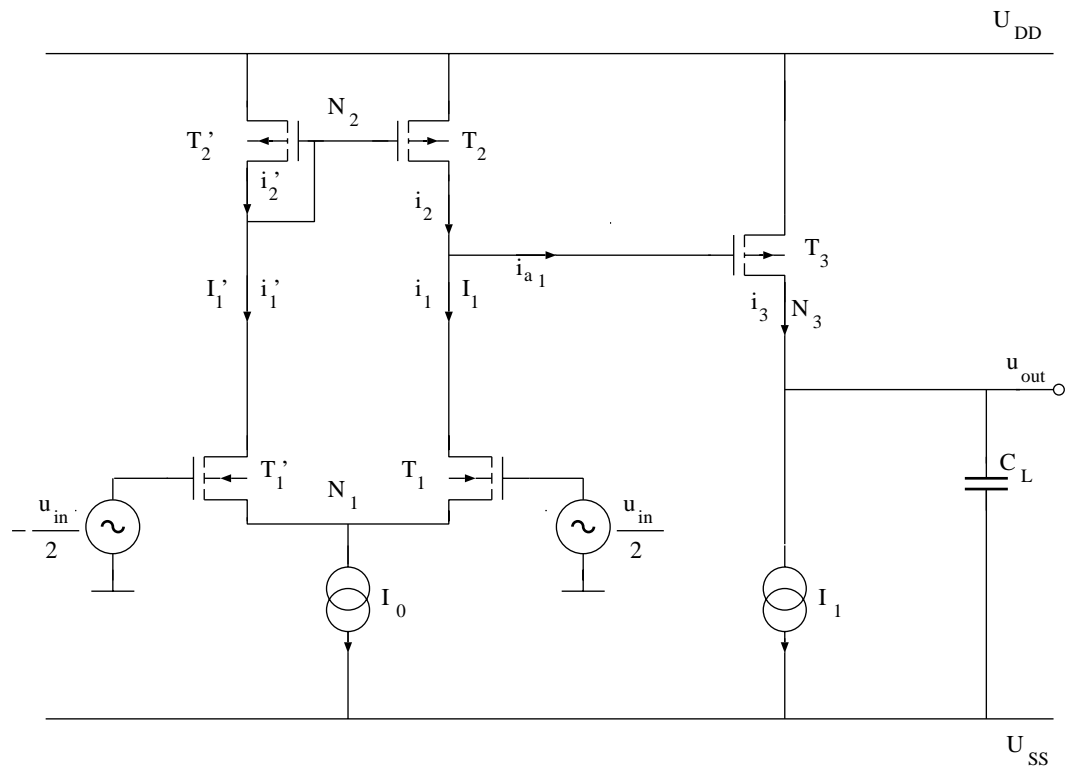


Abbildung 6.20: Zweistufiger Verstärker

Vergrößerung von ...	führt zu ...	A_0	GBW	SR	C_L
<u>Strom</u>					
Eingangsstufe	I_0	$\downarrow^{\frac{1}{2}}$	$\uparrow^{\frac{1}{2}}$	\uparrow	
Ausgangsstufe	I_1	$\downarrow^{\frac{1}{2}}$			
<u>Eingangsstufe</u>					
Eingangstransistoren T_1, T_1'	$\frac{W}{L}$ L	$\uparrow^{\frac{1}{2}}$ \uparrow	$\uparrow^{\frac{1}{2}}$		
Lasttransistoren T_2, T_2'	L	\uparrow			
<u>Ausgangsstufe</u>					
Eingangstransistor T_3	$\frac{W}{L}$ L	$\uparrow^{\frac{1}{2}}$ \uparrow			
Lasttransistoren	L	\uparrow			
Kompensationskapazität			\downarrow	\downarrow	\uparrow

Soll beispielsweise von einem gegebenen Verstärker eine größere Lastkapazität C_L getrieben werden, ohne daß sich die sonstigen Werte ändern, so wird die Kompensationskapazität entsprechend erhöht. Dadurch sinkt die Slew Rate, was durch einen höheren Strom I_0 ausgeglichen werden kann. Die zugehörige Absenkung der Verstärkung kann durch ein größeres $\frac{W}{L}$ bzw. L ausgeglichen werden.

Kapitel 7

Schalter-Kondensator-Technik

7.1 Typische Verstärkerschaltungen

In diesem Abschnitt werden einige Schaltungen vorgestellt, wie sie bei Operationsverstärkern beispielsweise in bipolarer Technik üblich sind.

7.1.1 Verstärker

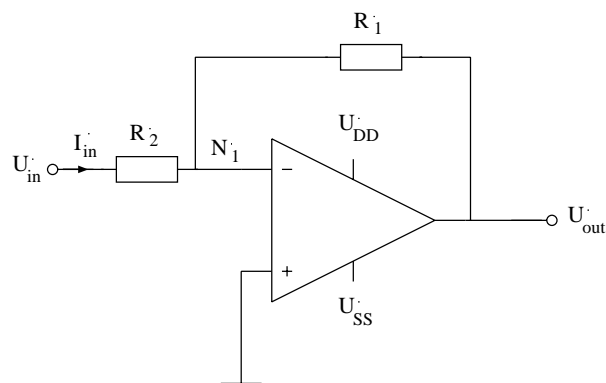


Abbildung 7.1: Verstärker

In Bild 7.1 ist ein Blockschaltbild eines Operationsverstärkers dargestellt. Die Versorgungsspannungen sind als U_{DD} und U_{SS} angenommen, damit der Verstärker nach beiden Richtungen aussteuern kann; dazu muß der Ausgang Strom ziehen und liefern können.

Der Verstärker wird als ideal angenommen; er hat eine unendlich hohe Verstärkung und Eingangswiderstand. Daher stellt sich die Schaltung so ein, daß am Eingang des Verstärkers keine Spannung anliegt, das Potential am Knoten N_1 liegt auf virtueller Masse. In den Verstärkereingang kann kein Strom fließen, der Strom durch R_2 fließt auch durch R_1 . Für den Ausgang ergibt sich damit:

$$U_{out} = A \cdot (U_{in} - R_2 \cdot I_{in}) \quad (7.1)$$

$$I_{in} = -\frac{U_{out}}{R_1} \quad (7.2)$$

$$\Rightarrow U_{out} \approx -\frac{R_1}{R_2} \cdot U_{in} \quad (7.3)$$

In CMOS-Technologie sind Lastwiderstände allerdings ungünstig, weil sie wegen des hochohmigen Ausgangs der Operationsverstärker die Verstärkung verringern.

7.1.2 Integrator

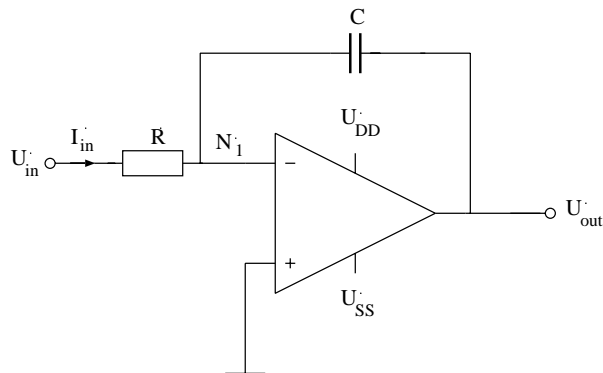


Abbildung 7.2: Integrator

Bild 7.2 stellt einen Integrator dar. Hier ergibt sich für den Ausgang:

$$U_{out} = A \cdot (U_{in} - R \cdot I_{in}) \quad (7.4)$$

$$\Rightarrow I_{in} = \frac{A \cdot U_{in} - U_{out}}{A \cdot R} \quad (7.5)$$

$$\approx \frac{U_{in}}{R} \quad (7.6)$$

$$I_{in} = -C \cdot \frac{dU_{out}}{dt} \quad (7.7)$$

$$\Rightarrow U_{out} \approx -\frac{1}{R \cdot C} \cdot \int U_{in} dt \quad (7.8)$$

$\tau = R \cdot C$ ist die Zeitkonstante des Integrators, die sehr genau einstellbar sein sollte. Wenn die Kapazität und der Widerstand als integrierte Bauelemente realisiert werden, sind sie nur mit einer Genauigkeit von bestenfalls 10% - 20% herstellbar; weil diese Fehler nicht zusammenhängen, addieren sie sich für die ganze Schaltung zu 20% - 40%, was nicht akzeptabel ist. Zwar können die Werte im Nachhinein noch getrimmt werden (beispielsweise mit Laser), aber solche Verfahren sind sehr aufwendig und teuer.

7.2 Schaltungen in Schalter-Kondensator-Technik

In CMOS-Technologie wird versucht, Widerstände als integrierte Bauelemente zu umgehen. Bild 7.3 links stellt einen Widerstand als Vierpol dar. Es gilt:

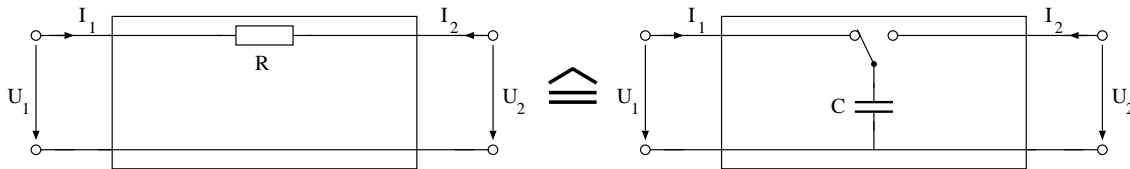


Abbildung 7.3: Widerstand und Schalter-Kondensator als Vierpole

$$I_1 = \frac{U_1 - U_2}{R} \quad (7.9)$$

$$\Rightarrow R = \frac{U_1 - U_2}{I_1} \quad (7.10)$$

Bei $U_1 > U_2$ fließt ein Strom von links nach rechts, was einem Ladungstransport entspricht. Das wird auch von dem Vierpol in Bild 7.3 rechts geleistet, wenn der Schalter in einem geeigneten Takt umgelegt wird: Liegt der Schalter links, wird die Kapazität geladen, und diese Ladung fließt nach rechts ab, wenn der Schalter umgelegt wird.

$$Q_1 = C \cdot U_1 \quad (7.11)$$

$$Q_2 = C \cdot U_2 \quad (7.12)$$

$$\Delta Q = Q_1 - Q_2 = C \cdot (U_1 - U_2) \quad (7.13)$$

ΔQ stellt dabei die je Schaltvorgang transportierte Ladung dar. Der Takt sei dabei so gewählt, daß die Zeit zum Be- und Entladen ausreichend ist.

Im weiteren Verlauf werden folgende Größen verwendet:

- T : Taktperiode
- $f = \frac{1}{T}$: Schaltfrequenz
- k : Zahl der Schaltvorgänge
- ΔQ_{gesamt} : Gesamtladung, die während k Schaltvorgängen transportiert wird
- $t = k \cdot T$: Zeit für k Schaltvorgänge
- $I_{\text{äq}}$: äquivalenter Strom
- $R_{\text{äq}}$: äquivalenter Widerstand

Damit ergibt sich:

$$\Delta Q_{\text{gesamt}} = k \cdot \Delta Q \quad (7.14)$$

$$= \frac{t}{T} \cdot \Delta Q \quad (7.15)$$

$$I_{\ddot{a}q} = \frac{\Delta Q_{\text{gesamt}}}{t} \quad (7.16)$$

$$= \frac{\frac{t}{T} \cdot \Delta Q}{t} \quad (7.17)$$

$$= \frac{C}{T} \cdot (U_1 - U_2) \quad (7.18)$$

mit Gleichung 7.10 :

$$R_{\ddot{a}q} = \frac{U_1 - U_2}{I_{\ddot{a}q}} \quad (7.19)$$

$$= \frac{T}{C} = \frac{1}{f \cdot C} \quad (7.20)$$

7.2.1 Integrator in SC-Technik

Durch den Einsatz eines Schalters und eines Kondensators lässt sich also ein Widerstand nachbilden. Mit dieser Ersatzschaltung soll nun ein Integrator aufgebaut werden (Bild 7.4).

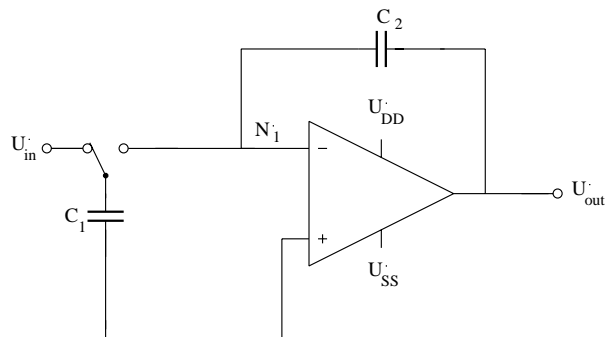


Abbildung 7.4: Integrator mit Schalter-Kondensator-Technik

$$R = \frac{1}{f \cdot C_1} \quad (7.21)$$

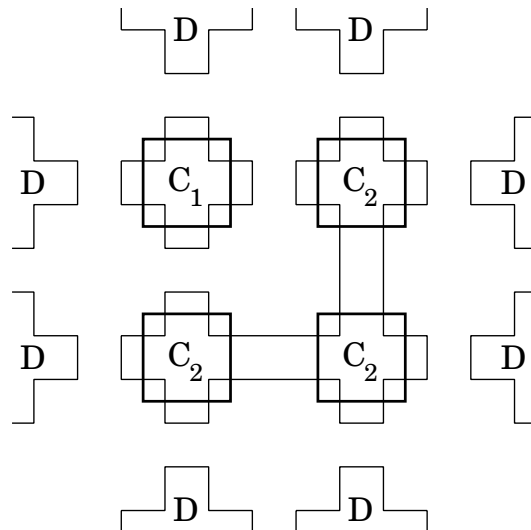
$$\tau = R \cdot C_2 \quad (7.22)$$

$$= \frac{1}{f \cdot C_1} \cdot C_2 \quad (7.23)$$

$$= \frac{1}{f} \cdot \frac{C_2}{C_1} \quad (7.24)$$

$$\Rightarrow U_{\text{out}}(s) = -f \cdot \frac{C_1}{C_2} \cdot \frac{1}{s} \cdot U_{\text{in}}(s) \quad (7.25)$$

Die Zeitkonstante wird also jetzt durch das Verhältnis zweier gleicher Bauelemente (Kapazitäten) bestimmt. Da diese in den gleichen Prozeßschritten hergestellt werden, sind ihre Abweichungen vom Sollwert ähnlich. Um diesen Effekt zu verstärken, werden diese Kapazitäten möglichst nahe beieinander auf dem Chip platziert. Außerdem werden sie aus der Parallelschaltung von Einheitskapazitäten aufgebaut. Das hat den Vorteil, daß auch Fehler, die vom Umfang der Kapazität abhängen, unabhängig von der Gesamtgröße prozentual gleich groß sind. Daher sind die Abweichungen vom Sollwert entsprechend und kürzen sich weg.



$$C_2 = 3 C_1$$

D: Dummy

Abbildung 7.5: Kapazitäten aus Einheitskapazitäten

Um den Einfluß der Leitungen ebenfalls gleich zu halten, werden wie in Bild 7.5 dargestellt die Strukturen mit Hilfe von Dummy-Kapazitäten symmetrisch gehalten. Man kann so eine relative Genauigkeit von ca. 0.1% erreichen. Die Taktfrequenz f kann durch einen Quarz sehr genau eingestellt werden.

7.2.2 Parasitäre Kapazitäten

Bei der Schalter-Kondensator-Technik muß man allerdings die parasitären Kapazitäten der Transistoren, die zur Realisierung der Schalter gebraucht werden, berücksichtigen. Bild 7.6 zeigt die eventuell vorkommenden Kapazitäten.

Da N_1 näherungsweise auf Masse liegt, hat C_{p2} keinen großen Einfluß. C_{p3} liegt nicht im Signalpfad und beeinflusst lediglich die Geschwindigkeit am Ausgang. Diese beiden Anteile können also vernachlässigt werden.

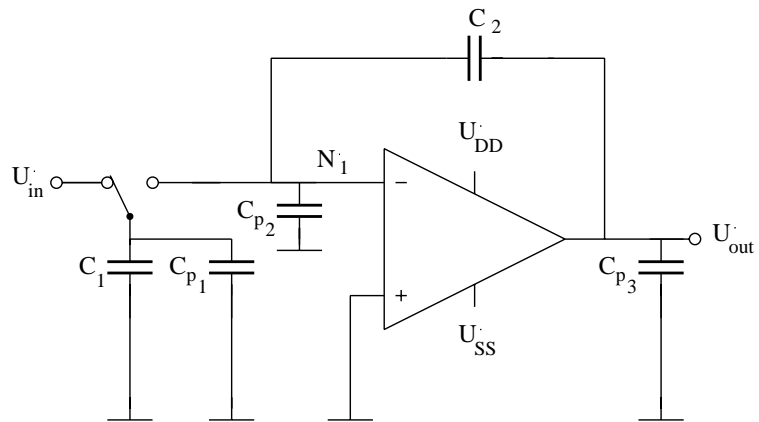


Abbildung 7.6: Mögliche parasitäre Kapazitäten

C_{p1} liegt parallel zu C_1 und beeinflusst damit die Zeitkonstante:

$$\tau = \frac{1}{f} \cdot \frac{C_2}{C_1 + C_{p1}} \quad (7.26)$$

Das wirkt sich ungünstig auf die Genauigkeit aus. Daher wird eine Anordnung wie in Bild 7.7 verwendet; mögliche parasitäre Kapazitäten sind - soweit relevant - eingezeichnet.

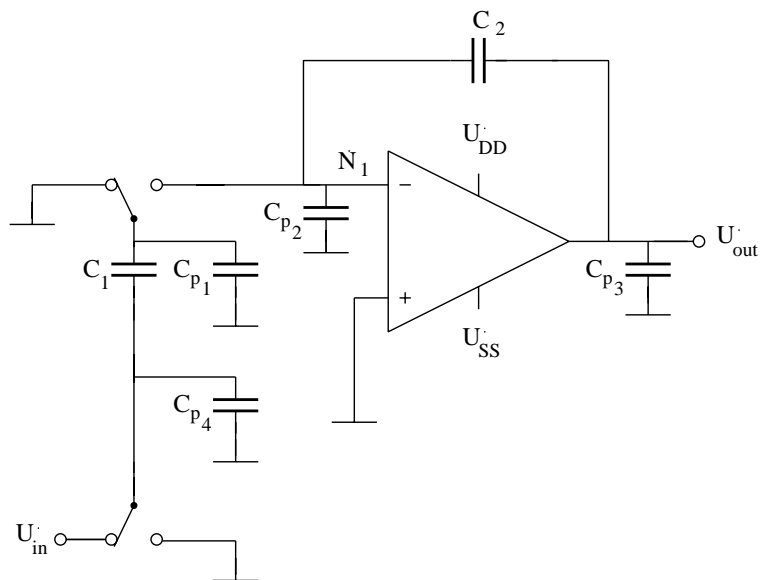


Abbildung 7.7: Alternative Anordnung

Die beiden Schalter werden synchron umgelegt. Die Kapazität C_{p1} liegt je nach Schalterstellung auf Masse oder auf virtueller Masse (Knoten N_1); daher ist sie unproblematisch. C_{p4} stellt nur eine Lastkapazität für den

Eingang dar und ist somit ebenfalls nicht kritisch für die Zeitkonstante; sie verlangsamt lediglich den Ladevorgang am Eingang. Da parasitäre Kapazitäten keinen Einfluß haben, wird diese Anordnung "streuinsensitiv" genannt.

Es ist zu beachten, daß in dieser Anordnung – im Vergleich zur Schaltung in Bild 7.6 – die Polung der Kapazität beim Umlenken der Schalter vertauscht wird; dadurch ist dieser Integrator nichtinvertierend.

Die oben verwendeten Wechselschalter sind so nicht realisierbar. Mit Transistoren lassen sich aber Einzelschalter realisieren. Ein Wechselschalter kann durch zwei Einzelschalter mit komplementärem Takt (Φ und $\bar{\Phi}$) ersetzt werden (siehe Bild 7.8). Um zu gewährleisten, daß Φ und $\bar{\Phi}$ niemals gleichzeitig geschlossen sind, ist dabei eine gewisse Überlappung der Phasen notwendig, in denen die Schalter offen sind (siehe Bild 7.8 unten: "1" bedeutet "Schalter geschlossen").

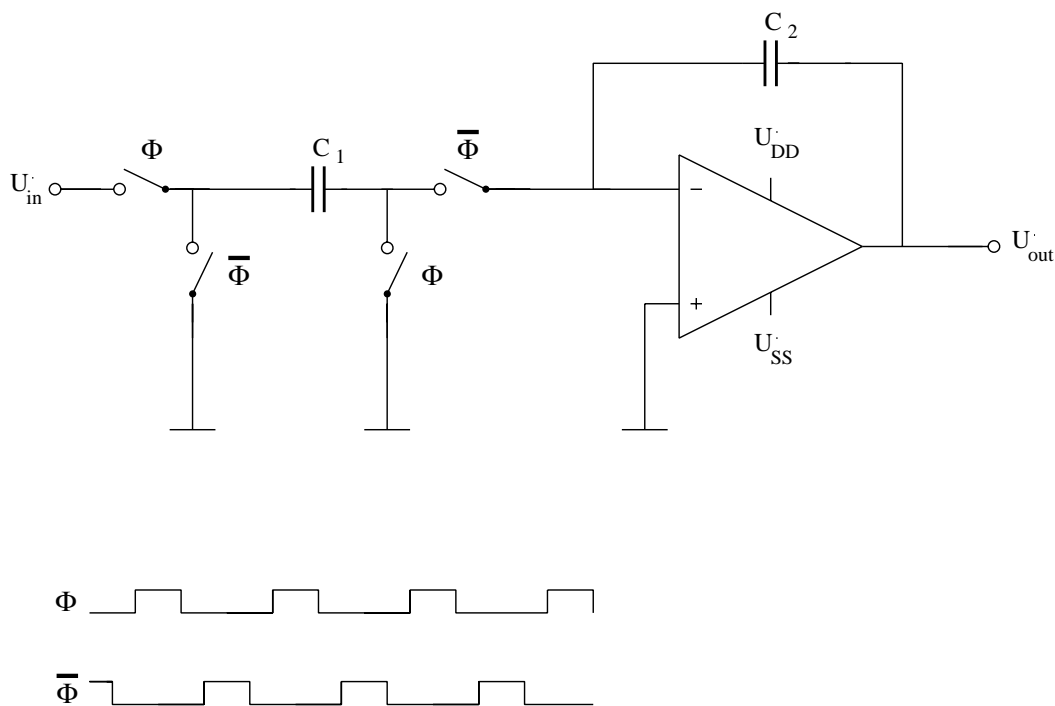


Abbildung 7.8: Anordnung mit Einzelschaltern

7.2.3 Integrator mit Summen

In Bild 7.9 ist eine zweite Spannung angeschlossen. Nachdem in der Phase Φ die Kapazität C_1 auf $U_{in_1} \cdot C_1$ geladen wird, findet während $\bar{\Phi}$ ein Umladen auf auf $U_{in_2} \cdot C_1$ statt. Daher gilt:

$$U_{out} = f \cdot \frac{C_1}{C_2} \cdot \int (U_{in_1} - U_{in_2}) dt \quad (7.27)$$

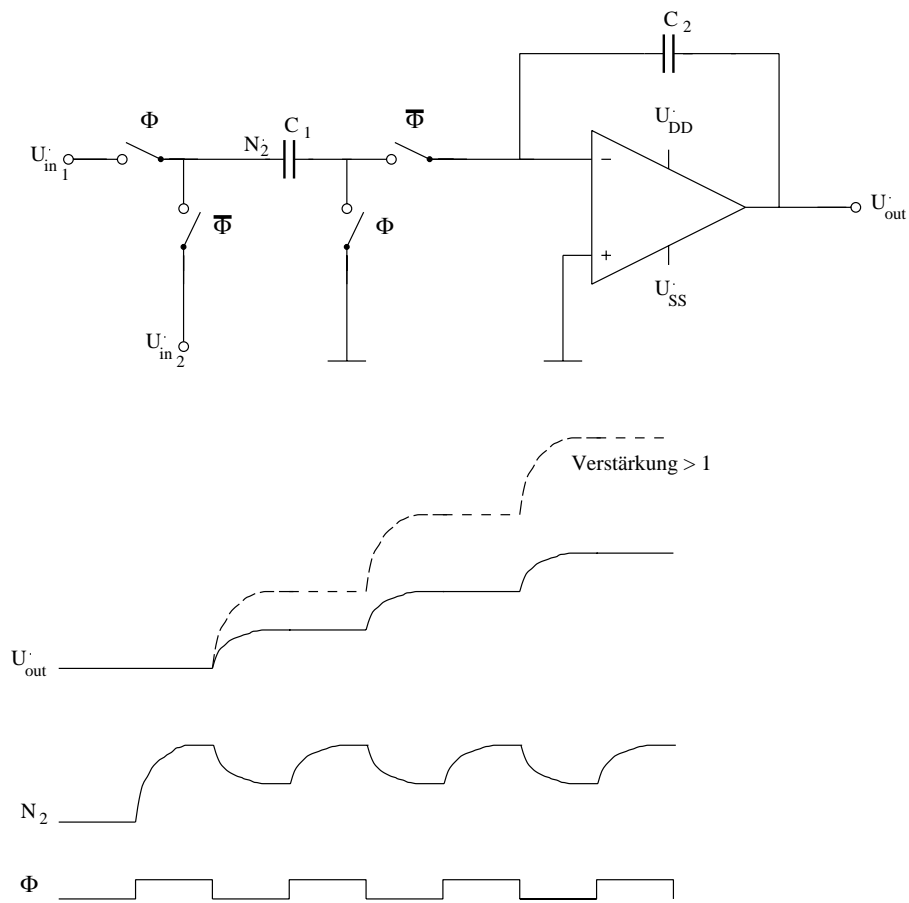


Abbildung 7.9: Integrator mit 2 Eingängen

7.2.4 Berücksichtigung der Taktfrequenz

Bisher wurden die Frequenzen nicht berücksichtigt; das Integral stellt den idealisierten Fall einer unendlich hohen Taktfrequenz dar. Da hier U_{in1} zu anderen Zeitpunkten als U_{in2} abgetastet wird, muß die daraus resultierende Phasenverschiebung für AC-Signale untersucht werden.

Mit den auf Seite 144 getroffenen Definitionen ergibt sich:

$$U_{out}[nT] = U_{out}[(n-1) \cdot T] + \frac{C_1}{C_2} \cdot (U_{in1}[(n-\frac{1}{2}) \cdot T] - U_{in2}[nT]) \quad (7.28)$$

Diese Zeitverschiebung hat Auswirkungen auf den Frequenzgang; um sie möglichst gering zu halten, sollte die Taktfrequenz f wesentlich größer als die in den Signalen U_{in1} und U_{in2} auftretenden Frequenzen gewählt werden.

7.2.5 Verstärker

In Bild 7.10 ist ein Verstärker in Schalter-Kondensator-Technik dargestellt. Die Kapazität C_2 wird jeweils in der Phase $\bar{\Phi}$ entladen, daher findet hier keine Integration statt. Wenn Q_1 die Ladung auf der Kapazität C_1 darstellt und Q_2 entsprechend auf C_2 , so gilt:

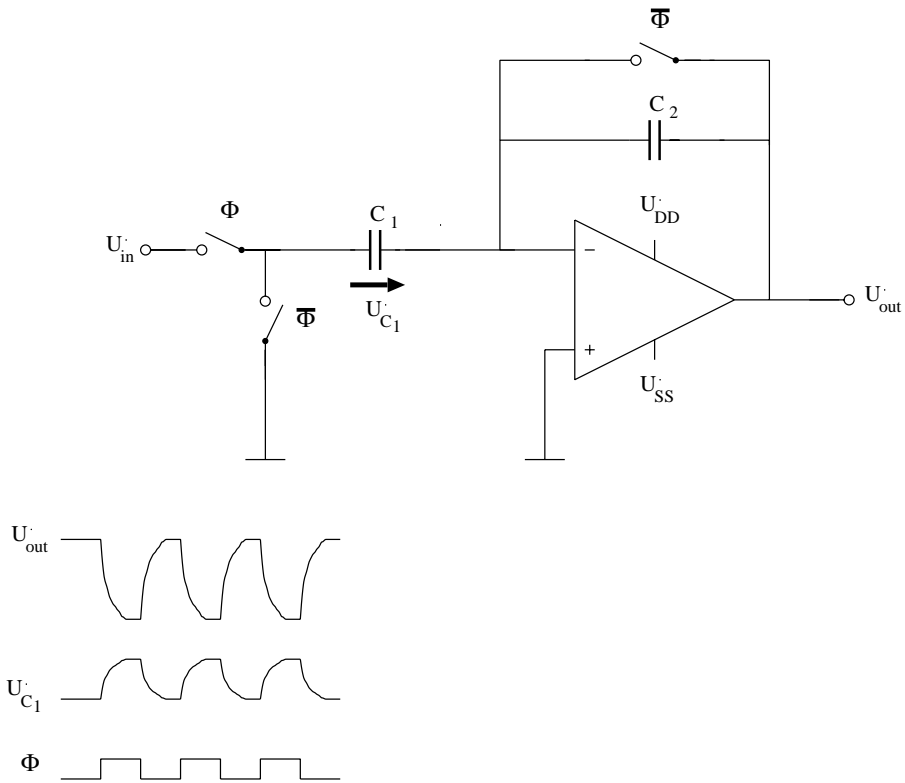


Abbildung 7.10: Verstärker

$$\text{Phase } \Phi : \quad Q_1 = U_{in} \cdot C_1 \quad (7.29)$$

$$Q_2 = U_{out} \cdot C_2 \quad (7.30)$$

$$\text{Phase } \bar{\Phi} : \quad Q_1 = 0 \quad (7.31)$$

$$Q_2 = 0 \quad (7.32)$$

Die gesamte verfügbare Ladung am Knoten N_1 ändert sich nach beiden Schritten nicht (Ladungserhaltung). Daher muß gelten:

$$(Q_1 + Q_2)_\Phi = (Q_1 + Q_2)_{\bar{\Phi}} \quad (7.33)$$

$$\implies U_{in} \cdot C_1 + U_{out} \cdot C_2 = 0 \quad (7.34)$$

$$\implies U_{out} = -\frac{C_1}{C_2} \cdot U_{in} \quad (7.35)$$

Wenn man die Takte der Schalter an C_1 vertauscht (was einem Vertauschen von U_{in} und Masse entspricht), erhält man:

$$\text{Phase } \Phi : \quad Q_1 = 0 \quad (7.36)$$

$$Q_2 = U_{out} \cdot C_2 \quad (7.37)$$

$$\text{Phase } \bar{\Phi} : \quad Q_1 = U_{in} \cdot C_1 \quad (7.38)$$

$$Q_2 = 0 \quad (7.39)$$

$$\implies U_{in} \cdot C_1 = U_{out} \cdot C_2 \quad (7.40)$$

$$\implies U_{out} = \frac{C_1}{C_2} \cdot U_{in} \quad (7.41)$$

d.h. das Vorzeichen kehrt sich in diesem Fall um.

Es ist zu beachten, daß das Ausgangssignal nur in der Phase Φ aktiv ist, d.h. in der weiteren Schaltung liefert dieses Signal nur in dieser Phase einen sinnvollen Wert. Daher muß darauf geachtet werden, daß der Schalter der folgenden Schaltung mit Φ getaktet ist.

7.2.6 Verstärker mit Summen

Die Schaltung des vorhergehenden Abschnitts kann leicht für zwei Eingänge erweitert werden (siehe Bild 7.11).

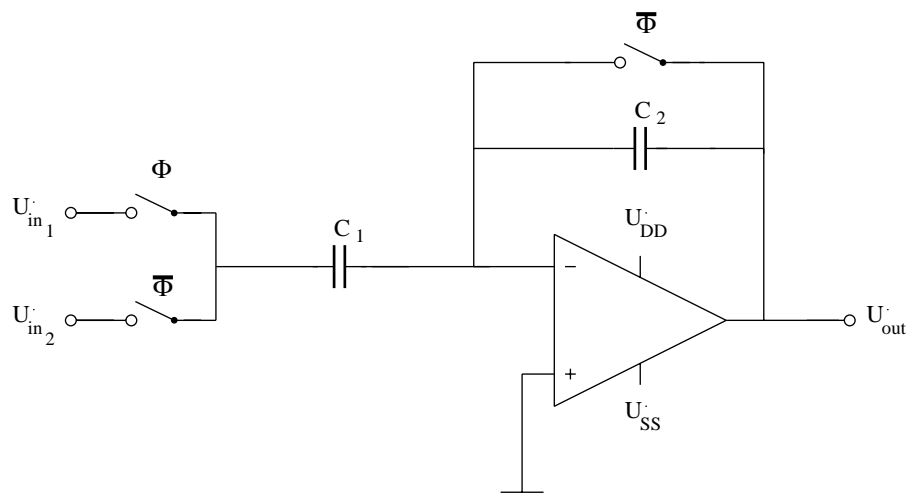


Abbildung 7.11: Verstärker mit Summen

$$\underbrace{U_{in_1} \cdot C_1 + U_{out} \cdot C_2}_{\Phi} = \underbrace{U_{in_2} \cdot C_1}_{\bar{\Phi}} \quad (7.42)$$

$$\implies U_{out} = \frac{C_1}{C_2} \cdot (U_{in_2} - U_{in_1}) \quad (7.43)$$

Entsprechend lassen sich auch vier Spannungen auswerten (siehe Bild 7.12).

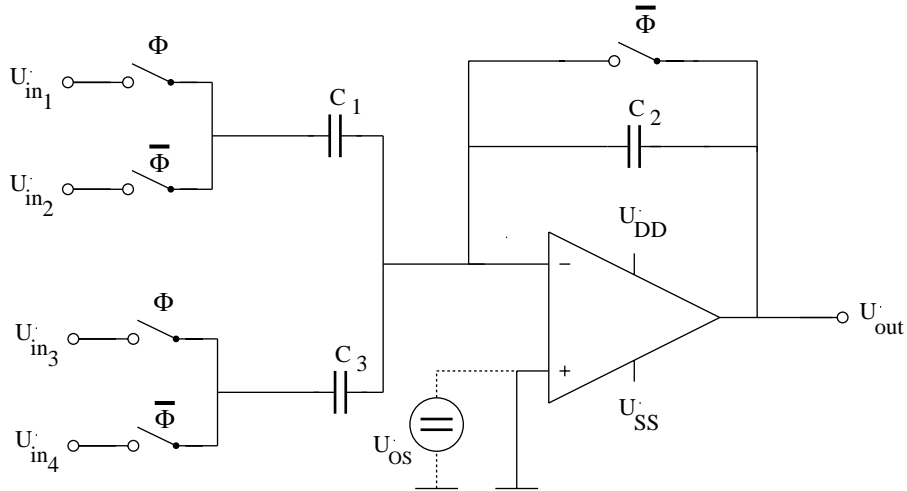


Abbildung 7.12: Vier Eingangsspannungen

$$\underbrace{U_{in1} \cdot C_1 + U_{in3} \cdot C_3 + U_{out} \cdot C_2}_{\Phi} = \underbrace{U_{in2} \cdot C_1 + U_{in4} \cdot C_3}_{\bar{\Phi}} \quad (7.44)$$

$$\Rightarrow U_{out} = \frac{C_1}{C_2} \cdot (U_{in2} - U_{in1}) + \frac{C_3}{C_2} \cdot (U_{in4} - U_{in3}) \quad (7.45)$$

Auf diese Art können beliebige Verknüpfungen von Spannungen realisiert werden. Beispielsweise könnte $U_{in2} = U_{in4} = 0$ gewählt werden und dann mit Hilfe von C_1 und C_3 die gewichtete Summe von U_{in1} und U_{in3} gebildet werden.

7.2.7 Nichtidealitäten

Offset-Spannung

Bei realen Operationsverstärkern ist eine Offset-Spannung vorhanden (in Bild 7.12 gestrichelt eingezeichnet). Wird sie berücksichtigt, wird Gleichung 7.44 zu

$$\underbrace{(U_{in1} - U_{OS}) \cdot C_1 + (U_{in3} - U_{OS}) \cdot C_3 + (U_{out} - U_{OS}) \cdot C_2}_{\Phi} = \underbrace{(U_{in2} - U_{OS}) \cdot C_1 + (U_{in4} - U_{OS}) \cdot C_3}_{\bar{\Phi}} \quad (7.46)$$

$$\Rightarrow U_{out} = \frac{C_1}{C_2} \cdot (U_{in2} - U_{in1}) + \frac{C_3}{C_2} \cdot (U_{in4} - U_{in3}) + U_{OS} \quad (7.47)$$

U_{OS} wird also nicht verstärkt und liegt als konstante Verschiebung am Ausgang. Um diesen Effekt zu vermeiden, ist in Bild 7.13 ein zusätzlicher Schalter eingebaut.

In der Phase $\bar{\Phi}$ wird C_2 hier nicht entladen, sondern auf U_{OS} geladen. Dadurch liegt U_{OS} in beiden Phasen an C_2 und hebt sich weg.

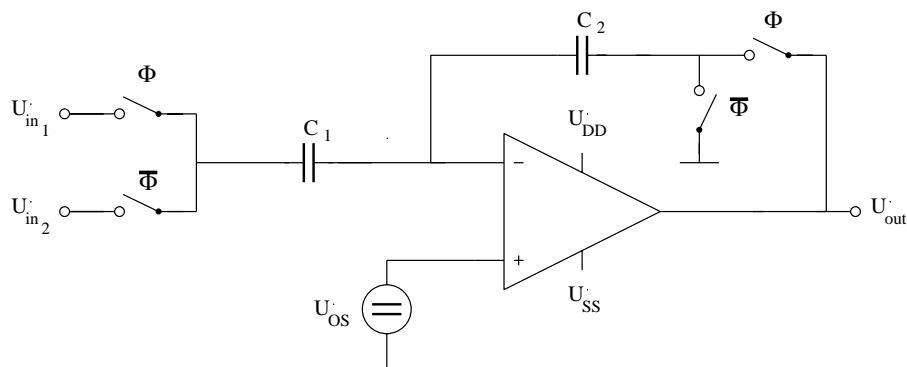


Abbildung 7.13: Eliminierung der Offsetspannung

Clock Feed Through

Die Schalter werden durch Transistoren realisiert; gewöhnlich werden Transmission Gates verwendet, d.h. ein n-Kanal- und ein p-Kanal-Transistor, um beide Signalrichtungen durchzulassen. In Bild 7.14 ist zur einfacheren Betrachtung ein Einzelschalter durch nur einen Transistor realisiert und der Eingangsbereich mit den auftretenden parasitären Kapazitäten dargestellt.

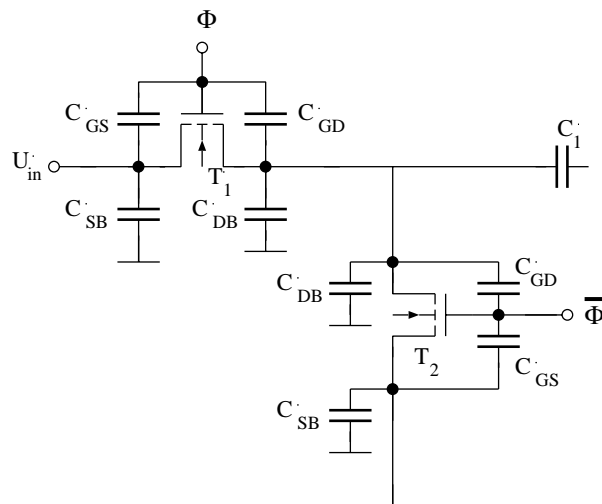


Abbildung 7.14: Transistoren als Einzelschalter

Die Gates liegen auf festen Potentialen und können somit kleinsignalmäßig auf Masse gelegt werden. Deshalb gibt es keine Kapazität im Signalpfad zwischen Source und Drain von T_1 , die sich sonst aus der Reihenschaltung von C_{GS} und C_{GD} ergeben würde.

Beim Einschalten (Phase Φ) wird C_1 über T_1 mit U_{in} verbunden und entsprechend aufgeladen. In der nächsten Phase wird C_1 dann mit Masse kurzgeschlossen. Allerdings ergibt sich auch ein Spannungssprung am Gate von T_1 , der über C_{GD} auch auf C_1 wirkt. Man erhält dadurch eine zusätzliche Ladung auf C_1 , die mit dem Signal nichts zu tun hat. Dieser unerwünschte Effekt wird als Taktthrough (Clock Feed Through) bezeichnet. Um seinen Einfluß möglichst gering zu halten, wird C_1 möglichst groß gewählt.

Kapitel 8

A/D - D/A - Wandler

In diesem Kapitel sollen die für das Zusammenwirken von analogen und digitalen Schaltungen notwendigen Wandler besprochen werden. Bild 8.1 stellt die wichtigsten Anwendungsgebiete von A/D-Wandlern dar. Man erkennt, daß die Anforderungen von schnellen und relativ ungenauen (Bsp. Radar) bis zu langsamen, aber dafür sehr genauen Signalen (Bsp. Meßgeräte) reicht. Entsprechend müssen auch A/D- bzw. D/A-Wandler für verschiedene Funktionen ausgelegt werden.

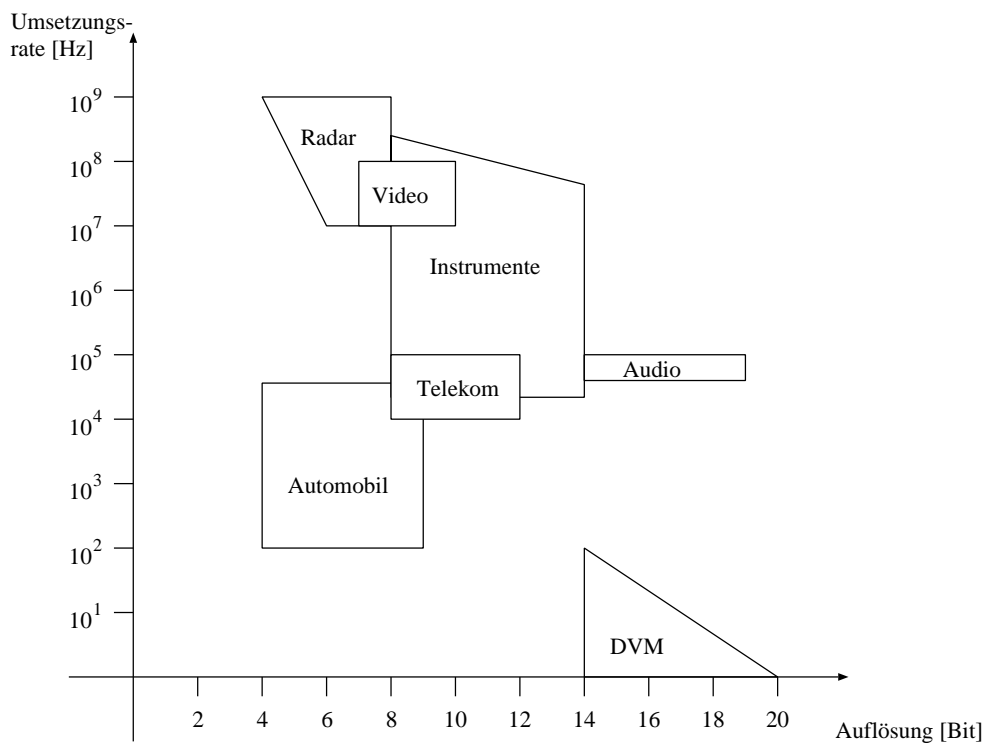


Abbildung 8.1: Anwendungsgebiete von A/D-Wandlern

Bisher wurde dazu die bipolare Technik bevorzugt eingesetzt, da damit eine höhere Genauigkeit erzielt werden kann. Mit bipolaren Transistoren ist außerdem eine höhere Stromverstärkung und damit ein schnelleres Verarbeiten möglich. Schließlich müssen hier geringere Offset-Spannungen ausgeglichen werden. Andererseits können in CMOS-Technologie aufgrund des geringen Platzbedarfs mehr Transistoren auf einem Chip untergebracht werden, wodurch komplexere Verfahren angewendet werden können.

Digitale Signale sind zeit- und wertdiskret. Durch die Abtastung im Zeitbereich wird der Frequenzgang gespiegelt, was bei der D/A-Wandlung einen Tiefpaß erfordert, um höhere Frequenzen herauszufiltern. Auf die zugehörigen Effekte (Aliasing, Sampling, ...) soll hier nicht weiter eingegangen werden.

Die Wertdiskretisierung entsteht dadurch, daß sich durch eine begrenzte Anzahl Bits auch nur eine endliche Wertemenge darstellen läßt. Die Anzahl der Bits, die verwendet werden, um einen Wert darzustellen, entscheidet über die Auflösung und damit über die Genauigkeit.

8.1 D/A-Wandler

8.1.1 Fehler

Im Idealfall stellt ein D/A-Wandler einen linearen Zusammenhang ohne Offset zwischen Ein- und Ausgangsgröße dar. Anhand der Kennlinie eines idealen und eines realen D/A-Wandlers (Bild 8.2) sollen Bezeichnungen für die möglichen Fehler eingeführt werden.

- Offsetspannung: Die Spannung, die am Ausgang des D/A-Wandlers anliegt, obwohl alle Bits auf 0 sind.
- Verstärkungsfehler (Full Scale): Die Abweichung der Spannung am Ausgang des D/A-Wandlers von der Sollspannung bei maximalem Eingangswert.
- differentieller Nichtlinearitätsfehler: Der Abstand zwischen zwei benachbarten Ausgangswerten sollte ebenso groß sein wie am Eingang; dort ist dieser Abstand so groß wie der kleinste darstellbare Wert, d.h. gleich dem Wert, wenn nur das niederwertigste Bit LSB (Least Significant Bit) gesetzt ist. Die Abweichung davon am Ausgang ist der differentielle Nichtlinearitätsfehler:

$$F = (U_{out}(n+1) - U_{out}(n)) - U_{LSB} \quad (8.1)$$

$$\text{mit: } U_{LSB} = \frac{U_{out_{max}}}{2^N} \quad (8.2)$$

- integraler Nichtlinearitätsfehler: Das Maximum des über die ganze Kurve gemessenen Nichtlinearitätsfehlers (Angabe in Bit)
- Nicht monotone Kennlinie: Wenn die Kennlinie nicht monoton steigend ist, heißt das, daß es Stellen in der Kennlinie gibt, an denen größere Eingangswerte zu kleineren Ausgangssignalen führen:

$$U_{out}(n+1) < U_{out}(n) \quad (8.3)$$

Das ist besonders in Regelungen unangenehm.

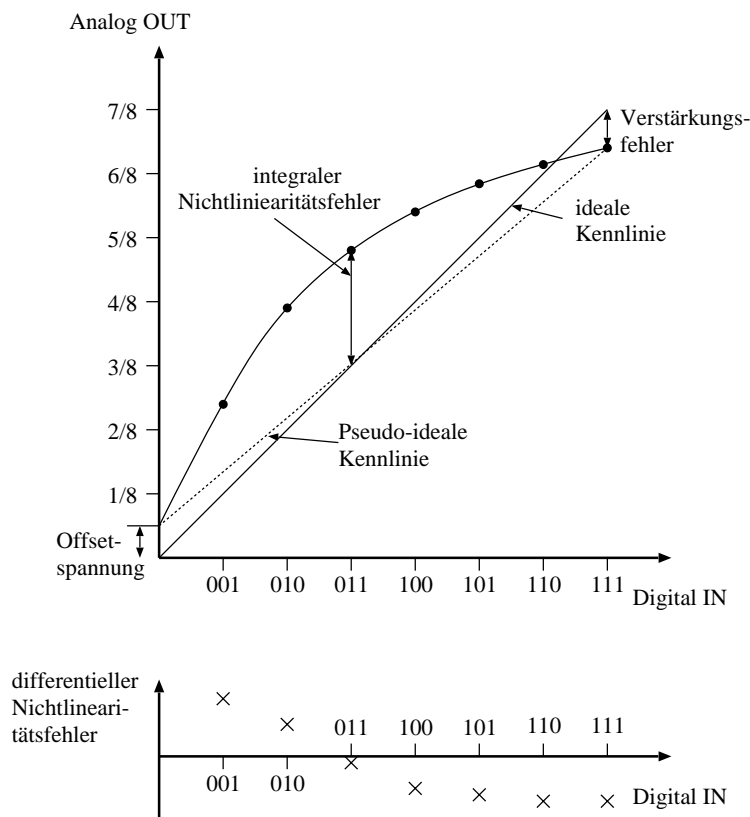


Abbildung 8.2: Kennlinie eines D/A-Wandlers

8.2 Realisierungen

8.2.1 Widerstandskette als Spannungsteiler

Bild 8.3 stellt einen als Spannungsteiler ausgeführten 3-Bit-D/A-Wandler dar. Die Widerstände haben alle den Wert R . A ist das LSB, C das MSB (Most Significant Bit). Die kleinste Einheit ergibt sich zu

$$1 \text{ LSB} = \frac{U_{Ref}}{2^N} = \frac{U_{Ref}}{8} \quad (8.4)$$

Die größte abgreifbare Spannung ist

$$U_{Ref} - 1 \text{ LSB} = \frac{7}{8} U_{Ref} \quad (8.5)$$

Der Buffer am Ausgang ist nötig, um Strom liefern zu können, ohne das Ergebnis zu verfälschen.

Ungenauere Widerstände führen zu Krümmung der Kennlinie, aber sie ist zwangsläufig monoton. Allerdings ist sie sehr aufwendig, da 2^N Widerstände und entsprechend viele Schalter benötigt werden. Hinzu kommt, daß durch die Reihenschaltung der Schalter (realisiert mit Transistoren) der Gesamtwiderstand in kritische

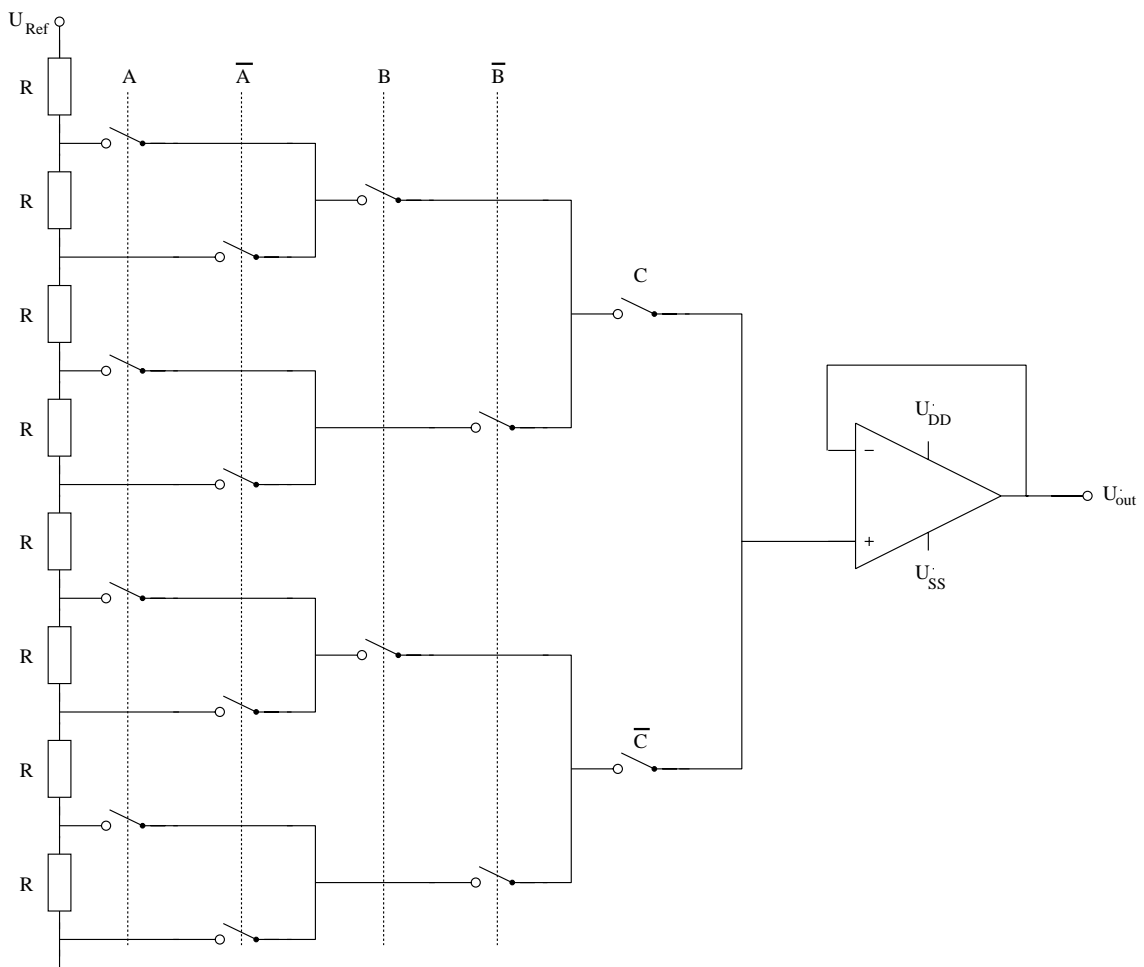


Abbildung 8.3: Spannungsteiler als D/A-Wandler

(d.h. ergebnisbeeinflussende) Größenordnungen kommen kann; außerdem bedeutet jeder dieser Schalter auch eine Zeitverzögerung. Die beiden letztgenannten Nachteile können vermieden werden, wenn das binäre Signal vorher von einem Dekodierer verarbeitet wird, der dann den entsprechenden Schalter einzeln schließt.

8.2.2 Stromteiler

Bild 8.4 zeigt eine andere Art, einen D/A-Wandler zu realisieren. Im folgenden werden die Zweige mit $k = 0 \dots (N - 1)$ numeriert. Wenn der k -te Schalter geschlossen ist (d.h. den Widerstand mit $-U_{Ref}$ verbindet), fließt durch den entsprechenden Widerstand der Strom:

$$I_k = -\frac{-U_{Ref}}{2^{N-1-k} \cdot R} \quad (8.6)$$

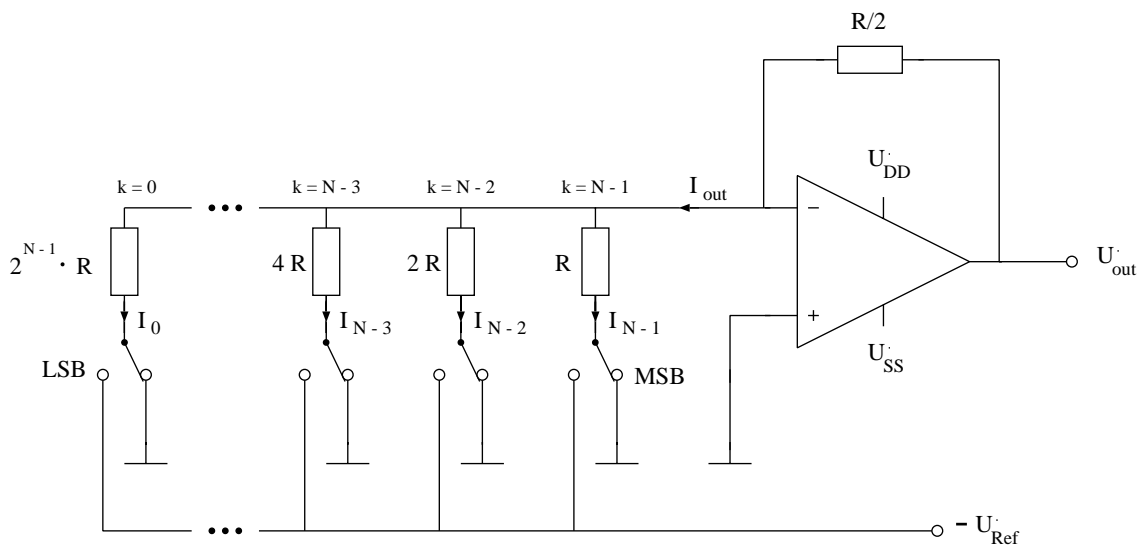


Abbildung 8.4: Stromteiler als D/A-Wandler

Er fließt durch den Widerstand $\frac{R}{2}$ am Ausgang und bewirkt dort eine Spannung

$$U_{out_k} = \frac{U_{Ref}}{2^{N-1-k} \cdot R} \cdot \frac{R}{2} \quad (8.7)$$

$$= \frac{U_{Ref}}{2^{N-k}} \quad (8.8)$$

Alle Ströme addieren sich im Widerstand $\frac{R}{2}$ und führen, wenn alle Schalter geschlossen sind, zu einer Ausgangsspannung

$$U_{out_{max}} = \frac{U_{Ref}}{R} \cdot \frac{R}{2} + \frac{U_{Ref}}{2 \cdot R} \cdot \frac{R}{2} + \frac{U_{Ref}}{4 \cdot R} \cdot \frac{R}{2} + \dots + \frac{U_{Ref}}{2^{(N-1)} \cdot R} \cdot \frac{R}{2} \quad (8.9)$$

$$= \frac{U_{Ref}}{2} \cdot \left(1 + \frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{(N-1)}}\right) \quad (8.10)$$

$$= \frac{2^N - 1}{2^N} \cdot U_{Ref} \quad (8.11)$$

$$= U_{Ref} - 1LSB \quad (8.12)$$

Durch Öffnen bzw. Schließen der Schalter gemäß dem digitalen Eingangssignal wird die entsprechende Ausgangsspannung erzeugt. Um die technologischen Ungenauigkeiten gering zu halten, werden auch hier die Widerstände aus der Reihenschaltung von Einheitswiderständen der Größe $\frac{R}{2}$ (wegen $\frac{R}{2}$ im Rückkopplungspfad) aufgebaut. Daher ergibt sich die Anzahl der benötigten Widerstände zu:

$$\text{Anzahl der Widerstände} = 1 + 2 + 4 + \dots + 2^N \quad (8.13)$$

$$= 2^{N+1} - 1 \quad (8.14)$$

Bei Ungenauigkeiten der Widerstände kann es dazu kommen, daß die Kennlinie nicht monoton ist. Beispielsweise könnte gelten:

$$R + 2R + 4R + \Sigma \text{Fehler} > 8R + \text{Fehler} \quad (8.15)$$

$$\implies f(0111) > f(1000) \quad (8.16)$$

8.2.3 R2R-Netzwerk

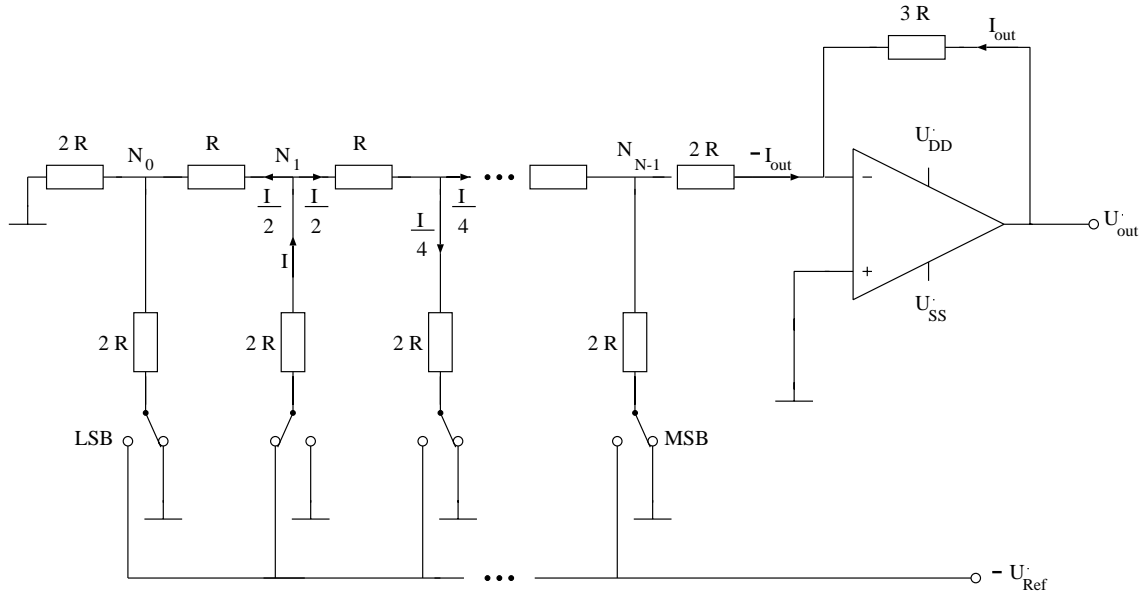


Abbildung 8.5: R2R-Netzwerk

Bild 8.5 stellt eine weitere mögliche Realisierung dar. Zum Verständnis betrachte man zunächst den Fall, daß alle Schalter auf Masse liegen. Der Knoten N_0 "sieht" dann nach unten und nach links die Parallelschaltung von jeweils $2 \cdot R$, also R . Daher "sieht" N_1 nach links die Reihenschaltung von R und R , also $2 \cdot R$. Nach unten und nach links sieht er dann ebenfalls die Parallelschaltung von jeweils $2 \cdot R$ usw. Nach rechts verhält sich die Schaltung wegen der virtuellen Masse am Verstärkereingang genauso. Jeder Knoten sieht also nach links, nach rechts und nach unten immer $2 \cdot R$.

Wenn ein Schalter k nach U_{Ref} umgelegt wird, fließt durch diesen Zweig der Strom

$$I = \frac{-U_{Ref}}{2 \cdot R + (2 \cdot R || 2 \cdot R)} \quad (8.17)$$

$$= \frac{-U_{Ref}}{3 \cdot R} \quad (8.18)$$

Dieser Strom ist in jedem Zweig gleich. Am Knoten teilt sich dieser Strom in zwei gleiche Teile auf. Der Anteil, der nach rechts fließt, teilt sich am nächsten Knoten wieder in zwei gleiche Teile usw. Am Operationsverstärker ist der entsprechende Anteil

$$-I_{out_k} = \frac{I}{2^{N-k}} \quad (8.19)$$

Dieser Strom fließt durch den Widerstand $3 \cdot R$ und erzeugt so die Spannung:

$$U_{out_k} = I_{out_k} \cdot 3 \cdot R \quad (8.20)$$

$$= -\frac{I}{2^{N-k}} \cdot 3 \cdot R \quad (8.21)$$

$$= -\frac{-U_{Ref}}{\frac{3 \cdot R}{2^{N-k}}} \cdot 3 \cdot R \quad (8.22)$$

$$= \frac{U_{Ref}}{2^{N-k}} \quad (8.23)$$

Die Zahl der benötigten Widerstände ist hier proportional N (ungefähr $3 \cdot N \cdot R$) und damit erheblich geringer als in den bisherigen Realisierungen.

Die Schalter werden auch hier durch MOS-Transistoren realisiert. Da sich der Transistorwiderstand zu dem Widerstand $2R$ addiert, muß er sehr gering sein; im kritischsten Fall um ca. $\frac{1}{2^N}$ kleiner als R . Das erfordert sehr breite Transistoren, was eine große Fläche bedeutet.

Hinzu kommt, daß der Schalterwiderstand abhängig von der anliegenden Spannung und damit von der Schalterstellung ist, da die Source entweder an Masse oder an U_{Ref} liegt; dieser Effekt wird beim inversen R2R-Netzwerk vermieden.

8.2.4 Inverses R2R-Netzwerk

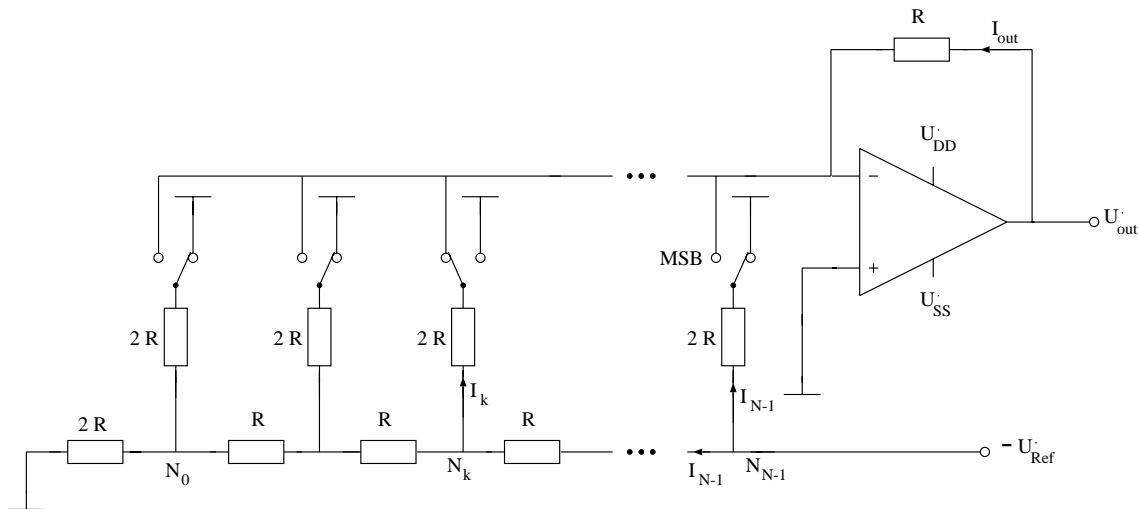


Abbildung 8.6: Inverses R2R-Netzwerk

Das inverse R2R-Netzwerk (siehe Bild 8.6) beruht auf dem gleichen Prinzip wie das normale R2R-Netzwerk: Auch hier sieht jeder Knoten N_k den Widerstand $2 \cdot R$, auch hier überlagern sich die Teilströme am Ausgang, gewichtet durch die Zahl der Aufspaltungen.

Wird der Schalter ganz rechts (MSB, der $(N - 1)$ -te Schalter) geschlossen, so fließt durch den entsprechenden Widerstand der Strom

$$I_{N-1} = \frac{-U_{Ref}}{2 \cdot R} \quad (8.24)$$

Er erzeugt dann am Ausgang eine Spannung

$$U_{out_{N-1}} = -I_{N-1} \cdot R = -\frac{-U_{Ref}}{2 \cdot R} \cdot R = \frac{U_{Ref}}{2} \quad (8.25)$$

Vom Knoten $N - 1$ fließt nach links ebenfalls der Strom I_{N-1} , da nach links auch der Widerstand $2R$ vorliegt. Der Strom halbiert sich von rechts nach links hinter jedem Widerstand R , da von jedem Knoten aus nach links und nach oben $2 \cdot R$, also der gleiche Widerstand, vorliegen. Entsprechend fließt durch den k -ten Schalter der Strom

$$I_k = \frac{I_{N-1}}{2^{N-1-k}} \quad (8.26)$$

$$\implies U_{out_k} = -I_k \cdot R = -\frac{I_{N-1}}{2^{N-1-k}} \cdot R \quad (8.27)$$

$$\text{mit } I_{N-1} = -\frac{U_{Ref}}{2 \cdot R} : \quad = \frac{U_{Ref}}{2^{N-k}} \quad (8.28)$$

8.2.5 Realisierung mit Stromquellen

Die Tatsache, daß durch Transistoren kein idealer Schalter realisierbar ist, weil eine Spannung $U_{DS} > 0$ auch im geöffneten Zustand anliegt, verfälscht in den vorherigen Schaltungen das Ergebnis. Die Ströme können aber auch direkt eingebaut werden, wie in Bild 8.7 dargestellt.

Am Ausgang ergibt sich

$$U_{out} = \sum_{k=0}^{N-1} (b_k \cdot I_0) \cdot R \quad (8.29)$$

$$\text{mit: } b_k = \{0, 2^k\} \quad (8.30)$$

Die Stromquellen können als Stromspiegel aus Einheitstransistoren sehr genau hergestellt werden. Der kleinste Strom I_0 darf aber nicht zu klein werden, damit der Einfluß des Rauschens nicht zu hoch wird. Das kann zu großen Maximalströmen $2^{N-1} \cdot I_0$ führen, was wiederum eine große Verlustleistung bedeutet.

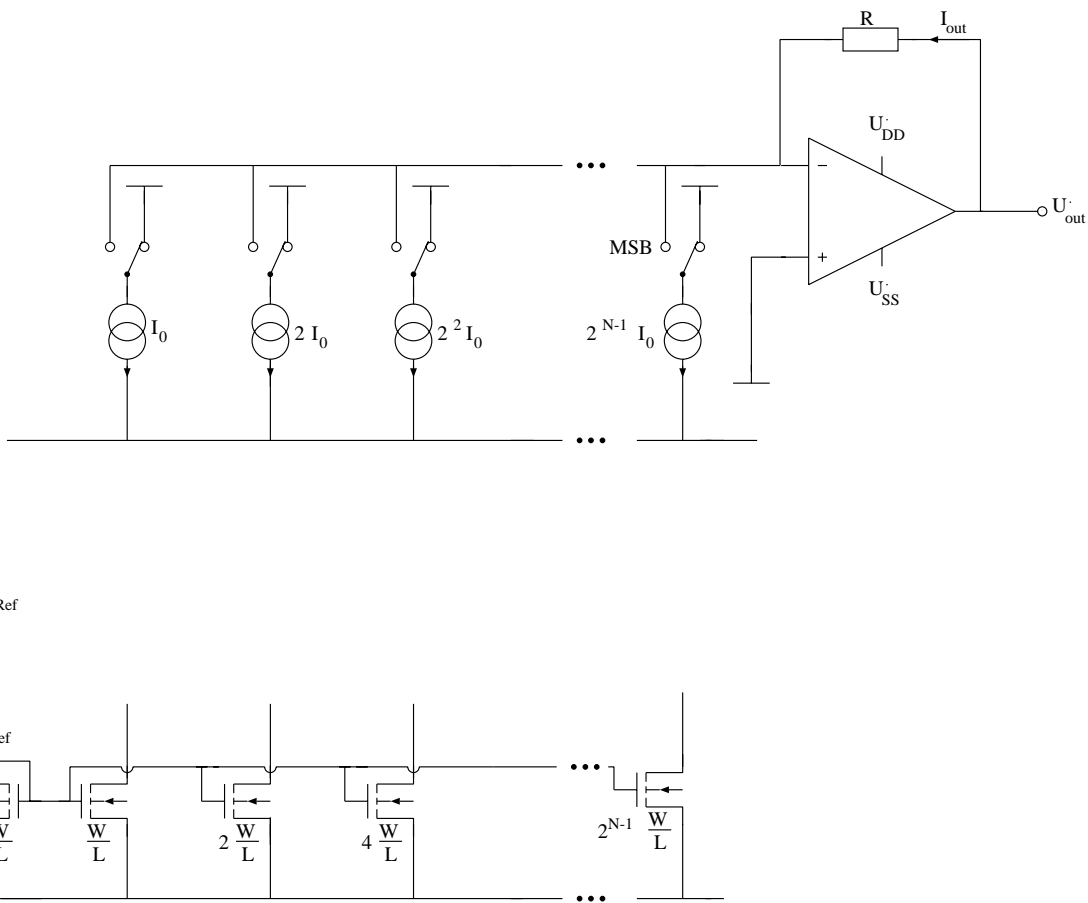


Abbildung 8.7: Netzwerk mit Stromquellen

8.2.6 Verwendung von Kapazitäten

Um diese hohe Verlustleistung zu vermeiden, wird in Bild 8.8 wiederum auf Kapazitäten zurückgegriffen. Während die bisherigen Varianten auch in bipolarer Technik verwendet werden, handelt es sich hier um eine MOS-spezifische Schaltung.

Die parallel liegenden Kapazitäten addieren sich zu:

$$C_{gesamt} = \sum_{k=0}^{N-1} 2^k \cdot \frac{C}{2^{N-1}} + \frac{C}{2^{N-1}} \quad (8.31)$$

$$= 2 \cdot C \quad (8.32)$$

In Phase 1 wird ein Reset durchgeführt, d.h. alle Schalter - auch der obere Schalter S - werden auf Masse gelegt, so daß sich die Kapazitäten entladen. In Phase 2 wird S geöffnet und die unteren Schalter entsprechend dem zu dekodierenden Wert geschlossen. Die Kapazitäten, deren Schalter geschlossen werden, addieren sich zu C_{ges} :

$$C_1 = \sum_{k=0}^{N-1} (b_k \cdot \frac{C}{2^{N-1}}) \quad \text{mit: } b_k = \{0, 2^k\} \quad (8.33)$$

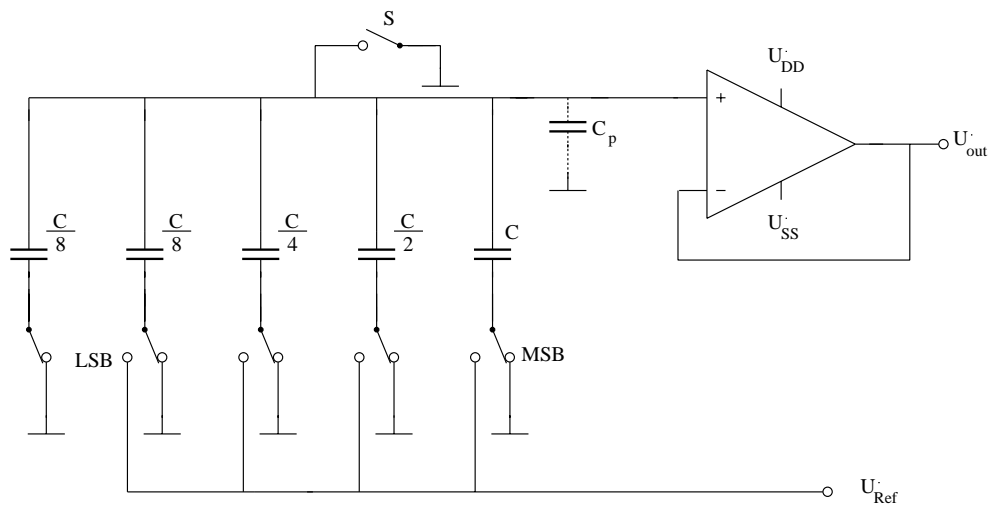


Abbildung 8.8: D/A-Wandler mit Kapazitäten (4 Bit)

Damit ergibt sich eine Anordnung nach Bild 8.9:

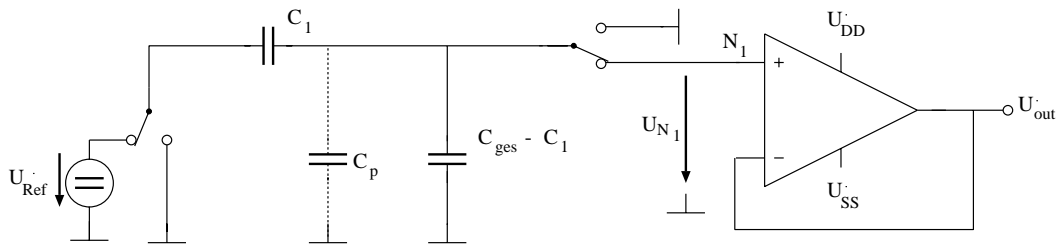


Abbildung 8.9: Ersatzschaltbild

Unter Vernachlässigung von C_p ergibt sich für die Ladung auf den Kapazitäten:

$$Q = U_{Ref} \cdot \frac{C_1 \cdot (C_{ges} - C_1)}{C_1 + C_{ges} - C_1} \quad (8.34)$$

$$= U_{Ref} \cdot \frac{C_1 \cdot (C_{ges} - C_1)}{C_{ges}} \quad (8.35)$$

$$\Rightarrow U_{N_1} = \frac{Q}{C_{ges} - C_1} \quad (8.36)$$

$$= \frac{-U_{Ref} \cdot \frac{C_1 \cdot (C_{ges} - C_1)}{C_{ges}}}{C_{ges} - C_1} \quad (8.37)$$

$$= U_{Ref} \cdot \frac{C_1}{C_{ges}} \quad (8.38)$$

$$= \frac{\sum_{k=0}^{N-1} (b_k)}{2^N} \cdot U_{Ref} \quad (8.39)$$

Je größer C_1 wird, desto kleiner wird $C_{ges} - C_1$, im Extremfall zu $\frac{C}{2^{N-1}}$. Dann macht sich der Einfluß der parasitären Kapazität C_p bemerkbar.

Auch hier werden wieder die Kapazitäten aus Einheitskondensatoren aufgebaut, um die Randeefekte proportional zur Größe zu halten. Die kleinste Kapazität ist $\frac{C}{2^{N-1}}$, sie gibt die Größe der Einheitskapazität vor. Man benötigt daher

$$\text{Anzahl Einheitskondensatoren} = \sum_{k=0}^{N-1} 2^k + 1 \quad (8.40)$$

$$= 2^N \quad (8.41)$$

Kapazitäten. Daher wird statt dieser Schaltung die Schaltung in Bild 8.10 (Version für 8 Bits) verwendet.

8.2.7 Realisierung mit weniger Kapazitäten

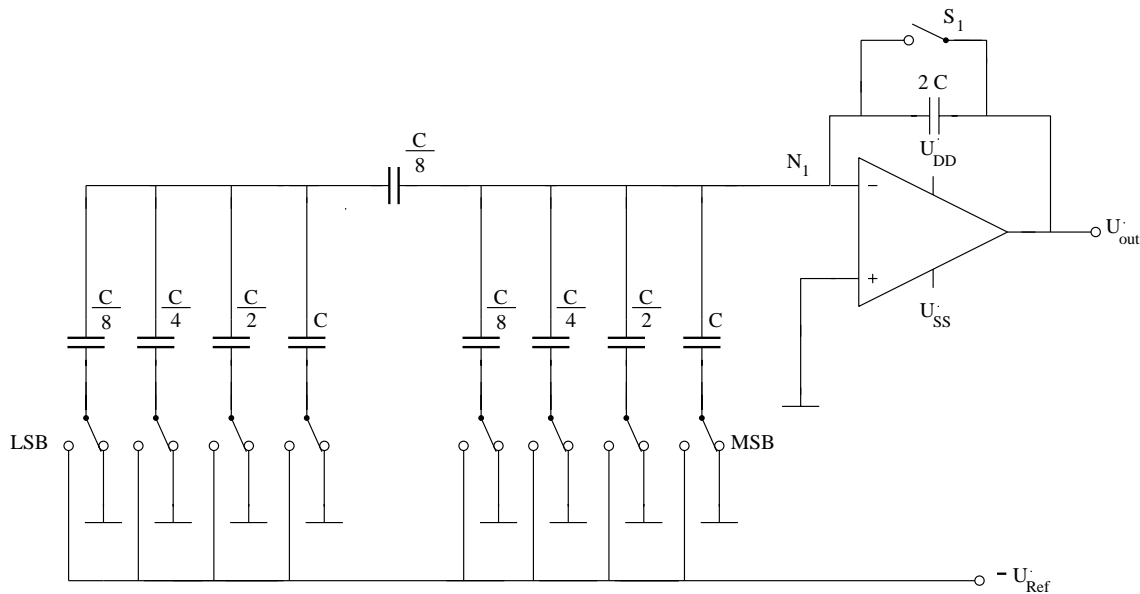


Abbildung 8.10: Version mit weniger Kapazitäten (8 Bit)

Auf der rechten Seite liegen vier höherwertige Bits (MSB), links vier niederwertige (LSB).

In der ersten Phase wird wieder ein Reset durchgeführt, d.h. S_1 wird geschlossen und die anderen Schalter liegen auf Masse, so daß sich alle Kapazitäten entladen. In der zweiten Phase werden die Schalter entsprechend der Bitkombination umgelegt, während S_1 geschlossen bleibt. Sie bewirken, daß über S_1 auf den Knoten N_1 eine entsprechende Ladung fließt.

Wird beispielsweise auf der rechten Seite ein Schalter mit der Kapazität $\alpha \cdot C$ mit $\alpha \in \{\frac{1}{8}, \frac{1}{4}, \frac{1}{2}, 1\}$ auf *Eins* gesetzt, lädt sich der entsprechende Kondensator auf der Seite von N_1 in der Ladephase auf $Q = U_{Ref} \cdot \alpha \cdot C$ auf.

Wird ein Schalter auf der linken Seite der Kapazität $\alpha \cdot C$ mit $\alpha \in \{\frac{1}{8}, \frac{1}{4}, \frac{1}{2}, 1\}$ umgelegt, so ergibt sich eine Situation wie in Bild 8.11.

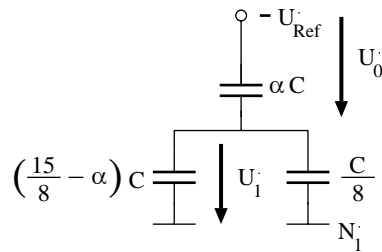


Abbildung 8.11: Ersatzschaltbild für eine Kapazität der linken Seite

Entscheidend für die Ladung am Knoten N_1 ist die Spannung U_1 an der Kapazität $\frac{C}{8}$. Für sie gilt:

$$U_0 + U_1 = -U_{Ref} \quad (8.42)$$

$$U_0 \cdot \alpha \cdot C = U_1 \cdot (2 - \alpha) \cdot C \quad (8.43)$$

$$\Rightarrow U_1 = -\frac{\alpha}{2} \cdot U_{Ref} \quad (8.44)$$

Dies führt am Knoten N_1 zur Ladung $\frac{C}{8} \cdot \frac{\alpha}{2} \cdot U_{Ref}$, also um den Faktor $\frac{1}{16}$ niedriger als auf der rechten Seite.

In der dritten Phase (Auswertephase) wird S_1 geschlossen und die anderen Schalter auf Masse gelegt. Die vorher auf die Kapazitäten geflossene Ladung fließt jetzt auf $2C$ und bewirkt eine entsprechende Ausgangsspannung.

Die kleinste vorkommende Kapazität ist $\frac{C}{8}$; sie gibt die Größe der Einheitskapazität (EK) vor. Ihre Anzahl berechnet sich hier zu:

$$\underbrace{15 EK}_{links} + \underbrace{15 EK}_{rechts} + \underbrace{1 EK}_{\frac{C}{8}} + \underbrace{16 EK}_{2 \cdot C} = 47 EK \quad (8.45)$$

$$\ll 2^N = 128 \quad (8.46)$$

Ein weiterer Vorteil ist, daß die parasitäre Eingangskapazität des Verstärkers keinen Einfluß hat, da sie zwischen Masse und virtueller Masse liegt.

8.3 Serielle D/A-Umsetzer

Die bisher behandelten Umsetzer arbeiten parallel, jedes Bit steuert einen eigenen Schalter. In diesem Abschnitt werden serielle Verfahren vorgestellt.

In Bild 8.12 wird $C_1 = C_2$ angenommen. Die Schalter werden nach einem Algorithmus geschaltet, der durch die Bitfolge gesteuert wird. Dabei werden für jedes Bit zwei Takte durchlaufen. Im ersten Takt werden die Schalter S_1 und S_3 entsprechend dem Wert des Bits geschaltet, im zweiten Takt wird immer S_2 geschlossen und S_1 und S_3 geöffnet. Im weiteren bedeutet $S_i = 1$, daß der entsprechende Schalter geschlossen ist, $S_i = 0$, daß er offen ist. Die folgenden Tabellen zeigen für die beiden niederwertigsten Bits den Ablauf. Q_1 und Q_2 bezeichnen die Ladungen auf den entsprechenden Kapazitäten.

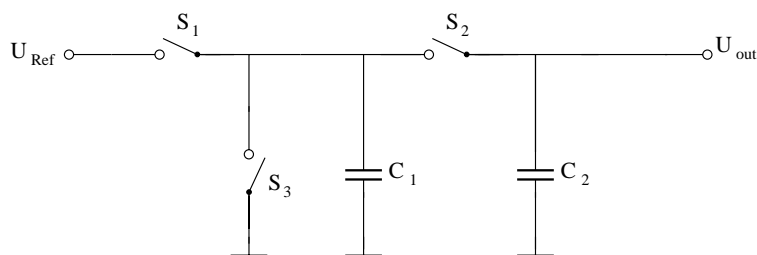


Abbildung 8.12: Serieller D/A-Umsetzer

Bit 0:

Bitfolge	Zeit	S_1	S_2	S_3	Q_1, Q_2, U_{out}
Reset	Takt 0	0	1	1	$U_{out} = 0, Q_1 = Q_2 = 0$
$b_0 = 0$:	Takt 1	0	0	1	$Q_1 = Q_2 = 0, U_{out} = 0$
	Takt 2	0	1	0	$Q_1 = Q_2 = 0$
$b_0 = 1$:	Takt 1	1	0	0	$Q_1 = C_1 \cdot U_{Ref}, Q_2 = 0$
	Takt 2	0	1	0	$Q_1 = Q_2 = \frac{C_1 \cdot U_{Ref}}{2}$ $\implies U_{out} = \frac{U_{Ref}}{2}$

Falls das erste Bit gesetzt ist ($b_0 = 1$), bleibt auf der Kapazität C_2 die Ladung $\frac{C_1 \cdot U_{Ref}}{2}$ gespeichert. Dieser Fall soll jetzt angenommen werden, um die Gewichtung gegenüber dem zweiten Bit deutlich zu machen. Für das zweite Bit ergibt sich entsprechend:

Bit 1:

Bitfolge	Zeit	S_1	S_2	S_3	Q_1, Q_2, U_{out}
$b_1 = 0$:	Takt 1	0	0	1	$Q_1 = 0, Q_2 = \frac{C_1 \cdot U_{Ref}}{2}, U_{out} = \frac{U_{Ref}}{2}$
	Takt 2	0	1	0	$Q_2 = Q_1 = \frac{1}{2} \cdot (0 + \frac{1}{2}) \cdot C_1 \cdot U_{Ref}$ $\implies U_{out} = \frac{1}{4} \cdot U_{Ref}$
$b_1 = 1$:	Takt 1	1	0	0	$Q_1 = C_1 \cdot U_{Ref}, Q_2 = \frac{C_1 \cdot U_{Ref}}{2}, U_{out} = \frac{U_{Ref}}{2}$
	Takt 2	0	1	0	$Q_2 = Q_1 = \frac{1}{2} \cdot (1 + \frac{1}{2}) \cdot C_1 \cdot U_{Ref}$ $\implies U_{out} = \frac{3}{4} \cdot U_{Ref}$

Bei jedem Schritt (bestehend aus zwei Takten) halbiert sich zunächst der bisherige Wert der Ausgangsspannung; je nachdem, ob das nächste Bit 1 oder 0 ist, wird $\frac{U_{Ref}}{2}$ addiert oder nicht. Die Gewichtung der Bits erfolgt hier also durch die Zahl der folgenden Divisionen. Für N Bits werden N Durchläufe mit jeweils zwei Takten benötigt.

Bild 8.13 zeigt ein Blockschaltbild des Umsetzers. Dabei stellt der z^{-1} -Block ein Sample-and-Hold-Glied dar.

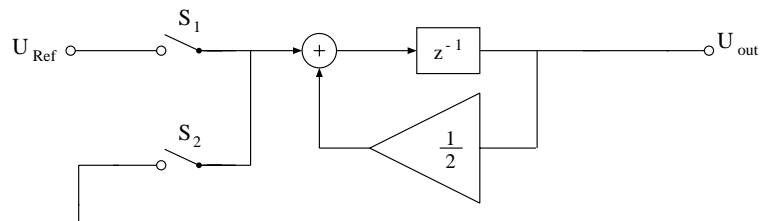


Abbildung 8.13: Rekursiver Umsetzer

Als Vier-Bit-Umsetzer (4 Schritte) würde diese Schaltung für einen Binärwert 1101 die Ausgangsspannung

$$\left(\left(\left(U_{Ref} \cdot \frac{1}{2} + 0 \right) \cdot \frac{1}{2} + U_{Ref} \right) \cdot \frac{1}{2} + U_{Ref} \right) \cdot \frac{1}{2} = \frac{13}{16} \cdot U_{Ref} \quad (8.47)$$

liefern.

8.3.1 Pipeline

Bild 8.14 stellt eine Schaltung für obigen Algorithmus dar. Dabei stellen die z^{-1} -Blöcke Sample-and-Hold-Glieder dar.

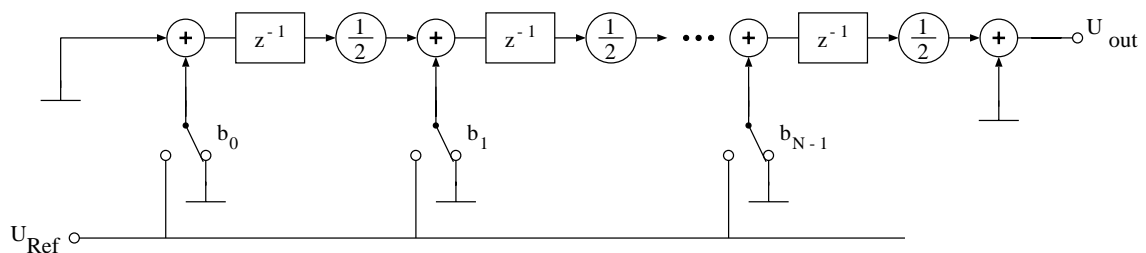


Abbildung 8.14: Pipelining

Diese Schaltung ist größer als die Version in Bild 8.13, hat aber den Vorteil, daß Pipelining angewendet werden kann:

Wenn das LSB des ersten Wortes verarbeitet ist, wird der erste Teil der Schaltung nicht mehr benötigt und das LSB des nächsten Wortes kann schon verarbeitet werden. Auf diese Art erreicht man im Idealfall einen Durchsatz von $1 \frac{\text{Wort}}{\text{Takt}}$ (man unterscheidet zwischen der Latenzzeit, die angibt, wie lange es dauert, bis das erste Wort verarbeitet ist, und dem Durchsatz, der die Zeit zwischen zwei Ergebnissen bei voller Auslastung beschreibt).

8.4 A/D-Wandler

8.4.1 Paralleler A/D-Umsetzer

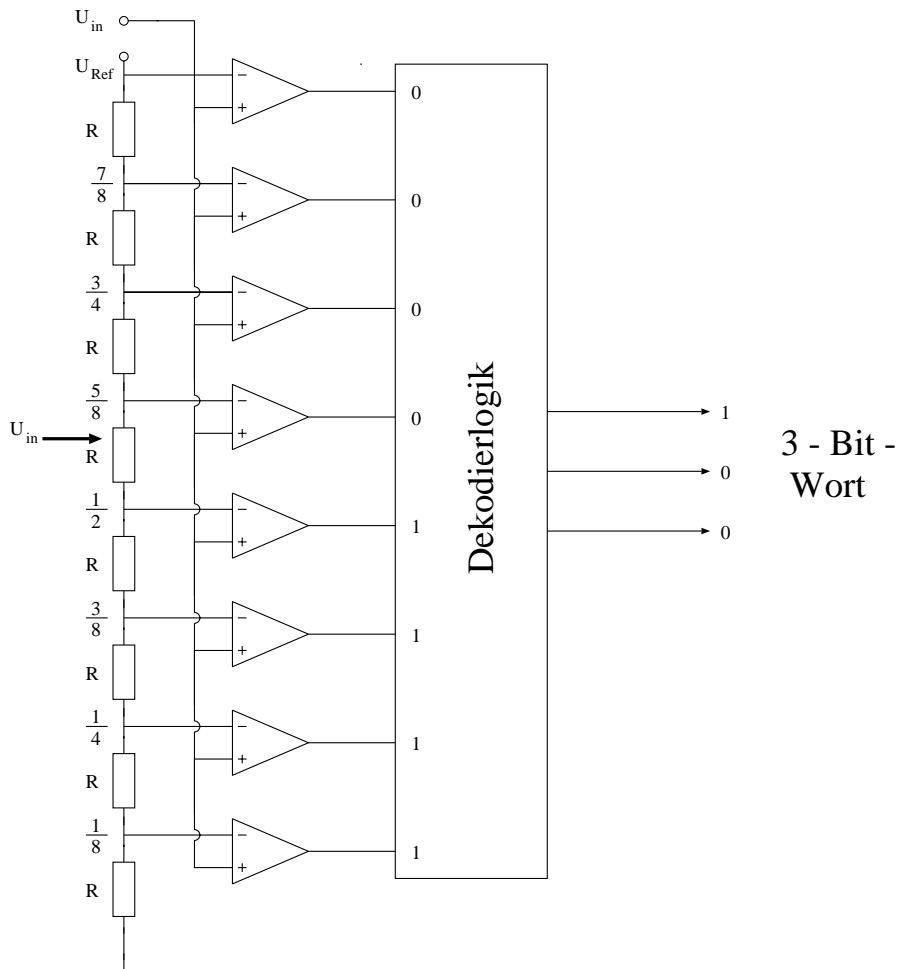


Abbildung 8.15: Paralleler A/D-Umsetzer

Bild 8.15 zeigt eine Variante eines A/D-Umsetzers für 3 Bit. Die gleichen Widerstände bilden einen Spannungsteiler; in den Komparatoren wird die Eingangsspannung U_{in} mit der Spannung am jeweiligen Widerstand verglichen. Der Komparator liefert eine "1", wenn die Eingangsspannung größer ist, ansonsten eine "0" (auf den Aufbau eines Komparators wird noch eingegangen). In Bild 8.15 wird eine Eingangsspannung mit $\frac{1}{2} \cdot U_{Ref} < U_{in} < \frac{5}{8} \cdot U_{Ref}$ angenommen. Entsprechend liefern die unteren 4 Komparatoren eine "1", die oberen eine "0". Das wird von der Dekodierlogik in das Ergebnis "1 0 0" umgesetzt.

Das Ergebnis des obersten Komparators wird von der Dekodierlogik nicht berücksichtigt, da mit einem 3-Bit-Wort nur die Zahlen 0 - 7 dargestellt werden können. Dieser Komparator stellt quasi einen Overflow dar; eine "1" an seinem Ausgang bedeutet, daß das Eingangssignal $U_{in} > U_{Ref}$ ist.

Der Spannungsteiler auf der linken Seite stellt auch einen D/A-Wandler wie in Bild 8.3 dar. Durch Abgreifen der Spannung am entsprechenden Widerstand kann das gewünschte analoge Signal erzeugt werden. Das ist in Schaltungen von Bedeutung, in denen sowohl ein A/D- als auch ein D/A-Wandler benötigt werden (siehe z.B. Abschnitt 8.4.2).

Diese Schaltung ist sehr schnell, da in jedem Takt ein Wert kodiert werden kann. Allerdings ist auch der Aufwand hoch: Für ein N -Bit-Wort werden 2^N Widerstände und Komparatoren benötigt. Hinzu kommt, daß mit steigendem N die Genauigkeit und damit der Aufwand der Komparatoren anwachsen muß, weil die Spannungsdifferenzen kleiner werden.

8.4.2 2-stufiger Parallelumsetzer

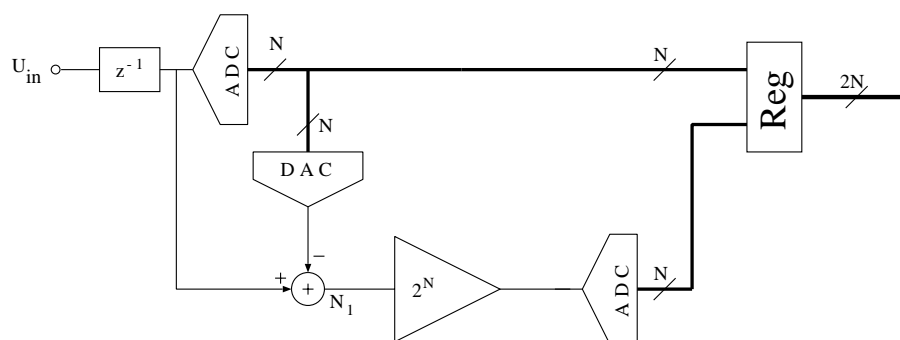


Abbildung 8.16: 2-stufiger Parallelumsetzer

In Bild 8.16 ist der Umsetzvorgang in zwei Teile aufgespalten. Zunächst werden die N höherwertigen Bits im ersten A/D-Wandler (Analog Digital Converter, ADC) ermittelt. Das Ausgangssignal wird über den DAC in ein analoges Signal zurückgewandelt, das von der Eingangsspannung abgezogen wird. Auf diese Weise erhält man am Knoten N_1 den "Fehler" der ersten Umsetzung. Dieses Differenzsignal wird mit 2^N verstärkt, so daß wieder ein Signal von der Größenordnung des Eingangssignals vorliegt. Daher genügt es, wenn der zweite ADC die gleiche Genauigkeit aufweist wie der erste. Er ermittelt die niederwertigen N Bits, die im Register *REG* an die höherwertigen Bits angehängt werden. Auf diese Weise erhält man eine Umsetzung der Genauigkeit 2^{2N} , obwohl beide ADC nur mit einer Genauigkeit von 2^N arbeiten.

Wenn der ADC wie in Bild 8.15 aufgebaut ist, kann der Spannungsteiler als DAC verwendet werden, denn das gesuchte Signal liegt an dem entsprechenden Widerstand vor.

Die Schaltung kann auch rekursiv betrieben werden, in dem der gleiche ADC zweimal verwendet wird. Eine Umsetzung benötigt dann zwei Takte. Andererseits kann auch mit Pipelining gearbeitet werden.

Um mit dieser Schaltung einen N -Bit-A/D-Wandler zu realisieren, werden zwei $\frac{N}{2}$ -Bit-A/D-Wandler und ein DAC benötigt. Der DAC stellt keinen zusätzlichen Aufwand an Widerständen und Komparatoren dar, es ist lediglich eine Schaltermatrix nötig. Es werden daher

$$2 \cdot \left(2^{\frac{N}{2}}\right) = 2^{\frac{N}{2}+1} \quad (8.48)$$

Widerstände und Komparatoren gebraucht, was eine erhebliche Reduzierung des Aufwands gegenüber Bild 8.15 bedeutet.

8.4.3 Zählverfahren

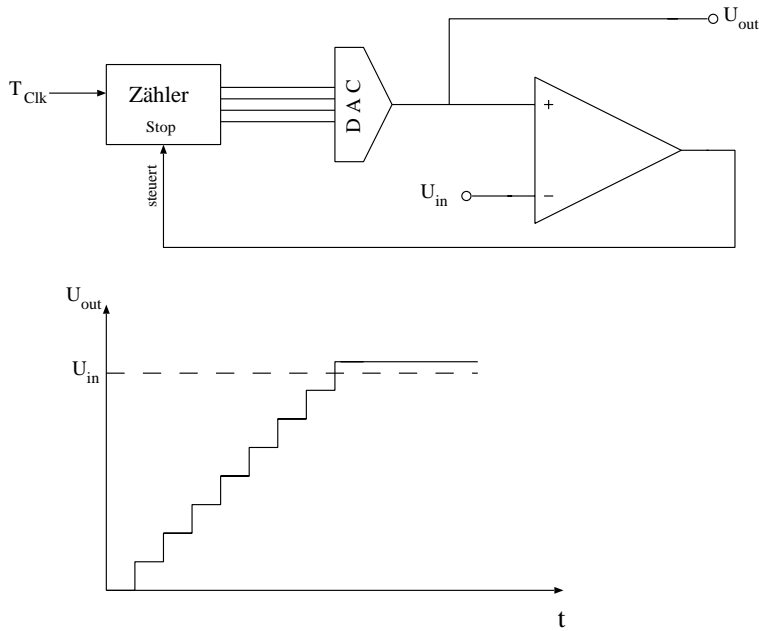


Abbildung 8.17: A/D-Wandler mit Zählverfahren

In Bild 8.17 wird binär solange hochgezählt, bis die Ausgangsspannung höher als die Eingangsspannung ist. Bei diesem Verfahren wird nur ein Komparator benötigt, allerdings ist die Zeit, die bis zur Ermittlung des Ergebnisses verstreicht, abhängig von der Eingangsspannung; maximal werden 2^N Taktzyklen benötigt. Auch in diesem Fall wird ein D/A-Wandler benötigt.

Wenn die Eingangsspannung nicht konstant ist, wird ein Tracking-Umsetzer benötigt. Er ist ebenso aufgebaut wie in Bild 8.17, allerdings kann der Zähler auf- und abwärtszählen. Es ergeben sich dann Verläufe wie in Bild 8.18.

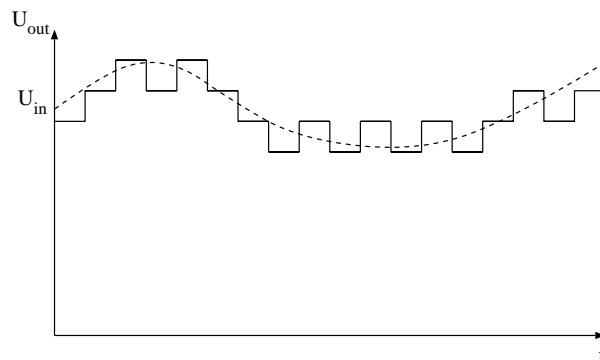


Abbildung 8.18: Ergebnis eines Tracking-Umsetzers

8.4.4 Sukzessive Approximation

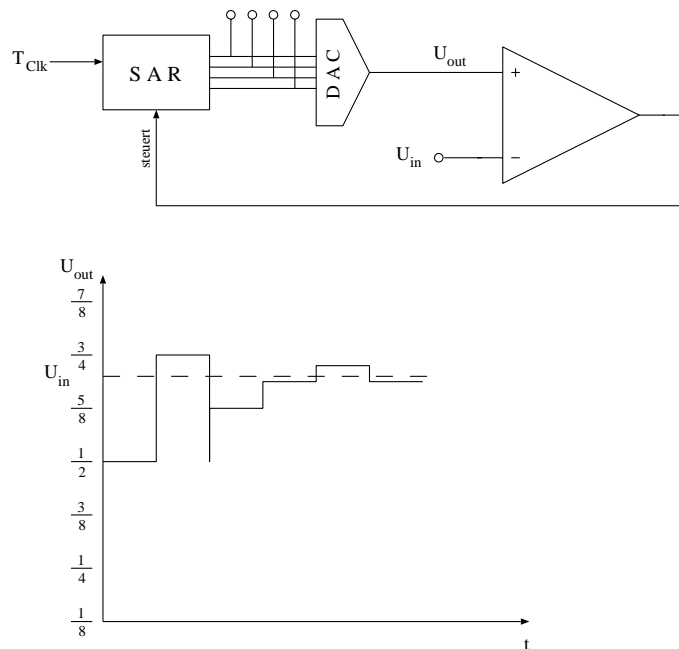


Abbildung 8.19: A/D-Wandler mit binärer Suche

Bei der sukzessiven Approximation (siehe Bild 8.19) wird das Verfahren der binären Suche angewendet. Alle Bits werden anfangs auf "0" gesetzt. Dann wird der Wert des MSB bestimmt. Dazu wird es auf "1" gesetzt und der entsprechende Analogwert mit der Eingangsspannung verglichen. Ist die Eingangsspannung größer, bleibt das MSB auf "1", ansonsten wird es zurück auf "0" gesetzt. Dann wird das nächstniedrigere Bit auf die gleiche Art bestimmt usw. Die Ergebnisse werden von einem Register (SAR, Sukzessive Approximation Register) gespeichert.

Die Ermittlung eines N -Bit-Worts benötigt bei diesem Verfahren N Takte. Die Auflösung wird durch die Genauigkeit des D/A-Wandlers bestimmt.

8.4.5 Zyklischer Umsetzer

Bild 8.20 stellt einen zyklischen Umsetzer dar. Im ersten Schritt wird S_1 auf U_{in} gelegt und die entsprechende Spannung abgetastet. An U_A liegt dann die doppelte Eingangsspannung. Ist sie größer als U_{Ref} , so wird S_2 auf U_{Ref} gelegt, ansonsten auf Masse. Entsprechend ergibt sich U_B als $2 \cdot U_{in}$ oder $2 \cdot U_{in} - U_{Ref}$. Der Schalter S_1 wird jetzt umgelegt und bleibt in dieser Stellung, bis der Binärwert berechnet ist.

Das Verfahren entspricht einer Division von U_{in} durch U_{Ref} : Ist der um eine Stelle verschobene "Rest" (gleich U_A) größer als U_{Ref} , wird U_{Ref} abgezogen, am Ausgang erscheint eine "1"; ist er kleiner als U_{Ref} , bleibt er bestehen, am Ausgang erscheint eine "0". Die Multiplikation des Rests mit 2 entspricht dem nächstniedrigeren Bit. Das Ergebnis wird seriell durch die Schalterstellung von S_2 angegeben.

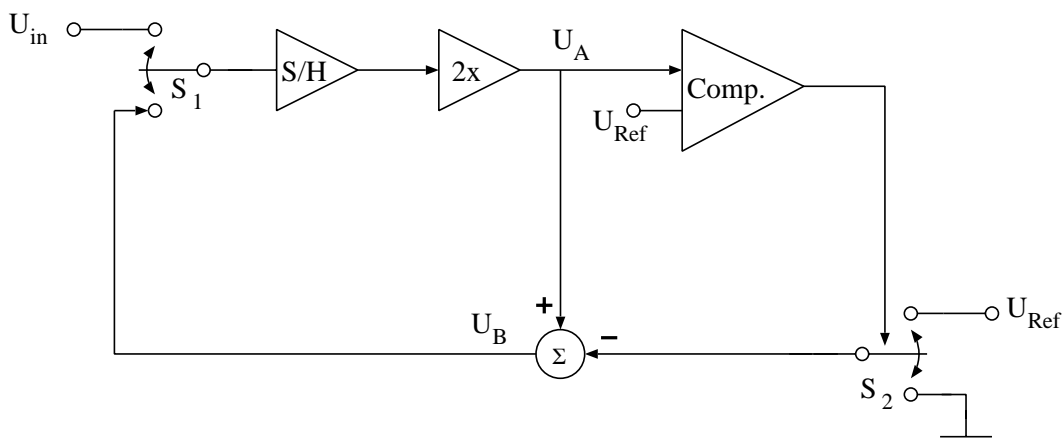


Abbildung 8.20: Zyklischer Umsetzer

8.4.6 Single Slope Umsetzer

Beim Single Slope Umsetzer (Bild 8.21) wird die Kapazität C_L zunächst von U_{in} aufgeladen und im nächsten Schritt mit dem bekannten Strom I_0 entladen. Solange die Spannung an C_L größer als U_{Ref} ist, liefert der Komparator eine 1; diese Zeit hängt von der Größe der Eingangsspannung ab:

$$Q_0 = U_{in} \cdot C_L \quad (8.49)$$

$$\text{mit: } \Delta Q = Q_0 - Q_{Ref} \quad , \quad Q_{Ref} = U_{Ref} \cdot C_L \quad (8.50)$$

$$\Delta t = \frac{\Delta Q}{I_0} = \frac{U_{in} \cdot C_L}{I_0} - \underbrace{\frac{U_{Ref} \cdot C_L}{I_0}}_{\text{konstant}} \quad (8.51)$$

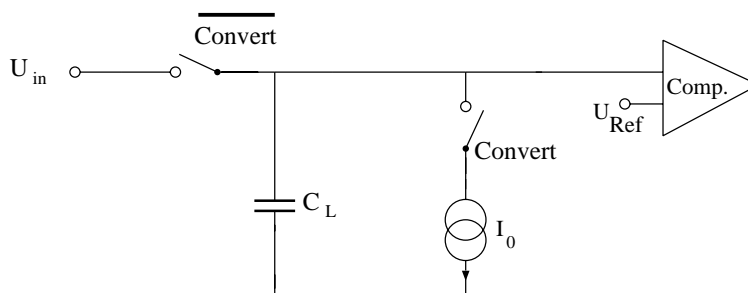


Abbildung 8.21: Single Slope

Man erhält also ein PWM-Signal. Während bisher das Ergebnis immer in Relation zu U_{Ref} vorlag, erhält man hier Absolutwerte. Allerdings ist das Ergebnis abhängig von C_L und I_0 und damit auch von den vorhandenen Fehlern. Das wird beim Dual Slope Umsetzer vermieden.

8.4.7 Dual Slope Umsetzer

Beim Dual Slope Umsetzer (Bild 8.22) wird dagegen das Verhältnis zweier Zeiten ausgewertet. Zunächst wird während der festen Zeit T_{int} die Spannung U_{in} aufintegriert. Im zweiten Schritt wird die Kapazität dann mit der bekannten Spannung U_{Ref} entladen. Die dazu nötige Zeit T wird in Takten gezählt, das Ergebnis ist ein Maß für die Spannung U_{in} :

$$U_{in} = \frac{T}{T_{int}} \cdot U_{Ref} \quad (8.52)$$

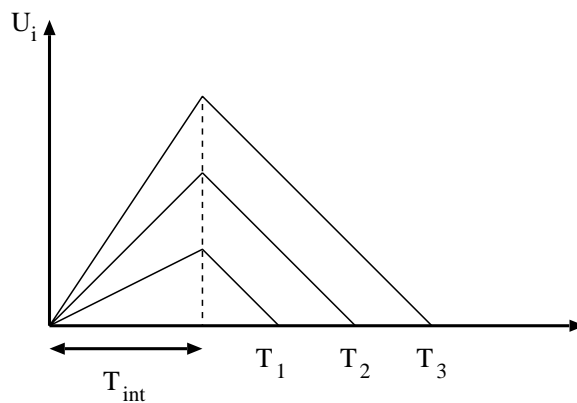
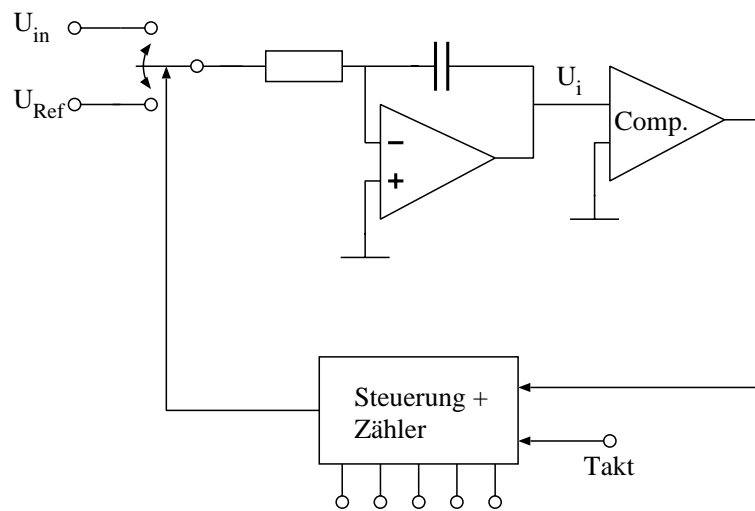


Abbildung 8.22: Dual Slope

Das Ergebnis wird hier nicht mehr durch Ungenauigkeiten von C beeinflusst. Der Komparator muß allerdings die der Genauigkeit der Binärdarstellung entsprechende Güte haben.

8.5 Aufbau eines Komparators

Bei den vorgestellten A/D-Wandlern ist immer ein Komparator nötig. Bild 8.23 stellt eine Realisierung dar.

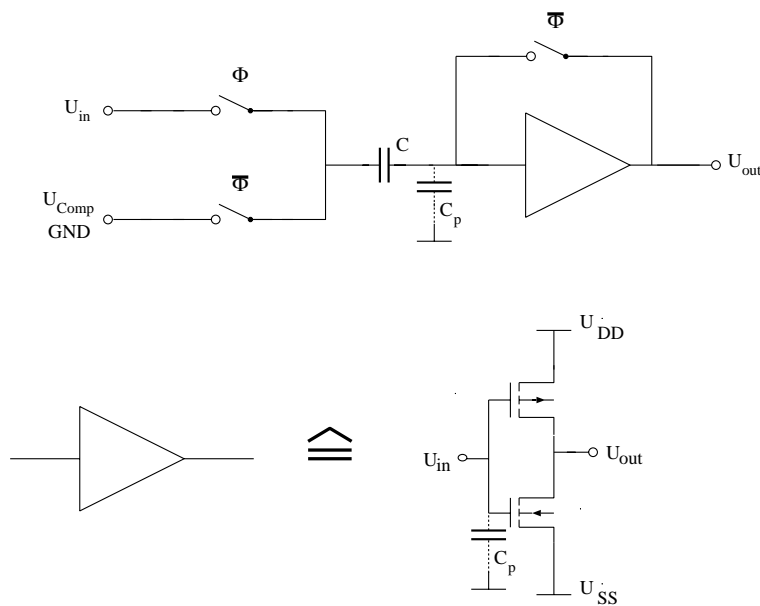


Abbildung 8.23: Komparator

In der ersten Phase $\bar{\Phi}$ wird die Kapazität C entladen (bei Vergleich mit GND) bzw. auf die Vergleichsspannung U_{Comp} aufgeladen (Auto-Zero). In der zweiten Phase Φ wird der obere Schalter geschlossen. Ist $U_{in} > U_{Comp}$, so fließt positive Ladung auf die Kapazität, ansonsten in der umgekehrten Richtung. In beiden Fällen erzeugt die auf der rechten Seite der Kapazität verbliebene Ladung am Verstärker eine Spannung, die auf die entsprechende Ausgangsspannung U_{out} verstärkt wird.

Um auch kleine Differenzen detektieren zu können, sollte der Verstärker eine möglichst steile Kennlinie im Arbeitspunkt haben. In Bild 8.23 unten ist ein Inverter dargestellt. In Bild 3.3 wurde bereits die Kennlinie eines Inverters dargestellt. Beim Auto-Zero gilt $U_{out} = U_{in}$; dieser Punkt sollte also im steilsten Bereich der Kennlinie vorliegen. Dann führt eine kleine positive Ladung am Eingang zu einer kleinen Erhöhung der Eingangsspannung, aber zu einer starken Absenkung der Ausgangsspannung.

Bild 8.24 stellt eine andere Version dar. Es soll $C_2 = \alpha \cdot C_1$ gelten. In der Phase $\bar{\Phi}$ wird der Ausgang genullt und die Kapazität C_1 entladen, C_2 wird durch U_2 geladen. In der Phase Φ öffnet sich der Schalter S_1 ; da in den Verstärker (idealerweise) keine Ladung fließen kann, bleibt die Summe der Ladung am Knoten N_1 konstant. Auf der rechten Seite von C_2 liegt die Ladung $Q_2 = -\alpha \cdot C_1 \cdot U_2$, die jetzt abfließen kann, weil sich der Schalter zu U_2 geöffnet hat. Auf der rechten Seite von C_1 liegt die Ladung $Q_1 = -C_1 \cdot U_1$, die vom Knoten N_1 geliefert

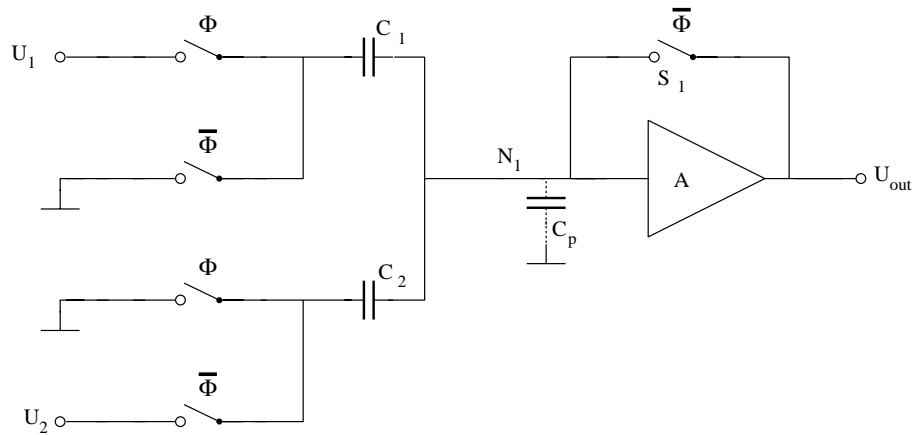


Abbildung 8.24: Komparator

werden muß, so daß Q_{ges} übrigbleibt. Insgesamt ergibt sich:

$$Q_2 = -\alpha \cdot C_1 \cdot U_2 \quad (8.53)$$

$$Q_1 = -C_1 \cdot U_1 \quad (8.54)$$

$$Q_{ges} = Q_2 - Q_1 \quad (8.55)$$

$$= C_1 \cdot U_1 - \alpha \cdot C_1 \cdot U_2 \quad (8.56)$$

$$U_{N_1} = \frac{Q_{ges}}{C_{ges}} \quad (8.57)$$

$$= \frac{C_1 \cdot U_1 - \alpha \cdot C_1 \cdot U_2}{C_1 + \alpha \cdot C_1 + C_p} \quad (8.58)$$

$$= \frac{U_1 - \alpha \cdot U_2}{1 + \alpha + \frac{C_p}{C_1}} \quad (8.59)$$

$$U_{out} = A \cdot U_{N_1} \quad (8.60)$$

$$= \frac{A}{1 + \alpha + \frac{C_p}{C_1}} \cdot (U_1 - \alpha \cdot U_2) \quad (8.61)$$

Bei $U_1 > U_2$ sollte am Ausgang $U_{out} = U_{DD}$ gelten, d.h. die Verstärkung A muß entsprechend groß sein:

$$U_{out} = U_{DD} \quad (8.62)$$

$$\Rightarrow \frac{A}{1 + \alpha + \frac{C_p}{C_1}} \cdot (U_1 - \alpha \cdot U_2) \geq U_{DD} \quad (8.63)$$

$$\Rightarrow A \geq \frac{U_{DD}}{U_1 - \alpha \cdot U_2} \cdot \left(1 + \alpha + \frac{C_p}{C_1}\right) \quad (8.64)$$

Der Term $U_1 - \alpha \cdot U_2$ bestimmt das Vorzeichen des Ausgangs. Er gibt die Auflösung an, die mit einer Verstärkung A noch erreicht werden kann.

Mit einem Inverter kann eine Verstärkung von etwa 100 erzielt werden. Da dieser Wert für diese Anwendung zu gering ist, werden Inverter wie in Bild 8.25 kaskadiert. Die Kondensatoren führen zu einer Entkopplung, so daß der Arbeitspunkt für jeden Inverter einzeln optimiert werden kann.

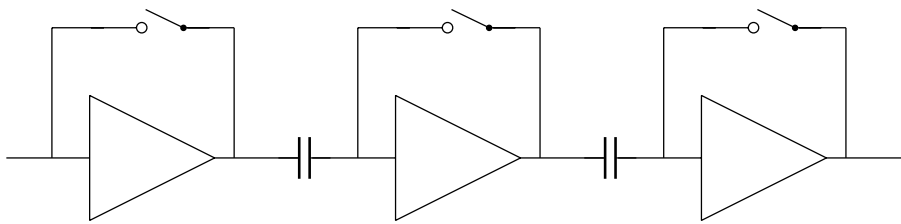


Abbildung 8.25: Kaskadierte Inverter

Kapitel 9

Zusammenfassung

In der vorliegenden Vorlesung werden prinzipielle Eigenschaften der Analogtechnik für die MOS-Technik vorgestellt.

In Kapitel 2 werden Möglichkeiten aufgezeigt, Bauelemente monolithisch zu integrieren. Der MOS-Transistor als zentrales Element wird dann in Kapitel 3 genauer untersucht, und zwar getrennt für das Groß- und das Kleinsignalverhalten. Für seinen Einsatz als Verstärkerelement sind die beiden Kleinsignalgrößen r_{DS} und g_m entscheidend.

Im weiteren Verlauf werden Verstärkerstufen vorgestellt, zunächst unter Vernachlässigung der parasitären Kapazitäten. Die Differenzstufe wird im Common-Mode und im Differenzmode betrachtet. Sie benötigt eine Stromquelle; als Realisierungen wird die Kaskode und als verbesserte Form die Widlar- und die Wilson-Stromquelle vorgestellt.

In Kapitel 4 werden die beim Transistor vorhandenen parasitären Kapazitäten und ihr Einfluß auf die Übertragungsfunktion besprochen.

Mit einer Differenzstufe als Eingangsstufe und einem Inverter als Ausgangsstufe läßt sich ein Verstärker aufbauen. Beim einstufigen Verstärker wird in Kapitel 5 die Möglichkeit aufgezeigt, als Dioden geschaltete Transistoren als Lastelemente zu verwenden. Durch eine Kaskode als Ausgangsstufe kann die Verstärkung erhöht werden.

Beim zweistufigen Verstärker spielt der Frequenzgang eine größere Rolle, da zwei Polstellen zu berücksichtigen sind. Bei Rückkopplungen können Stabilitätsprobleme auftreten. Daher werden mehrere Konzepte zur Frequenzkompensation vorgestellt. Schließlich werden typische OPAMP-Parameter und ihre Bedeutung für den Schaltungsentwickler vorgestellt.

Die Schalter-Kondensator-Technik stellt eine Variante dar, den Einfluß der technologisch bedingten Ungenauigkeiten gering zu halten, indem Widerstände als integrierte Bauelemente vermieden werden. In Kapitel 7 werden einige Anwendungen dieser Technik besprochen.

Für das Zusammenwirken von digitaler und analoger Technik sind A/D- und D/A-Wandler nötig. Kapitel 8 beschäftigt sich mit verschiedenen Realisierungen und den jeweiligen Vorteilen.

Literaturverzeichnis

- [1] P. E. Allen and D. R. Holberg. *CMOS Analog Circuit Design*. Holt, Rinehart and Winston, 1987.
- [2] P. R. Gray and R. G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, 1984.
- [3] K. R. Laker and W. M. C. Sansen. *Design of Analog Integrated Circuits and Systems*. McGraw Hill, 1994.
- [4] R. L. Geiger, P. E. Allen, and N. R. Strader. *VLSI Design Techniques for Analog and Digital Circuits*. McGraw Hill, 1990.
- [5] A. B. Grebene. *Bipolar and MOS Analog Integrated Circuit Design*. John Wiley & Sons, 1984.
- [6] P. Antognetti and G. Massobrio. *Semiconductor Device Modelling with SPICE*. McGraw Hill, 1988.
- [7] U. Tietze und C. Schenk. *Halbleiter-Schaltungstechnik*. Springer, 1990.