

Schlussbericht

zu dem IGF-Vorhaben

**ObMod - Modellierung der Bruchwahrscheinlichkeit von Halbleiterbauelementen mit
Oberflächendefekten**

der Forschungsstelle(n)

Albert-Ludwigs-Universität Freiburg, IMTEK - Professur für Aufbau- und Verbindungstechnik,
Georges-Köhler-Allee 103, 79110 Freiburg im Breisgau

Fraunhofer-Institut für Werkstoffmechanik, IWMH,
Walter-Hülse-Str. 1, 06120 Halle an der Saale

Das IGF-Vorhaben 17.790 BG der Forschungsvereinigung Schweißen und verwandte Verfahren
e.V. des DVS wurde über die



im Rahmen des Programms zur Förderung der Industriellen Gemeinschaftsforschung (IGF) vom



Bundesministerium
für Wirtschaft
und Energie

aufgrund eines Beschlusses des Deutschen Bundestages gefördert.

Halle, 16.06.2015

Prof. Dr. Matthias Petzold

A handwritten signature in blue ink, appearing to read 'M. Petzold'.

Freiburg, 16.06.2015
Ort, Datum

Prof. Dr.-Ing. Jürgen Wilde

Name und Unterschrift des/der Projektleiter(s)
an der/den Forschungsstelle(n)

A handwritten signature in blue ink, appearing to read 'Jürgen Wilde'.

Inhaltsverzeichnis

1	Forschungsthema	1
2	Wissenschaftlich- technische und wirtschaftliche Problemstellung	1
3	Wissenschaftlich-technischer Nutzen	2
4	Wirtschaftlicher Nutzen insbesondere für KMU	2
5	Forschungsziel / Lösungsweg / Ergebnisse.....	3
5.1	Forschungsziel	3
5.2	Lösungsweg zur Erreichung des Forschungsziels	3
5.3	Forschungsergebnisse	4
5.3.1	AP1: Herstellung und Charakterisierung von Halbleiter-Teststrukturen	4
5.3.2	AP2: Materialprüfung: Festigkeitsanalyse und Belastungsexperimente	9
5.3.3	AP3: Prozesse zur Defektentschärfung	23
5.3.4	AP4: Fehlerdarstellung	28
6	Angaben über gewerbliche Schutzrechte	29
7	Plan zum Ergebnistransfer	30
8	Erläuterungen der Verwendung der Zuwendung	31
9	Zusammenfassung.....	32
10	Literatur.....	33

1 Forschungsthema

„ObMod“- Modellierung der Bruchwahrscheinlichkeit von Halbleiterbauelementen mit Oberflächendefekten.

2 Wissenschaftlich- technische und wirtschaftliche Problemstellung

Im Bereich der Elektronik für Automobil-, Medizin und Sensor-Technik ist aufgrund der technologischen Entwicklung ein starkes Ansteigen der Integrationsdichte von elektronischen Bauelementen zu verzeichnen. Dies bedeutet somit eine hohe Anforderung an Zuverlässigkeit und Qualität der eingesetzten Baugruppen. Besonders Silizium basierte Halbleiterbauelemente werden während der Verarbeitung im Bereich Handling und AVT-Prozessierung sowie während ihrer Lebensdauer mechanischen und thermomechanischen Belastungen ausgesetzt. Diese mechanische Spannungen können zu elektrischen Defekten bis hin zum Bruch des Dies führen. Besonders bei der Verarbeitung von Bare-Chips besteht dabei ein erhöhtes Risiko für Chipbruch. Auf Grund der fehlenden Hausung, wirken hier vor allem bei der Verarbeitung diverse Belastungen unmittelbar auf den Chip ein [1]. Der Anteil ausfallender Bauelemente durch Chipbrüche ist dabei in der Regel mit einigen Promille bis Prozenten der Losgröße relativ klein, aber im Vergleich zu dem geforderten Qualitätsniveau von DPM (engl. Defects per Million) deutlich erhöht. Die Festigkeitseigenschaften von Silizium basierten Halbleiterbauelementen sind somit für die Zuverlässigkeitseigenschaften von elektronischen Systemen eine relevante Größe. Die Forderung nach hohen Integrationsdichten und gleichzeitig hoher Zuverlässigkeit stehen sich aufgrund des Chipbruchrisikos konkurrierend gegenüber. Das Problem des Ausfalls von Bauteilen durch Chipbruch wurde schon in den 1980er Jahren untersucht und auf statistischer Basis beschrieben [2]. Dabei wird von einer statistischen Verteilung sowohl der mechanischen Belastungen, die auf einen Chip in seinem Lebenszyklus einwirken, als auch einer statistischen Verteilung der Bruchfestigkeiten der Chips ausgegangen. Die Voraussetzung für Chipbruch ist dann gegeben, wenn eine Belastung auftritt, die die Belastbarkeit übersteigt. Hieraus ergeben sich zwei Möglichkeiten, den Chipbruch zu vermeiden:

1. Verringerung der Belastungen auf einem Chip und
2. Steigerung der Bruchfestigkeit der Chips [1].

Die am Chip auftretenden mechanischen Belastungen lassen sich mit unterschiedlichen Verfahren berechnen. Je nach Belastungsart und Anwendungsfall umfassen diese analytische Lösungen [3-5], erweiterte semi-analytische Ansätze [6] oder numerische Lösungsansätze, wie beispielsweise die Finite-Elemente-Methode [6-9]. Weiterhin ist es möglich, die durch die Belastung hervorgerufene Spannung in situ mittels Stresstestchips zu erfassen. Eine direkte Möglichkeit zur Erfassung der Belastungsverformung von Bauelementen ist die optische In-situ-Messung mittels digitaler Grauwertkorrelation (DIC) [10]. Die experimentelle Bewertung der Bruchfestigkeit von Siliziumchips ist weitgehend in der Technik etabliert. Hierbei finden in erster Linie Drei- und Vierpunktbiegeversuche sowie Kugelringversuche mit ihren Abwandlungen Anwendung [11-14]. Die ermittelten Bruchfestigkeitswerte weichen dabei bedingt durch die Probenbeschaffenheit und somit resultierende Defektverteilung deutlich voneinander ab. So werden z.B. in [15 und 16] charakteristische Bruchfestigkeiten von 405 MPa bis 755 MPa genannt. Neben Defekten und Schädigungen der Chip-Kanten durch Vereinzelungsprozesse tragen hierbei Oberflächendefekte durch prozessbedingte Schädigungen (Rückdünn- oder z.B. Pick-and-Place-Prozesse) zur Reduktion der Festigkeit von ungehäuteten Halbleiterchips bei. Zusätzlich wird die Festigkeit der Chipoberfläche durch mögliche intrinsische Eigenspannungen z.B. durch Metallisierungsbeschichtungen oder morphologische Veränderungen der Oberfläche wie bei Passivierungsschichten beeinflusst. Durch diese Eigenschaften ist es nur bedingt möglich, ein

verallgemeinertes Bruchrisiko von Bare-Chips im Anwendungsfall zu bestimmen. Die charakteristische Bruchfestigkeit gibt letztlich nur Aufschluss über das Bruchverhalten eines Chips für genau diejenige Belastungsart, die durch den Prüfaufbau in den Chip eingebracht wird. Zumeist unterscheiden sich hiervon die Belastungen durch die Verarbeitung und im Einsatz. Eine direkte Angabe zum erwarteten Bruchrisiko im Anwendungsfall ist auf direkter Grundlage von Bruchfestigkeitsmessungen nicht möglich [1]. Hierfür wird ein Modell benötigt, welches das Bruchrisiko unabhängig von Chipgröße und Belastungsart beschreibt. Dieses Modell wurde in seiner grundlegenden Form im Vorgänger-Projekt „Chipcrack“ erarbeitet. Mit diesem Modell konnte man den Größeneffekt berechnen und somit größen- und belastungsunabhängige Parameter definieren. Bei „Chipcrack“ fand eine Fokussierung auf Einflüsse des Chipbruchs durch Vereinzelungsverfahren und somit durch Chipkantenbrüche für eine Modellbildung statt. Um ein umfassendes Modell zu erarbeiten, ist es jedoch zusätzlich notwendig den Einfluss der Oberflächenbruchfestigkeit auf Chipbruch eingehend zu berücksichtigen.

3 Wissenschaftlich-technischer Nutzen

In industrienahen AVT-Prozessen werden z.T. deutliche Risschädigungen beobachtet, deren Analyse und Ermittlung der Fehlerursachen durch stochastische Einflüsse und eine stochastische Defektverteilung erschwert ist. Im Projekt „Obmod“ wurde daher systematisch die Bruchfestigkeit verschiedener Halbleiterbauelemente nach verschiedenen Prozessschritten sowie mit verschiedenen Messaufbauten bewertet. Hierbei fand eine Berücksichtigung der Einflüsse von Rückdünn-Prozessen, Oberflächenbeschichtungen und Strukturierungen statt. Durch eine Kombination bruchmechanischer und mikrostruktureller Analysen kann eine Korrelation zwischen der charakteristischen Bruchfestigkeit und der Oberflächenbeschaffenheit bzw. der Defektverteilung auf dem Wafer gezogen werden. Durch diese Ergebnisse lassen sich sowohl ausbeute- und lebensdauerrelevante Defekte als auch kritische Fertigungsschritte detektieren, bewerten und ggf. entschärfen. Auf diese Weise wird es technischen Anwendern möglich, die während der AVT auftretenden Belastungen mit der realen Belastbarkeit der Halbleitermaterialien zu vergleichen und somit eine Reduzierung von chipbruchbedingten Ausfällen verbunden mit einer Kostenreduzierung zu erreichen. Im Weiteren geben die Ergebnisse der evaluierten mikrostrukturellen Bewertungstechniken Anwendern einen Überblick und ermöglichen so die schnelle Auswahl geeigneter Verfahren. Da relevante Chip-Aufbauten (z.B. Bare-Die) oftmals von KMU eingesetzt und verarbeitet werden, wird diesen Unternehmen so ein umfassendes Werkzeug für die System- und Prozessentwicklung sowie deren Bewertung im Rahmen qualitätssichernder Maßnahmen zur Verfügung gestellt.

4 Wirtschaftlicher Nutzen insbesondere für KMU

Auf Grundlage der erzielten Ergebnisse ist es möglich, Einflüsse von Oberflächenprozessen wie Rückdünnen, Beschichten und Strukturieren qualitativ und quantitativ zu beurteilen. Dies gibt den KMU die Möglichkeit ihre Produkte wie Leistungsbaulemente, Sensoren usw. im Herstellungsprozess zu optimieren oder bei neuen Produktlinien eine angepasste Wahl der Herstellungsparameter zu treffen. Die stichprobenartige qualitätssichernde Maßnahme auf Basis von Festigkeitsanalysen oder Mikrostrukturbewertungen können in den Produktionsablauf integriert werden. Dies gibt den KMUs die Möglichkeit Oberflächendefekte und oberflächennahe Defekte zu detektieren und mit entsprechender Software die Defektverteilung und somit die Ausfallwahrscheinlichkeit eines Wafers bzw. von Bereichen eines Wafer darzustellen. Die Zuverlässigkeit der hergestellten Bauelemente kann durch die Anwendung der gewonnenen Ergebnisse und entsprechende Maßnahmen, wie defekte Silizium-Chips vor der Weiterverarbeitung auszusortieren, erhöht werden. Mit den Ergebnissen wird es möglich, die verwendeten Silizium-Komponenten quantitativ auf

die erwarteten Bruchrisiken hin zu bewerten und sich gegenüber Zulieferern als auch Kunden nachweisbar abzusichern.

5 Forschungsziel / Lösungsweg / Ergebnisse

5.1 Forschungsziel

Im Rahmen des Projekts „ObMod“ sollten die Auswirkungen von Oberflächenprozessen wie Rückdünnen, Beschichten und Strukturieren an Bare-Chips auf die Belastbarkeit der Chips unter Bedingungen in Prüfaufbauten und in Bauelementen untersucht und modelliert werden. Das Projekt setzt seinen Fokus auf die Oberflächenbruchfestigkeit von Si-Chips zur Erweiterung des entwickelten probabilistischen Konzepts des Chipbruchrisikos in Bezug auf Vereinzelnungsverfahren. Mit diesem soll die Bewertung des Bruchrisikos und eine Zuverlässigkeitsprognose von Silizium-Halbleiter-Bauelemente ermöglicht werden. Inhaltlicher Schwerpunkt des Projektes ist die methodische Untersuchung der Einflüsse der verschiedenen Oberflächenbehandlungen auf die Bruchfestigkeit der Silizium-Chips. Auf dieser Basis sollen Regeln zur Qualitätssicherung und Qualitätssteigerung abgeleitet und verifiziert werden. Abbildung 1 verdeutlicht die Fragestellung zur Beschreibung der Ausfallwahrscheinlichkeit (Chipbruch) in Abhängigkeit der Belastungs- und Belastbarkeitsverteilungen. Um die Ausfallwahrscheinlichkeit (rote Linie) zu verringern kann man entweder die Belastung verringern (blaue Linie) oder die Belastbarkeit erhöhen (grüne Linie). Zielstellung der beschriebenen Arbeitspunkte ist somit die Beschreibung und Verschiebung der Belastbarkeitsverteilung eingesetzter Silizium-Chips.

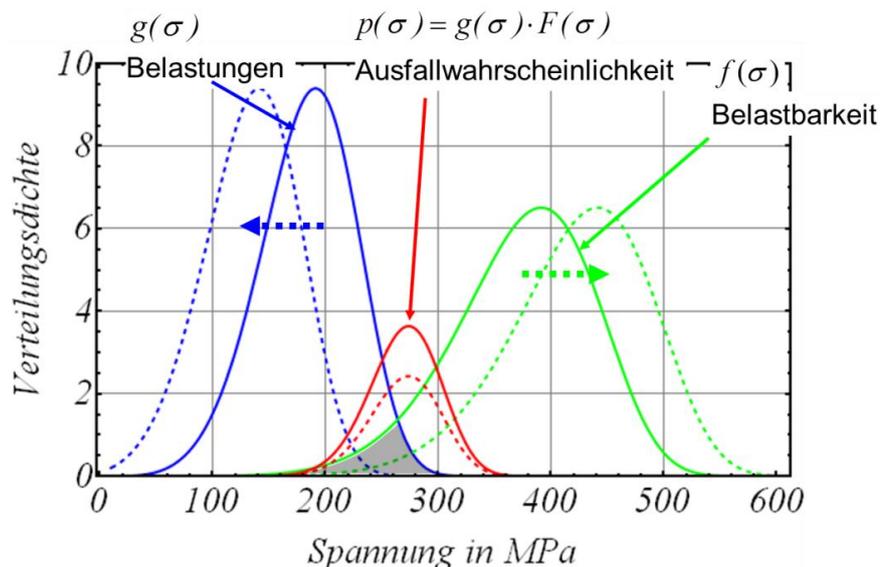


Abbildung 1: Bestimmung der Ausfallwahrscheinlichkeit als Funktion von Belastung und Belastbarkeit.

5.2 Lösungsweg zur Erreichung des Forschungsziels

Das Forschungsziel wurde durch die Erarbeitung und Analyse dreier Grundlagenfragestellungen erreicht:

1. Bestimmung wichtiger Einflussgrößen der Oberflächenbehandlung auf das Bruchverhalten von Siliziumchips
2. Modellierung des Bruchverhaltens bei beliebigen Belastungen und Beschreibung des Größeneffekts
3. Daraus abgeleitete Methoden zur Vermeidung von Chipbruch in der Anwendung

Die Analyse der Einflussgrößen basierte zum einen auf mikrostrukturellen Untersuchungen mittels Rasterelektronenmikroskopie zur Beurteilung der Oberflächenbeschaffenheit, der akustischen Mikroskopie zur Detektion von oberflächennahen Defekten und der Weißlichtinterferometrie sowie Rasterkraftmikroskopie zur Messung der Oberflächenrauigkeit. Zum anderen wurden Einflussgrößen anhand standardisierter Modellproben in bruchmechanischen Tests ermittelt. Hiermit wurde die Korrelationen zwischen Defektverteilung, Rauigkeiten und der Bruchfestigkeit für industrierelevante Prozesse gezeigt. Die Modellbildung erfolgte auf Basis des statistischen Größeneffekts. Dessen Einfluss kann durch Bruchfestigkeitsuntersuchungen mit verschiedenen Messaufbauten oder verschiedenen Chipgeometrien deutlich gemacht werden. Zusätzlich wurden Methoden zur Vermeidung von Chipbruch aus den Arbeitspunkten abgeleitet. Durch Maßnahmen der Defektentschärfung wie Oberflächenglättung durch z.B. chemisch-mechanisches Polieren oder Spin-Etching und Defektentfernung durch Ätzprozesse wie KOH-Rückdünnen kann der Einfluss von Oberflächendefekten reduziert werden. Durch abgeleitete Methoden zur Vermeidung und Bewertung von Chipbruch können Wafer und Chips mit hohem Chiprisiko vor der Weiterverarbeitung aussortiert werden und somit die Qualität der Bauelemente erhöht werden.

5.3 Forschungsergebnisse

5.3.1 AP1: Herstellung und Charakterisierung von Halbleiter-Teststrukturen

Wesentliches Ziel des Arbeitspunktes besteht in der Erstellung eines Defektkatalogs, der typische Defekte, welche durch Rückdünn-, Beschichtungs- und Strukturierungsprozesse entstehen, aufzeigt. Zur Erstellung wurden neben eigenen Proben exemplarisch auch typische Bauteile der Unternehmen des PbA untersucht, da diese als repräsentativ für den Markt in Deutschland angesehen werden. Die Analysen umfassen somit Si-Chips für Leistungsbaulemente (IGBT/Dioden) und ermöglichen Aussagen über Chipeigenschaften und verwendete Materialien der Bauteile. Aufbauend auf den Untersuchungen werden unterschiedliche Fehlerklassen und Defekttypen katalogisiert, welche die Grundlage für die Herstellung von Testproben bilden. Für die Umsetzung ist AP 1 in zwei Teilpakete unterteilt. Zur Charakterisierung der Proben wurden verschiedene oberflächen- und topografie-sensitive Analysetechniken wie Weißlichtinterferometrie, akustische GHz-Mikroskopie, Rasterkraftmikroskopie (AFM) und Rasterelektronenmikroskopie evaluiert und die Ergebnisse zur Bruchfestigkeit korreliert.

AP 1.1 Mikrostrukturelle Fehleranalyse, Defektkatalogerstellung

Für die mikrostrukturellen Untersuchungen im Arbeitspaket 1.1 wurden unterschiedliche kommerzielle Bauelemente der Mikroelektronik und Mikrosystemtechnik mit industrieller Relevanz auf unterschiedliche Fehlerklassen und Defekttypen untersucht. Die Oberfläche kommerzieller Halbleiterbauteile (Dioden sowie Transistorbauelemente) wurden mikrostrukturell hinsichtlich möglicher Defekte analysiert, welche aus Rückdünnprozessen und eingesetzten Oberflächenbeschichtungen resultieren können.

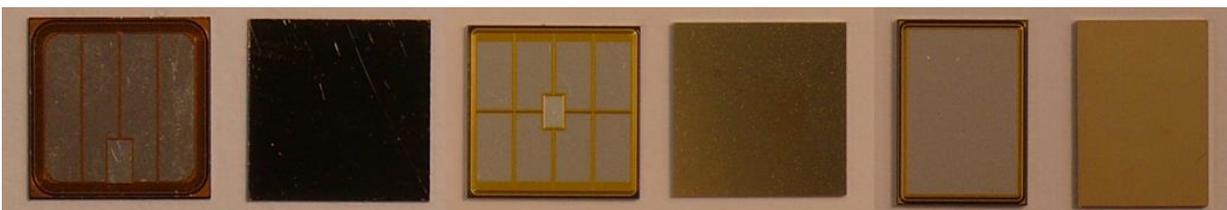


Abbildung 2: Exemplarische Darstellung untersuchter Proben (Dioden / Transistoren)

Industriell hergestellte Bauteile verschiedener Hersteller und Oberflächenbeschaffenheiten (Abbildung 2) sowie eine Reihe verschiedener Schleif- und Rückdünnp Prozesse wurden mit mehreren Analyseverfahren untersucht und bewertet. Hierbei fanden folgende Analyse-techniken Anwendung:

- Oberflächencharakterisierung ausgewählter Proben mittels Weißlichtspektroskopie zur Erfassung der Rauigkeit und Topographie sowie Abgleich mit Rasterkraftmikroskopie-Messungen (AFM)
- Erfassung der Oberflächenverwölbungen ausgewählter Proben zur Darstellung des Einflusses der Eigenspannungen auf die charakteristischen Bruchfestigkeiten
- Evaluierung der Gigahertz-Ultraschall-Mikroskopie (GHz-SAM) zur sensitiven Erfassung von Oberflächendefekten
- Oberflächenabbildungen mittels Rasterelektronenmikroskopie (REM) verschiedener Proben für Topographievergleich
- Präparation ausgewählter Proben mit Schrägschlifftechniken zur Fehlerlokalisierung in Oberflächen mittels REM
- Bestimmung von Eigenspannungen der Oberflächenmetallisierung durch Lasertriangulationsmessungen

Da die industriell hergestellten Proben mit einer Rückseitenmetallisierung versehen waren, fand eine Charakterisierung mit Metallisierung sowie zusätzlich nach dem Ätzen zum Entfernen der Metallisierung statt. Zur Korrelation der Oberflächenbeschaffenheit mit der Bauteilfestigkeit wurden als mögliche Kenngrößen die Rauigkeitskennwerte (S_a , S_q , S_z) definiert und in Schnittlinien sowie als Flächenrauigkeit der Oberflächen ermittelt. Diese Kenngrößen sind besonders für die Oberflächenfestigkeit relevant, da von einem Versagen des Materials im Bereich des größten Oberflächendefektes ausgegangen wird. Abbildung 3 zeigt exemplarisch die Oberfläche zwei verschiedener Proben mit Rückseitenmetallisierung. Es sind sowohl deutliche Abweichungen der mittleren als auch der maximalen Rauigkeiten auf der Oberfläche zu erkennen. In Abhängigkeit der Oberflächenmetallisierungsdicke werden diese Kenngrößen sowohl von der Si-Oberfläche als auch der Metallisierung beeinflusst. Die gewonnenen Erkenntnisse zur Bewertung der Oberflächentopologie fließen in die Korrelation zur Bruchfestigkeit ein.

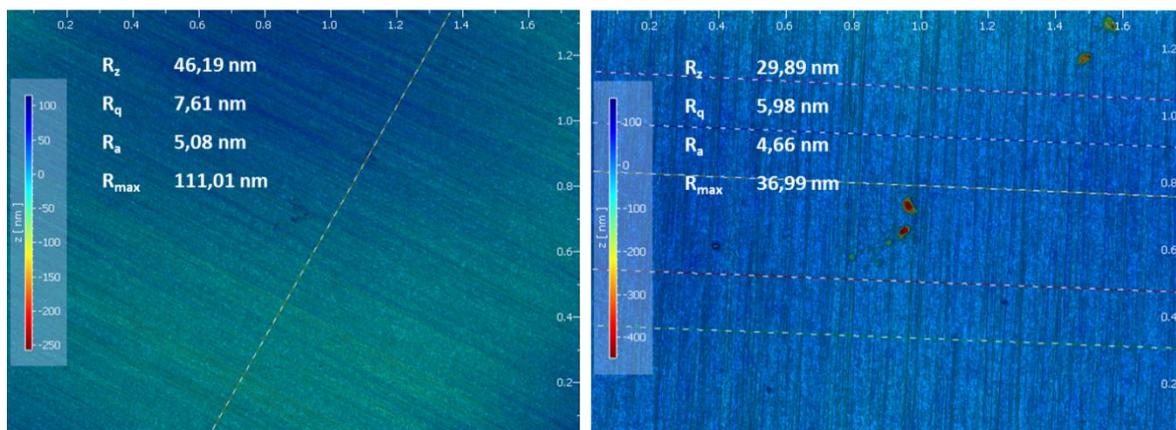


Abbildung 3: Topografiedarstellung der Rauigkeit eines IGBT mittels Weißlichtinterferometrie

Zusätzlich fand eine Charakterisierung der Oberfläche der Bauteile mittels akustischer GHz-Mikroskopie statt. Aufgrund der geringen Eindringtiefe der akustischen Wellen im GHz-Bereich ist hierbei eine oberflächensensitive Charakterisierung von Oberflächendefekten und Inhomogenitäten möglich. Ergebnisse mit Metallisierung der Probenrückseite

sind in Abbildung 4 dargestellt. In Abhängigkeit von der Fokustiefe können sowohl oberflächennahe Defekte (a) als auch verborgene Defekte lokalisiert werden (b).

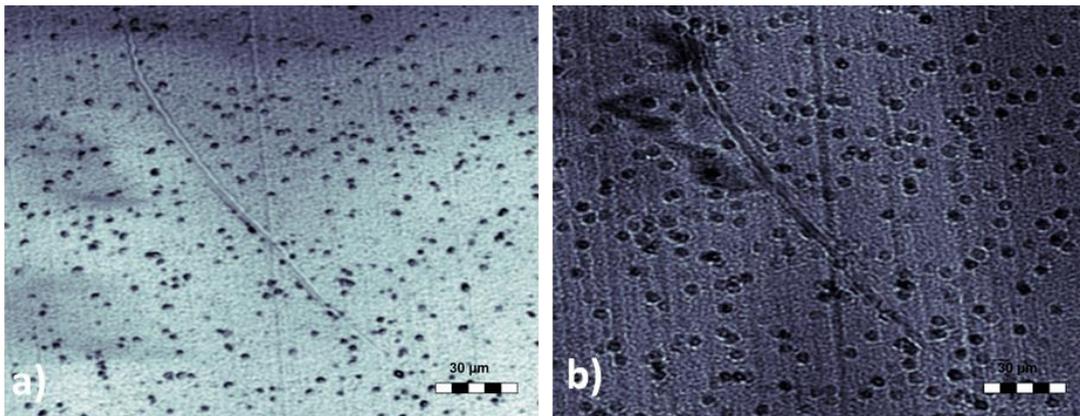


Abbildung 4: GHz-SAM Abbildung der Probenoberfläche mit Rückseitenmetallisierung unter Veränderung der Fokussierung

Die in Abbildung 4 (b) erkennbaren Schleifmarken unterhalb der Metallisierung korrelieren zu Beobachtungen im Rasterelektronenmikroskop nach Entfernung der Metallisierung (Abbildung 5(c)). Dabei sind sowohl Rückstände der Schleifmarken (c) als auch Dimple-Strukturen (a, b) unterschiedlicher Größenverteilung (ggf. aus Ätzprozessen) zu erkennen.

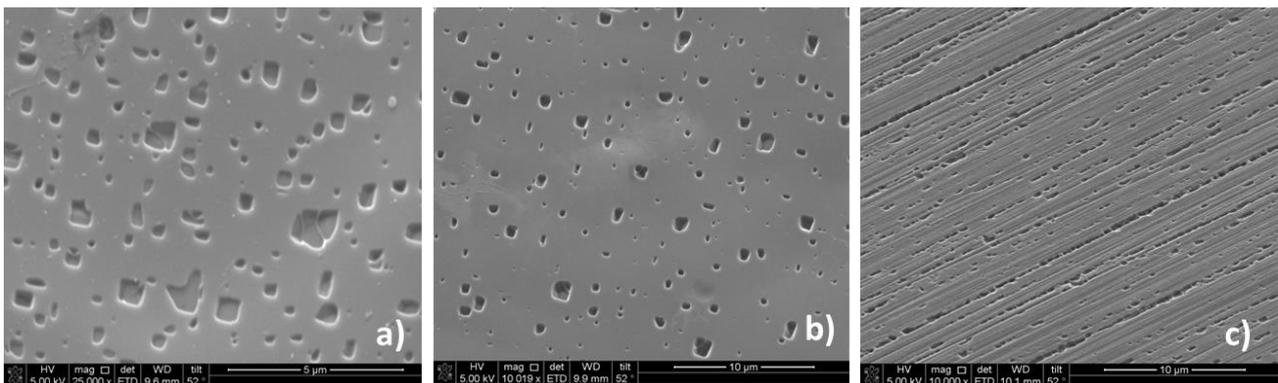


Abbildung 5: Identifizierte Oberflächenstrukturen rückgedünnter Proben mittels REM (Rückseite geätzt/geschliffen)

Zusätzliche Informationen für eine quantitative Bewertung der Oberflächendefekte lassen sich aus angepassten Analysemethoden im Postprocessing ermitteln. Beispielhaft ist hier in Abbildung 6 ein Vorgehen zur Defektbewertung von industriell gefertigten Bauelementen mit Rückseitenmetallisierung auf Basis von Bildanalysealgorithmen dargestellt. Basis bildet die Analyse der verborgenen Defekte der Probenoberfläche mittels GHz-SAM-Analyse. Durch Binärisierung und nachfolgende Auswertung können daraus Informationen zur Defektgrößenverteilung und Defektdichte ermittelt werden.

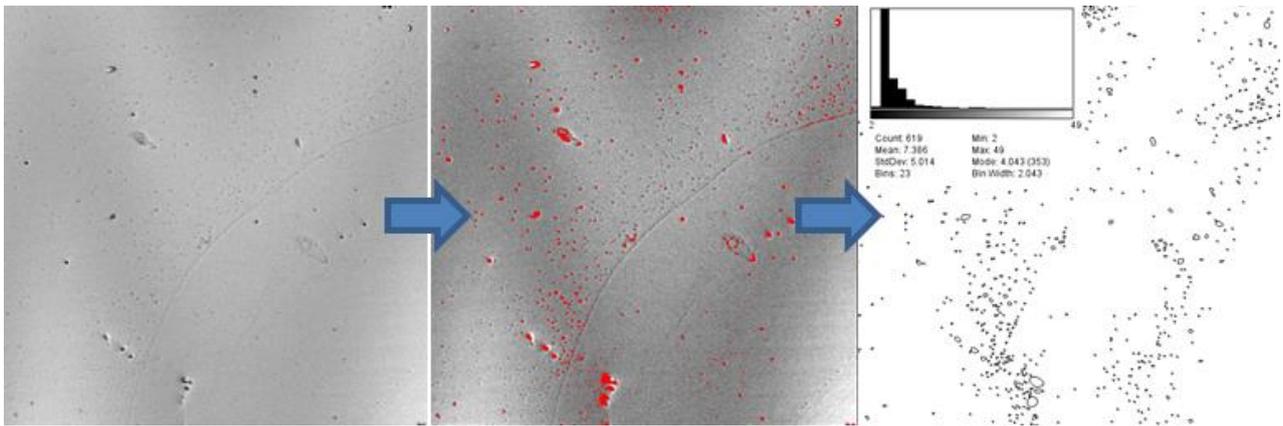


Abbildung 6: Vorgehen zur statistischen Bewertung von Oberflächendefekten auf Basis GHZ-SAM Analysen der Probenoberfläche mit Metallisierung

Weiterhin erfolgte eine zerstörende Analyse verschiedener Proben für die mikrostrukturelle Bewertung verschiedener Schleif- und Rückdünnp Prozesse. Hierfür fand eine der Präparation der Probenoberflächen mittels Abrasivpolitur im 10° -Winkel zur Rissdetektion an den Oberflächen statt. Als Beispiel zeigt Abbildung 7 die Oberfläche einer rückgedünnten Probe (Schleifen grob/fein, ohne weitere Polierschritte). Es sind deutliche Schädigungen der Oberflächenstruktur zu erkennen. Folgend zeigt Abbildung 8 den 10° -Anschliff der Oberfläche aus Abbildung 7. Es sind deutliche Vorschädigungen, Risse sowie entstandene Muschelausbrüche auf der Probenoberfläche zu verzeichnen.

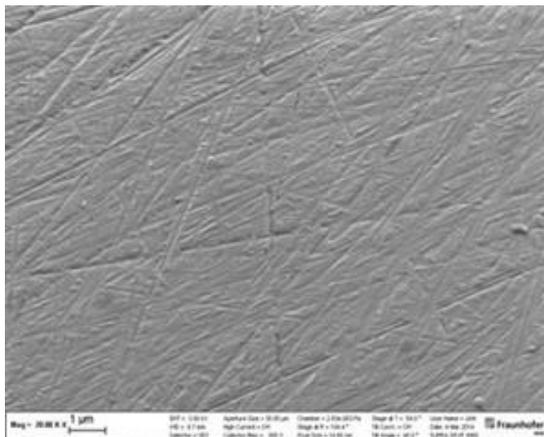


Abbildung 7: Darstellung der Oberflächenstruktur einer Probe nach dem Rückdünnp Prozess ohne Polieren

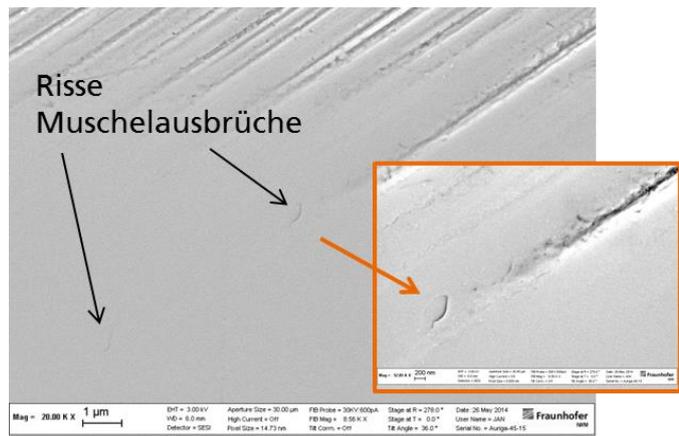


Abbildung 8: 10° -Anschliff-Präparation der Oberfläche einer Probe nach dem Rückdünnp Prozess ohne Polieren

In Ergänzung zu der Bewertung der Probenoberfläche fanden fraktografische Analysen der Bruchflächen nach den Tests statt, um eine definierte Zuordnung zu Oberflächendefekten zu gewährleisten. Eine beispielhafte Darstellung des Bruchverhaltens eines IGBTs von der Vereinzelungskante ist in Abbildung 9, sowie ausgehend von einem Oberflächendefekt, in Abbildung 10 dargestellt.



Abbildung 9: Fraktografische Analyse der Bruchkante eines IGBTs mit Bruchursprung an der Chip-Kante



Abbildung 10: Fraktografische Analyse der Oberfläche eines IGBTs mit Bruchursprung an einem Oberflächendefekt

AP 1.2 Herstellung und Charakterisierung von Modellproben auf Halbleiterebene

Für die Bruchfestigkeitsuntersuchungen hinsichtlich des Einflusses von Beschichtungen, Strukturierungen und Rückdünn-Prozessen wurden am IMTEK Modellproben mit verschiedenen Herstellungsparametern angefertigt.

Nach Absprache mit dem projektbegleitenden Ausschuss wurden im Arbeitspaket 1.2 folgende Modellproben hergestellt:

- Beschichtung mit SiO_2 (100 nm) auf Si-Wafern und Strukturierung der Beschichtungsschicht
- Beschichtung mit $\text{SiO}_2/\text{Si}_3\text{N}_4$ -System (100 nm und 200 nm) auf Si-Wafern
- Beschichtung mit Si_3N_4 (200 nm) auf Si-Wafern
- Beschichtung mit Al (1 μm) auf Si-Wafern
- Beschichtung mit Ti-Ni-Ag-System in verschiedenen Schichtdicken (60 nm, 120 nm und 210 nm) auf Si-Wafern
- getemperte Wafer
- mittels KOH-Ätzen rückgedünnte Wafer
- mittels Schleifen und Polieren rückgedünnte Wafer
- mittels XeF_2 zur Defektentschärfung rückseiten-geätzte Wafer

Für alle Proben wurden 4“-Si-Wafer mit 525 μm und 380 μm Dicke verwendet. Die 525 μm dicken Si-Wafer waren einseitig poliert und die 380 μm dicken Si-Wafer doppelseitig. Bei den hergestellten Proben wurden zur Charakterisierung Schichtspannungsmessungen mittels Profilometrie und Schichtdickenmessungen mittels Ellipsometrie durchgeführt. Die Herstellung der Wafer mit den verschiedenen Beschichtungsmaterialien und das Rückdünnen mittels KOH-Ätzen fanden im Reinraum-Service-Center am IMTEK statt. Das Rückdünnen mittels Schleifen und Polieren von 4“-Si-Wafern mit 525 μm Dicke auf Dicken zwischen 190 μm bis 300 μm wurde am IMTEK an einer institutseigenen Schleif- und Poliermaschine der Firma Phoenix/Beta durchgeführt.

5.3.2 AP2: Materialprüfung: Festigkeitsanalyse und Belastungsexperimente

Das Arbeitspaket umfasst unterschiedliche Festigkeitsanalysen und Belastungsexperimente, mit denen die im Arbeitspaket 1.2 hergestellten Modellproben getestet wurden. Weiterhin sollten diese Modellproben für die Herstellung von Bauelementemustern unter Nutzung verschiedener AVT-Prozesse verwendet werden.

Für die Festigkeitsanalyse der Modellproben wurde ein Kugel-Ring-Aufbau konzipiert und gefertigt, der für Bruchfestigkeitsmessungen bei der gewählten Probengröße geeignet ist (Abbildung 11). Hierfür wurde ein Grundkörper aus rostfreiem Stahl mit einer ringförmigen Auflagerung mit einem Durchmesser von 5 mm angefertigt. Dazu passgenau wurde ein Führungskörper aus Messing mit einer Führungsstange aus Messing hergestellt. Die Führungsstange ist auf der zur Probe hin gerichteten Seite mit einer Edelstahlkugel mit einem Radius von 1 mm versehen. Die Probenabmessungen sind 10 mm x 10 mm. Der Kugel-Ring-Versuchsaufbau wurde in eine Universalprüfmaschine Zwick Z010 eingebaut.

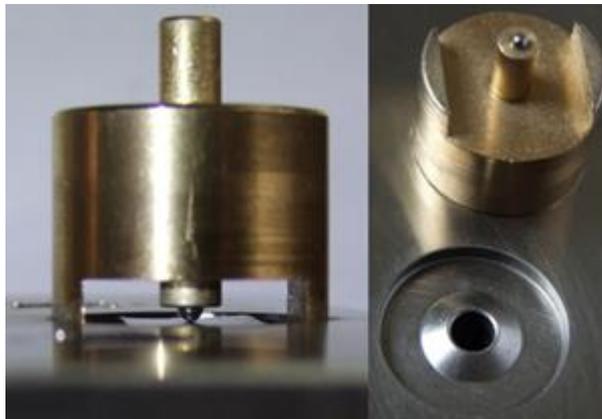


Abbildung 11: Versuchsaufbau für 10x10 mm² Si-Chips

Als nächster Schritt wurden die unterschiedlichen Proben auf ihre Bruchfestigkeit hin untersucht. Mit der Maximum-Likelihood-Methode wurden die Versuchsergebnisse statistisch ausgewertet und die Weibullparameter ermittelt.

Die ermittelten charakteristischen Festigkeiten sowie der Weibullmodul wurden zusammen mit den Ergebnissen der mikrostrukturellen Untersuchungen für die Bewertung der Einflüsse von Rückdünnprozessen sowie Beschichtungen und Strukturierung auf die Oberflächenbruchfestigkeit herangezogen.

AP 2.1 Materialprüfung an Halbleiter-Teststrukturen

Es wurden als Referenz jeweils die Vorder- und Rückseite eines 380 µm (R2) dicken und eines 525 µm (R1) dicken Si-Wafers bruchmechanisch untersucht. Die am IMTEK durchgeführten Kugel-Ringversuche ergaben, dass bei den beidseitig polierten 380 µm dicken Wafern (R2) kein nennenswerter Unterschied der Parameter in Bezug auf die Vorder- und Rückseite zu erkennen ist (siehe Abb.13). Für den einseitig polierten, 525 µm dicken Wafer (R1), wie in Abbildung 12 gezeigt, ergab sich ein signifikanter Unterschied zwischen Vorder- und Rückseite bei beiden Parametern.

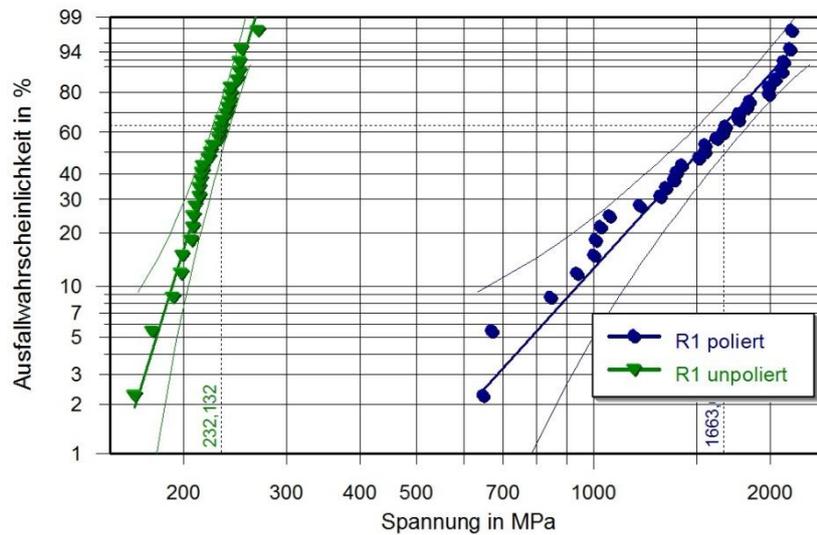


Abbildung 12: Bruchfestigkeit einseitig polierter und unpolierter Si-Wafer (R1) mit 525 µm Dicke im Kugel-Ring-Versuch

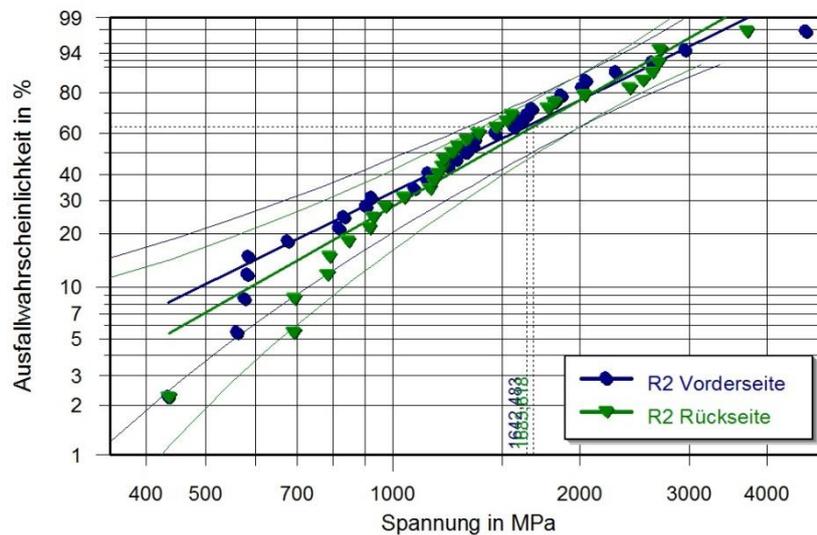


Abbildung 13: Bruchfestigkeit doppelseitig polierter Si-Wafer mit 380 µm Dicke (R2) im Kugel-Ring-Versuch

	R1 poliert	R1 unpoliert	R2 poliert (Front)	R2 poliert (Back)
Char. Bruchspannung σ_θ in MPa	1.664	236	1.709	1.667
Weibull-Modul m	3,94	11,80	2,15	1,87

Tabelle 1: Festigkeitsparameter der Referenzwafer R1 und R2

Korrelation der Festigkeitskenngrößen von Passivierungsschichten

Im Folgenden wurde der Einfluss verschiedener Passivierungsschichten (SiO_2 100 nm, Si_3N_4 200 nm; $\text{SiO}_2/\text{Si}_3\text{N}_4$ 100 nm/200 nm) auf die Bruchfestigkeit untersucht. Dabei wurde jeweils die beschichtete Seite mittels Kugelingversuch auf Zugbelastung beansprucht. Durch die bruchmechanischen und mikrostrukturellen Untersuchungen wird ersichtlich, dass sich verschiedene Passivierungsschichten unterschiedlich auf die Oberflächenqualität auswirken. Für alle Oberflächen führen $\text{SiO}_2/\text{Si}_3\text{N}_4$ - und SiO_2 -Beschichtung zu einer deutlichen Erhöhung der Festigkeit. Bei der Beschichtung mit 200 nm Si_3N_4 kann man durch die Überlappung der Vertrauensbereiche der einzelnen Weibull-Verteilungen keine Aussage bezüglich eines Unterschiedes in der charakteristischen Bruchspannung zu den unbeschichteten Wafern machen. Bei der Rückseiten-Beschichtung der einseitig polierten $525 \mu\text{m}$ Si-Wafer ist eine Steigerung des Weibull-Moduls gegenüber dem des unbeschichteten Wafers zu sehen. Die Oberflächenstruktur (poliert oder unpoliert) hat einen Einfluss auf die Breite (Weibull-Modul b) der Festigkeitsverteilung (Abbildung 14,15,16).

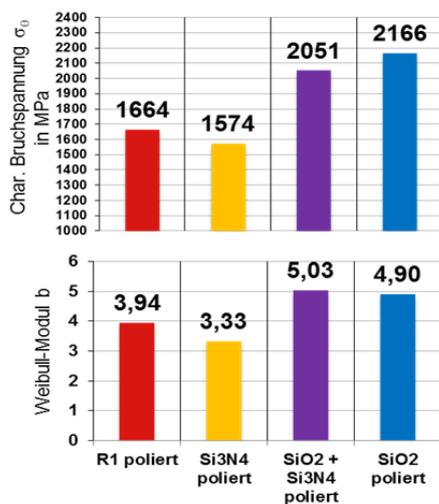


Abbildung 14: Festigkeitsparameter der Passivierungsschichten für polierte Seite von R1

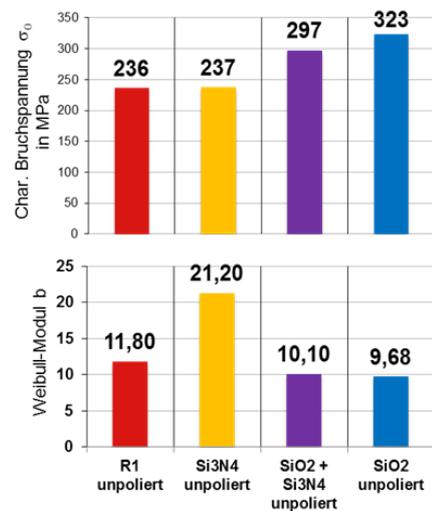


Abbildung 15: Festigkeitsparameter der Passivierungsschichten auf der unpolierten Seite von R1

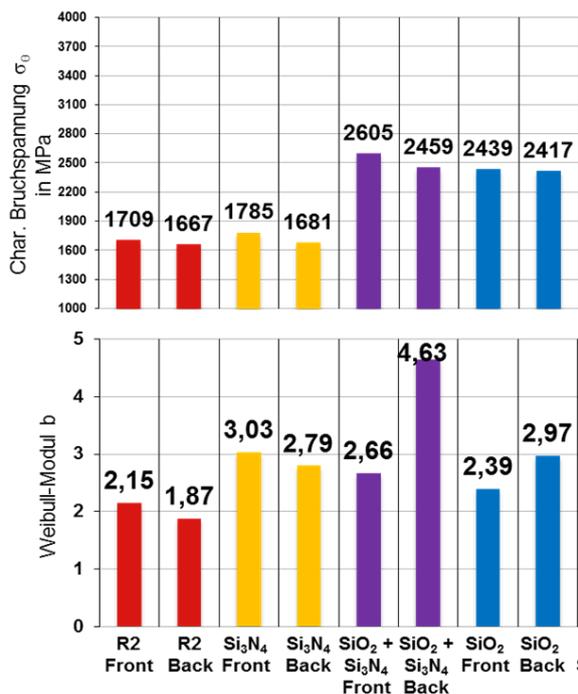


Abbildung 16: Festigkeitsparameter der Wafer mit Passivierungsschichten auf R2

Im Anschluss an die Festigkeitsbewertung erfolgte eine Bewertung der Oberflächentopologie mittels REM (Abbildung 17). An polierten Waferproben sind mikrostrukturell keine Veränderungen sichtbar, und sie wurden daher nicht dargestellt. Im Gegensatz zeigt die unpolierte Waferoberseite deutliche mikrostrukturelle Veränderungen in Abhängigkeit der prozessierten Oberflächenbeschichtung.

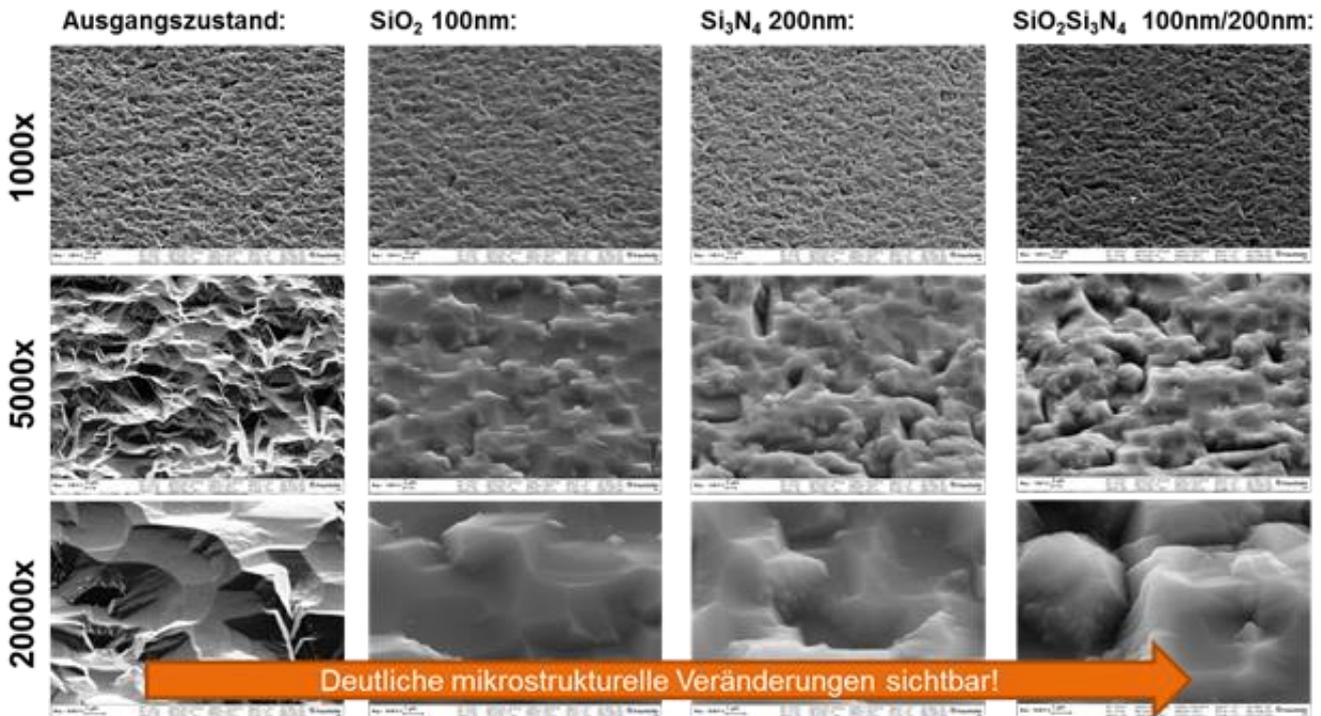


Abbildung 17: REM-Aufnahmen der Passivierungsbeschichtungen auf unpolierten, 525 µm dicken Si-Wafern

Einfluss von Oberflächenmetallisierungen auf die Bruchfestigkeit

Zur exemplarischen Analyse von Oberflächenmetallisierungen auf die Bruchfestigkeit wurden Beschichtungen von Al - 1 µm und TiNiAg (60 nm, 120 nm, 210 nm) untersucht.

Durch die bruchmechanischen Untersuchungen wurde eine Erhöhung der Bruchfestigkeit für die unpolierte Seite durch die TiNiAg-Beschichtungen festgestellt (Abb. 19). Für polierte Wafer war kein signifikanter Einfluss der Metall-Beschichtung auf die Oberflächen-Bruchfestigkeit ersichtlich (Abb. 20). Alle metallbeschichteten Proben-Varianten führten zu einer Verringerung des Weibull-Moduls b . Bei den Ti-Ni-Ag-Schichtsystemen ist zwischen der verschiedenen Schichtdicken kein nennenswerter Unterschied in der charakteristischen Bruchspannung und im Weibull-Modul erkennbar, da sich die Vertrauensbereiche der einzelnen Weibull-Verteilungen der unterschiedlichen Schichtdicken überlappen.

Analog ist durch die Al-Beschichtung eine Erhöhung der Bruchfestigkeit für die unpolierte Seite sichtbar (Abb. 19-20). Alle Varianten der Al-Beschichtung weisen eine Verringerung des Weibull-Moduls b auf.

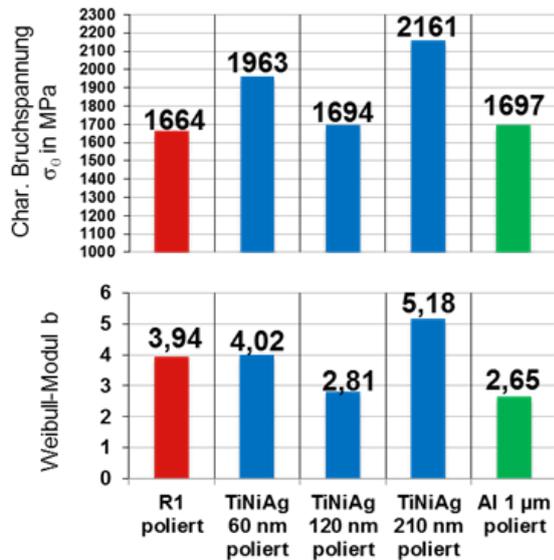


Abbildung 18: Festigkeitsparameter bei Metallbeschichtungen auf der polierten Seite von R1

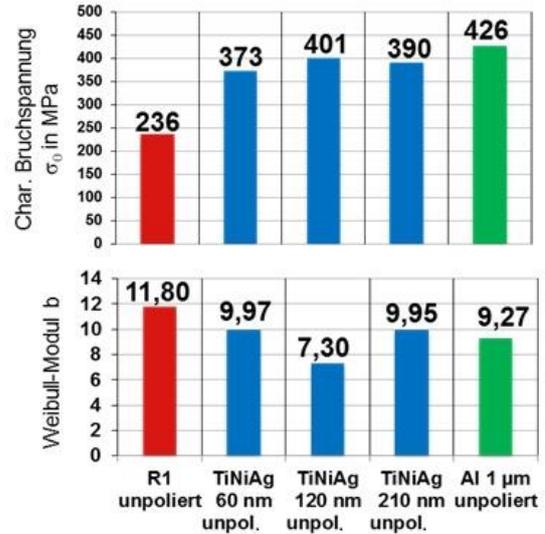


Abbildung 19: Festigkeitsparameter bei Metallbeschichtungen der unpolierten Seite von R1

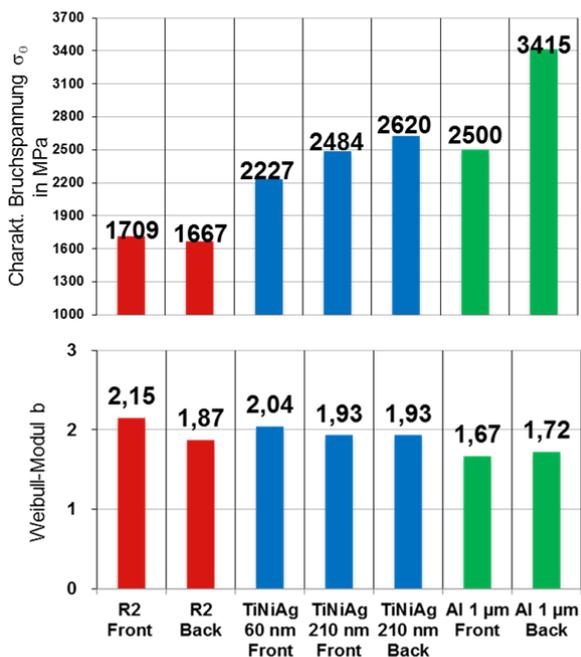


Abbildung 20: Festigkeitsparameter bei Metallbeschichtungen der unpolierten Seite von R2

Diese Ergebnisse der Bruchfestigkeitsuntersuchungen wurden mit den mikrostrukturellen Untersuchungen verglichen. Bei den polierten Proben konnte man keine visuellen Veränderungen erkennen. Bei der unpolierten Probe ist eine Veränderung der Oberflächenstruktur erkennbar. Die mikrostrukturellen der Probenoberfläche ist in Abbildung 21 und 22 dargestellt, wobei optisch eine Reduzierung der Kerbwirkung der auf der Waferoberfläche zu erkennen ist.

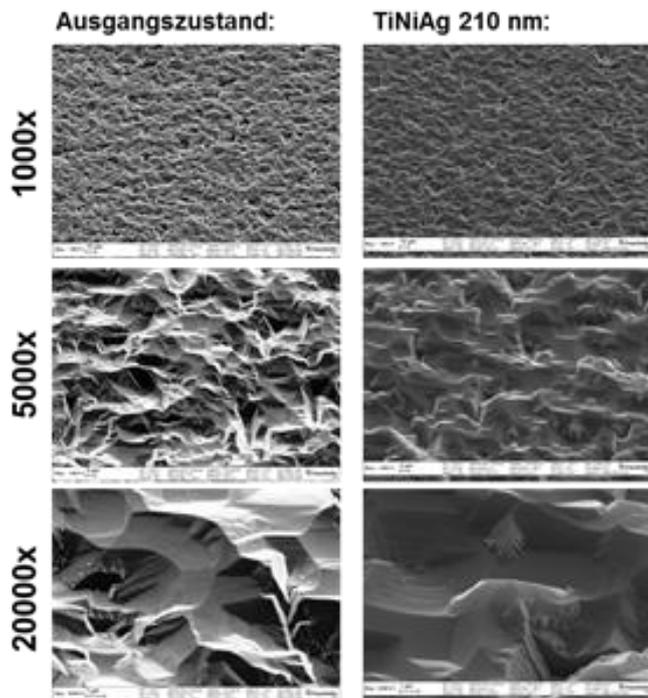


Abbildung 21: REM-Aufnahmen der 210 nm TiNiAg-Beschichtung auf unpolierten, 525 µm dicken Si-Wafern

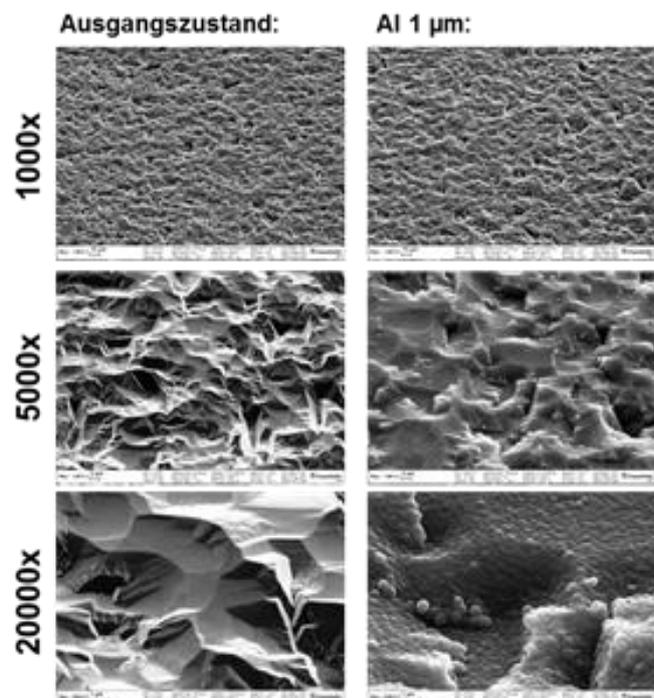


Abbildung 22: REM-Aufnahmen der Al-Beschichtung auf unpolierten, 525 µm dicken Si-Wafern

Korrelationen der Festigkeitskenngrößen mit ermittelten Rauigkeitskennwerten

Zur direkten Korrelation der Oberflächeneigenschaften mit den ermittelten Festigkeitswerten fand eine Analyse der Probenrauheit mittels Weißlichtinterferometrie statt (Referenzproben sowie Proben nach Beschichtung mit den in AP1.2 definierten Metallisierungen / Passivierungen). Es wird davon ausgegangen, dass eine Veränderung der Defektverteilung ebenso mit einer messbaren Oberflächenstrukturierung korreliert. Die ermittelte quadratische Flächenrauheit (S_q) bei einer Grenzwellenlänge von 0.025 mm und 1.3mm x 1.8 mm² Scanfeld, ist in Abbildung 23 (rot) im Vergleich zur Bruchspannung und Streuung (blaues Balkendiagramm) für die unpolierte Seite des 525 µm dicken Si-Wafers (R1) dargestellt. Für alle Passivierungsschichten ist neben einer Erhöhung der Festigkeit und Zunahme der Festigkeitsstreuung eine Abnahme der Rauigkeit gegenüber dem Referenzwafer zu verzeichnen. Im Gegensatz ist für die Metallbeschichtung eine Festigkeitserhöhung sowie eine Zunahme der Rauigkeit zu beobachten. Eine verallgemeinerbare Korrelation der Rauheit über verschiedene Beschichtungsverfahren lässt sich somit nicht ableiten.

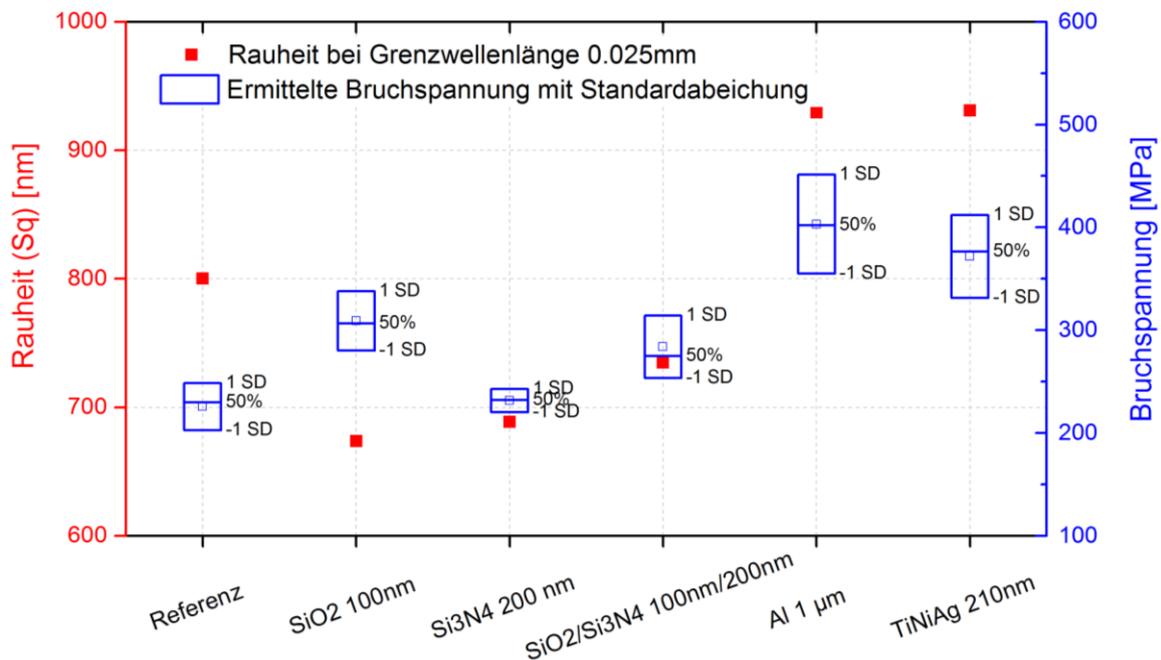


Abbildung 23: Ermittelte Bruchfestigkeiten und gemessene Rauigkeit (S_q) der Probenoberfläche

Zusammenfassend korrelieren besonders bei unpolierten Wafern die mikrostrukturellen Ergebnisse mit den messbaren Festigkeitskennwerten, wobei mit REM-Analysen eine deutliche Modifikation der Probenoberfläche zu verzeichnen ist. Eine direkte Korrelation zwischen der Rauigkeit und der Bruchfestigkeit beziehungsweise der Streuung ist nur bedingt ersichtlich. Bei polierten Wafer-Oberflächen sind in der Regel die visuellen Veränderungen gering. Daher ist hier kein Zusammenhang zwischen Oberflächenbeschaffenheit und Bruchfestigkeit bzw. Streuung zu erkennen. Im Weiteren fanden Eigenspannungsmessungen durch Waferbow-Messungen statt. Die hier gewonnenen Daten unterliegen aufgrund der geringen Verformungen deutlichen Schwankungen und liefern somit keine weiteren Erkenntnisse.

Strukturierungen auf SiO_2 -beschichteten Wafern

Zur Untersuchung des Einflusses von Strukturierungen auf die Bruchfestigkeit der Oberfläche wurden Modellproben mit unterschiedlichen Strukturtypen auf Si-Wafern mit 100 nm SiO_2 -Beschichtung konzipiert.

Strukturmuster:

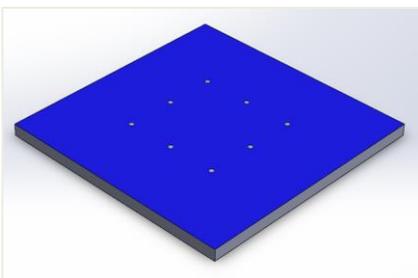


Abb. 24: Struktur 1

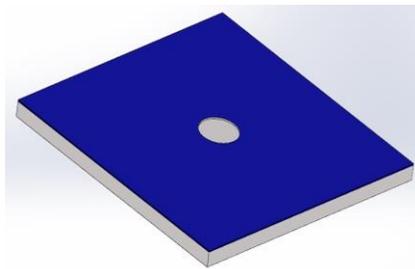


Abb. 25: Struktur 2

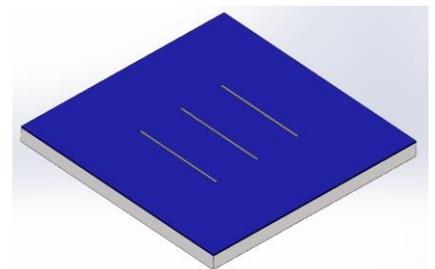


Abb. 26: Struktur 3

Die Struktur 1 scheint bei den 525 μm dicken Si-Wafern keinen nennenswerten Einfluss auf die Bruchfestigkeit und Streuung zu haben (Abbildung 27).

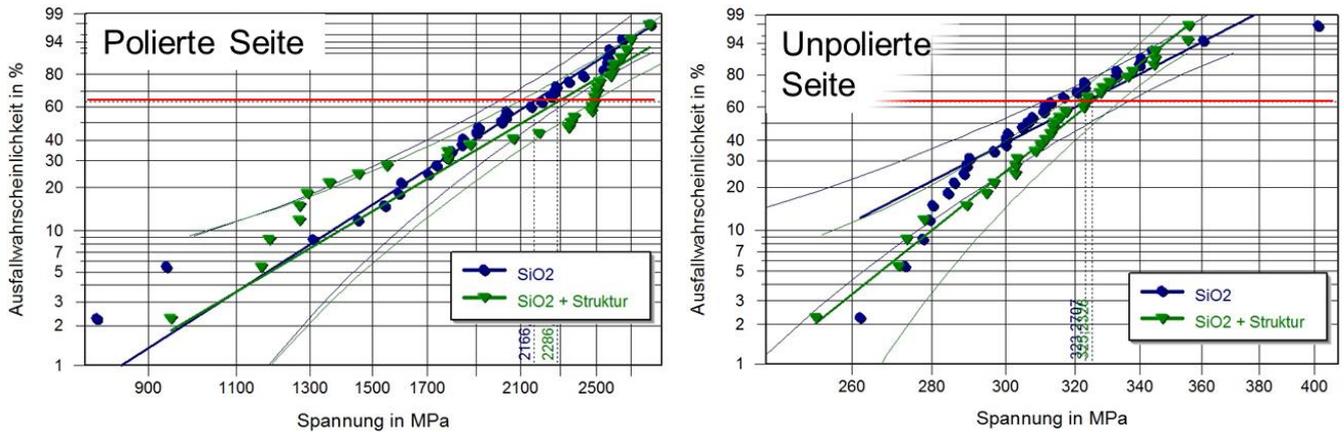


Abbildung 27: Charakteristische Bruchspannungen für 525 µm dicke Si-Chips mit Struktur 1

Bei den 380 µm dicken Si-Wafern ist eine Erhöhung der charakteristischen Bruchfestigkeit σ_θ durch Strukturierung der SiO₂-Beschichtung in Abbildung 28 zu sehen. Bei der Rückseite von Struktur 1 ist die Erhöhung viel stärker ausgeprägt als bei der Vorderseite mit Struktur 1. Dies könnte durch unterschiedliche Wafer-Chargen zu erklären sein.

Des Weiteren kann man sehen, dass die Strukturen 2 und 3 zu einer deutlichen Erhöhung der charakteristischen Bruchfestigkeit im Vergleich zu der SiO₂-Beschichtung führt. Die Weibull-Module, siehe Tabelle 2, sind für Struktur 2 und 3 auch erhöht.

	SiO ₂ Front	SiO ₂ Back	SiO ₂ + Struktur 1 Front	SiO ₂ + Struktur 1 Back	SiO ₂ + Struktur 2 Front	SiO ₂ + Struktur 3 Front
Char. Bruchspannung σ_θ in MPa	2384	2370	2870	3821	4792	4160
Weibull-Modul m	2,6	3,4	3,1	2,5	3,0	3,3

Tabelle 2: Festigkeitsparameter der 380 µm dicke Silizium Wafer mit SiO₂-Beschichtung und Strukturierungen

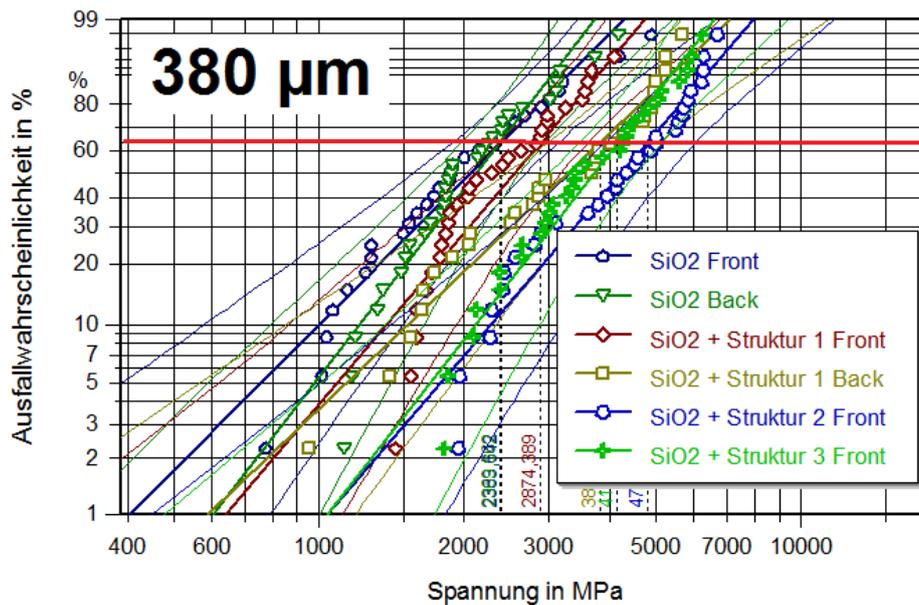


Abbildung 28: Charakteristische Bruchspannungen für 380 µm dicke Si-Chips mit verschiedenen Strukturierungen

Man kann anhand dieser Ergebnisse sehen, dass Strukturierungen und die Gestalt der Struktur Einfluss auf die Bruchfestigkeit von Silizium-Chips haben.

Untersuchungen möglicher Vorschädigungen durch Handlingsprozesse

Verschiedene Handlingprozesse während der Bauteilfertigung können deutlich die Bruchwahrscheinlichkeit bei nachfolgenden AVT-Schritten beeinflussen. Ein typisches Beispiel hierfür sind „pick-and-place“-Anwendungen, welche unter ungünstigen Bedingungen zur Vorschädigung der Halbleiterbauelemente führen können. Zur bruchmechanischen Bewertung einer „pick-and-place“-Anwendung am IWMH, wurden an von PbA-Seite bereitgestellten Proben Festigkeitsanalysen mittels Kugel-Ring-Versuch (Kugel: Ø 8 mm; unterer Ring: Ø 7,5 mm) durchgeführt und mögliche Schädigungen der Oberfläche mittels REM untersucht. Die analysierten Chip-Proben wurden hierfür mit verschiedenen „pick-and-place“-Kräften aus einem angepassten Prozess automatisiert von den Wafern entnommen.

- Charge I: geringe Abpickkraft (Standard-Nadeldruck); Probenzahl N=18
- Charge II: mittlere Abpickkraft (ca. Faktor 5 x Standard-Nadeldruck); Probenzahl N=15
- Charge III: große Abpickkraft (ca. Faktor 10 x Standard-Nadeldruck); Probenzahl N=11
- Charge Referenz: ohne Abpickkraft entnommen (manuell); Probenzahl N=12

Die Ergebnisse der Festigkeitsanalysen zeigen im analysierten Fall keine signifikanten Unterschiede für verschiedene Abpickkräfte (Abbildung 29). Aufgrund der Streuung beim verwendeten Stichprobenumfang (90% Konfidenzintervall) ist keine Aussage über den Einfluss des Handlingprozesses auf die Festigkeit möglich. Für den vorgegebenen Fall und analysierten Kraftbereich hat der „pick-and-place“-Prozess keine Auswirkungen auf die Ausfallrate der Si-Chips, wobei ebenfalls keine Oberflächenschädigungen der Probenoberfläche im REM sichtbar sind (Abbildung 30).

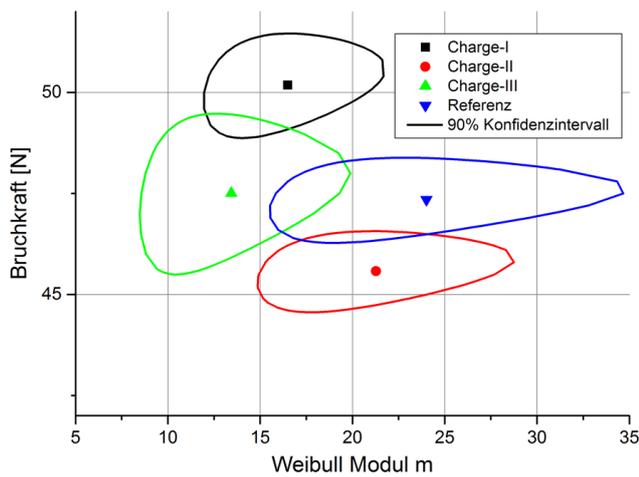


Abbildung 29: Vergleich der ermittelten Bruchkräfte der analysierten IGBT als Funktion der Abpickkraft

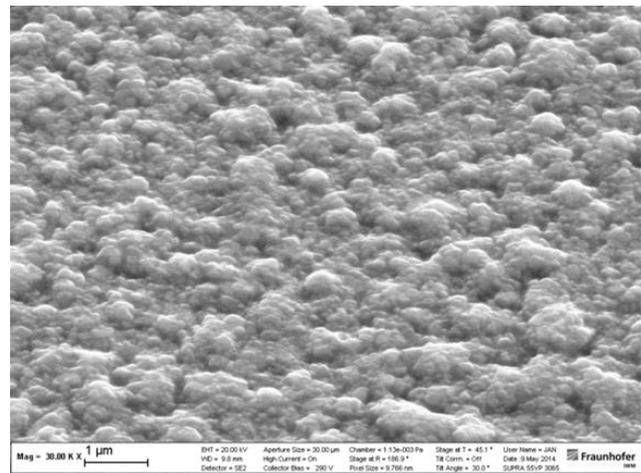


Abbildung 30: REM-Abbildung der Probenoberfläche im Bereich der Nadelmarken ohne erkennbare Schädigung

Im Rahmen einer Prozessoptimierung zur Verringerung von Chipbruchausfällen kann somit der analysierte spezifische Handlings-Prozess als unkritisch betrachtet werden.

Festigkeitsanalysen von Bauteilmustern (Festigkeitsanalyse diverser IGBT's)

Zur Kombination des in AP1 durchgeführten Screening kommerzieller Bauelemente fand zusätzlich eine Bewertung der Festigkeiten statt. Hierzu wurden an vom PbA zur Verfügung gestellten und kommerziell verfügbaren IGBT bruchmechanische und mikrostrukturelle Analysen am IWMH durchgeführt.

An 9 Test-Wafern mit elektrisch defekten IGBT (W32-39; Dicke 85 µm) und elektrisch intakten Referenzproben wurden Festigkeitsuntersuchungen mittels Ring-Ring-Versuchen durchgeführt. Die Aufbau-Parameter sind folgende:

- Ringabmaße Auflager: Ø 6,5 mm und Radius 0,5 mm
- Ringabmaße Lastfinne: Ø 4,5 mm und Radius 0,25 mm

Die ermittelten Bruchkräfte wurden mittels Weibull-Statistik ausgewertet, siehe Tabelle 3.

Zusätzlich wurde die Verwölbung zur Eigenspannungsmessung der IGBT erfasst und mit den Bruchfestigkeitsergebnissen in Korrelation gesetzt. Des Weiteren wurden 4-Punkt-Biege-Versuche an je 4 Proben pro Wafer für Fraktographie zur Erfassung von Rissursprüngen an Kanten und ggf. im Material vorgenommen.

	W32	W33	W34	W35	W36	W37	W38	W39	Elektr. intakte IGBT
Weibull-Modul m	9,0	11,0	6,6	16,0	6,2	8,7	12,9	9,6	22,6
Charakteristische Bruchkraft [N]	52,6	48,58	48,2	46,5	48,0	47,0	48,4	51,2	47,3

Tabelle 3: Ergebnisse der Ring-Ring-Versuche an industriellen IGBT

In Abbildung 31 ist eine Korrelation zwischen der lokalen Entnahmeposition auf dem Wafer und der Festigkeit zu beobachten. Eine besonders geringe Festigkeit ist in der Mitte des Wafers zu verzeichnen, wobei eine Streuung von ca. 30% über den Wafer vorliegt.

Zwischen den analysierten Chargen sind Festigkeitsschwankungen von bis zu 55 % messbar. Im direkten Vergleich zu den elektrisch intakten Referenzproben ist ein deutlicher Anstieg des Weibullmoduls sichtbar (Abbildung 32). Der Rissursprung konnte mit Fraktografieanalysen sowohl den Vereinzlungskanten als auch z.T. vorhandenen Oberflächendefekten zugeordnet werden.

Zur Abschätzung des Eigenspannungszustandes wurde die Probenkrümmung mittels Lasertriangulation bestimmt. Hierbei ist eine Erhöhung des Krümmungsradius und somit erhöhte Spannung für die elektr. intakten Proben messbar.

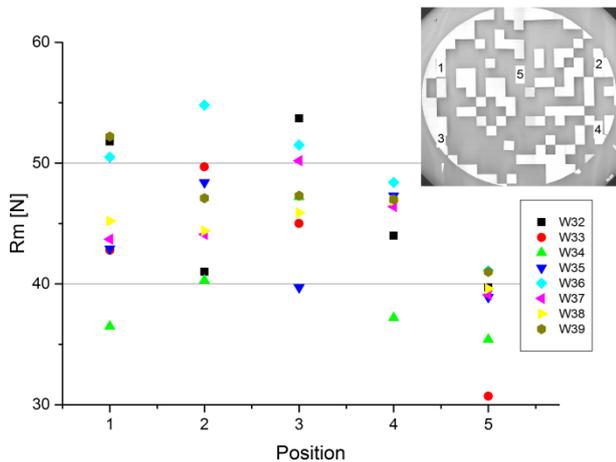


Abbildung 31: Korrelation zwischen Festigkeit und Wafer-Position des Si-Chips

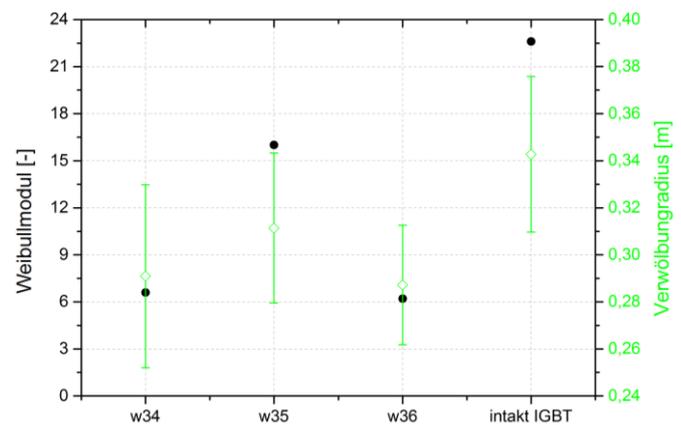


Abbildung 32: Korrelation zwischen Weibullmodul m und Wölbungsradius

Diese messbaren und prozessbedingten Festigkeitsstreuungen auf Waferlevel verdeutlichen das vorhandene Potenzial einer Qualitätsoptimierung, verbunden mit Lebensdauer- und Zuverlässigkeitssteigerungen auf Bauteilebene im Anwendungsfeld.

Aufbau und Charakterisierung eines Bauelemente-Musters

In diesem Arbeitspaket sollen an Bauelementemustern Bruchfestigkeitsanalysen zur Untersuchung des Einflusses von AVT-Prozessen auf die Oberflächenbruchfestigkeit vorgenommen werden. Im Rahmen einer Bachelorarbeit von Herrn L. Litzenberger am Lehrstuhl AVT am IMTEK wurde es möglich gemacht, die Dehnung in situ bei der Bruchfestigkeitsuntersuchung mittels eines GOM-Messsystem, das auf der Grauwertkorrelation (DIC) basiert, aufzunehmen.

Die digitale Grauwertkorrelation (DIC - Digital Image Correlation) ermöglicht eine Analyse von Formänderung und Dehnung einer Probe in allen drei Raumrichtungen. Als optische Messmethode arbeitet sie dabei rückwirkungsfrei. Hierbei werden Punktkorrespondenzen miteinander korreliert, weshalb auch von Image Pattern Correlation Technique (IPCT) gesprochen wird [18].

Für die digitale Grauwertkorrelation ist es zwingend erforderlich, dass das Messobjekt ein stochastisch verteiltes Punktmuster wie in Abbildung 33 aufweist. Die Auswertesoftware unterteilt die erzeugten Bilder des Messfeldes in kleine Facetten, die jeweils einem eindeutigen Punktmuster zugeordnet sind (Abb. 33). Durch Verschiebung oder Deformation der Probenoberfläche ändern sich auch die Positionen der Facetten und die Software weist jeder Facette einen Verschiebungsvektor zu. Mit Hilfe der Pixelkoordinaten für jeden Aufnahmezustand kann die Dehnung und Verformung mit hoher Präzision bis in den Sub-Pixel-Bereich bestimmt werden [18, 10].

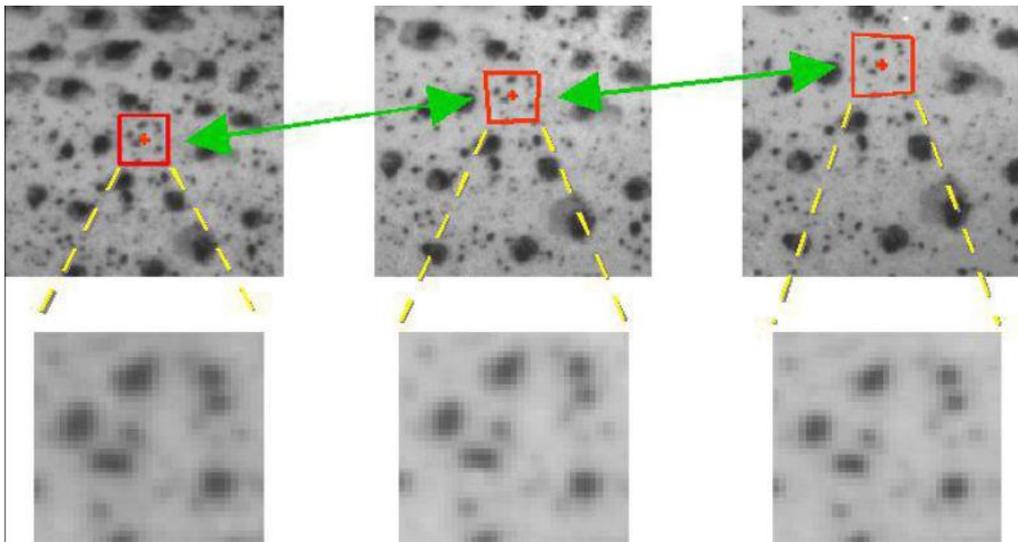


Abbildung 33: Objektaufnahmen zu unterschiedlichen Zuständen von links nach rechts. Das Muster und die Facetten werden durch die Verformung des Körpers verschoben und gedehnt [19].

Die Auswertung erfolgt dabei immer in Bezug auf den Referenzzustand. Bei Vergleich der Zustände vor und nach einer Deformation spricht man von zeitlicher Bildkorrelation. So lassen sich Formänderungen in einer Ebene messen [10].

Bei der flächenhaften dreidimensionalen Erfassung beliebiger Körper mit der optischen Messtechnik wird das geometrische Verfahren der Triangulation genutzt. Das zu vermessende Objekt wird mittels zweier CCD-Kameras aus verschiedenen Blickwinkeln aufgenommen. Ein derartiger Aufbau ist in Abbildung 34 dargestellt. Die Mustererkennung stellt für die Bilder beider Kameras Punktkorrespondenzen her und korreliert diese miteinander. Daraus lässt sich der räumliche Zustand des Objektes ermitteln. Mit Hilfe dieser Messdaten lassen sich Dehnungsverläufe berechnen und dreidimensional visualisieren [10].

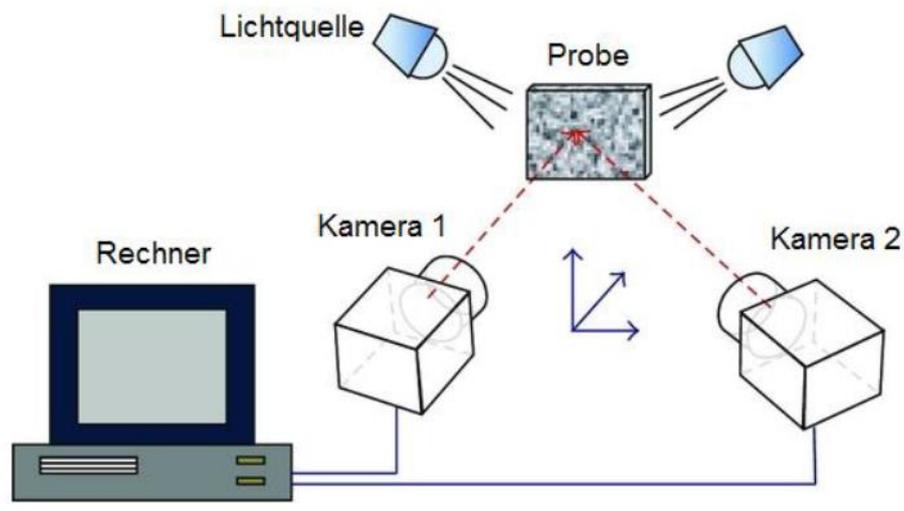


Abbildung 34: Stereoskopischer Aufbau zur dreidimensionalen Verformungsmessung mit zwei unterschiedlich positionierten Kameras und eigenständiger Beleuchtung [20].

Es wurden zwei Chargen von jeweils 12 Bauelemente-Mustern zur bruchmechanischen Analyse mit dem Kugel-Ring-Versuch und visuellen Untersuchung mittels des GOM-Messsystem hergestellt. Dazu wurden Si-Chips mit einer TiNiAg-Rückseitenbeschichtung auf eine kupferbeschichtete Epoxidplatine gelötet.

- Parameter der Si-Chips: 10 x 10 mm², Dicke von 525 µm (Charge I) und 380 µm (Charge II), 210 nm TiNiAg-Beschichtung
- Parameter der Platine: 30 x 30 mm², Dicke 1,5 mm, 35 µm Cu-Beschichtung

Bei diesem Versuch werden der Bruchtest und die visuelle Vermessung der Dehnung mittels digitaler Grauwertkorrelation simultan vorgenommen.

- Parameter des Kugel-Ring-Aufbaus: Kugel Ø 6 mm; Auflagering Ø 15 mm

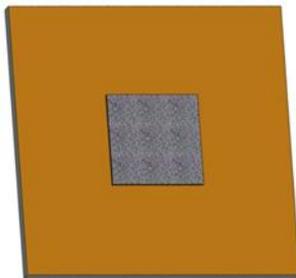


Abbildung 35: Bauelemente-Muster



Abbildung 36: Messstand und GOM-Messsystem (DIC)

Mit diesem Versuchsaufbau kann man den Verlauf der Dehnung während des Belastungstests aufnehmen und mit der Kraftmessung der Universalprüfmaschine korrelieren. Die Proben wurden für die digitale Grauwert-Korrelation mit einem stochastischen Muster mittels Aufsprühen vom weißen und schwarzen Lack versehen.

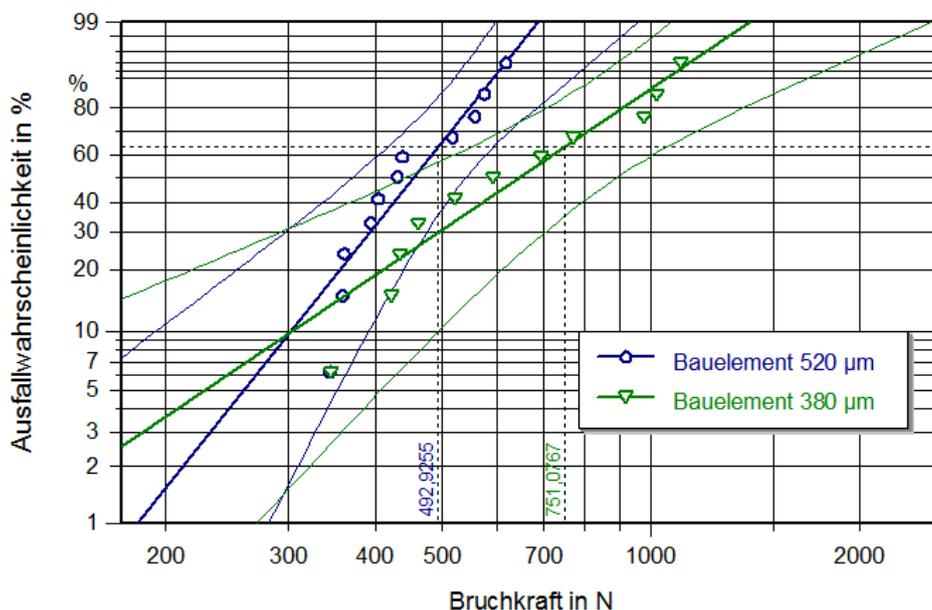


Abbildung 37: Weibull-Diagramm des Bruchbelastungstest der Bauelemente

Man kann anhand der Bruchtestergebnisse (Abbildung 37) und der Ergebnisse der Grauwertkorrelation (DIC) sehen, dass der 380 µm dicke Silizium-Chip eine höhere Belastung aushält und beim Bruch eine größere Verformung aufweist. Der 380 µm dicke Silizium-Chip zeigt aber eine größere Streuung der Messwerte als der 520 µm dicke Silizium-Chip.

Mittels der GOM-Aufnahmen, Abbildung 38 und 39, kann man sehr gut den Belastungszustand des Chips ohne Belastung und kurz vor dem Bruch sehen.

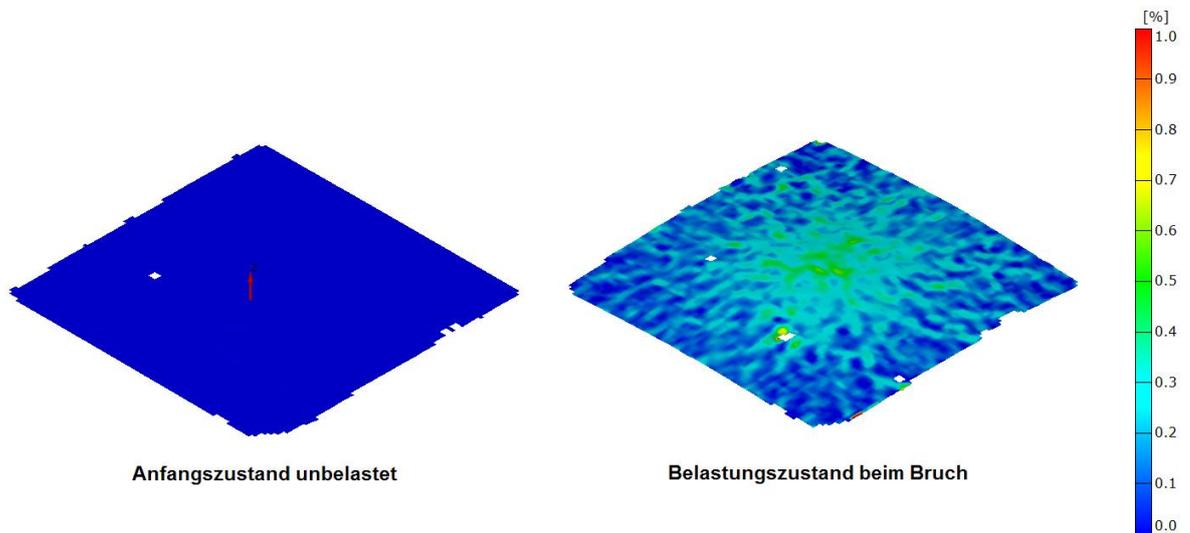


Abbildung 38: Hauptformveränderung des Siliziums-Chips mit 520 µm Dicke auf Platine im Verlauf des Belastungstests

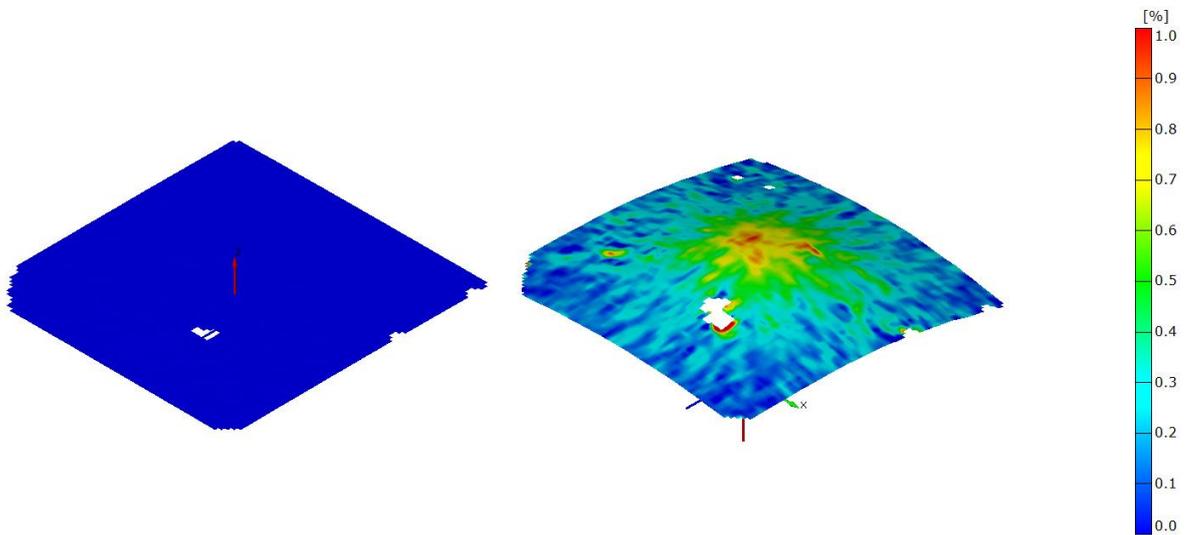


Abbildung 39: Hauptformveränderung des Siliziums-Chips mit 380 µm Dicke auf Platine im Verlauf des Belastungstests

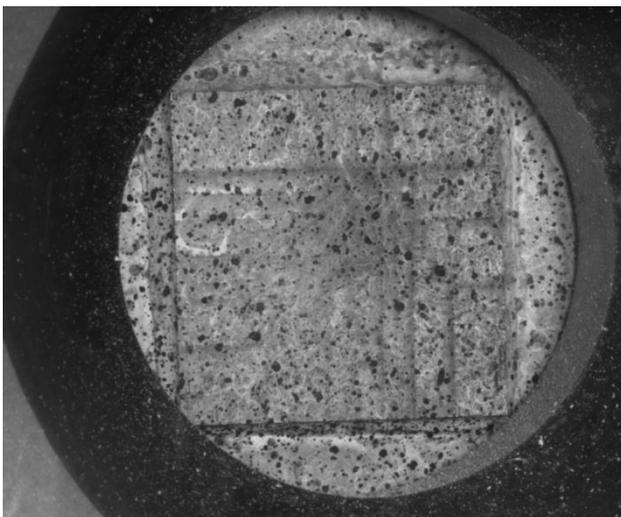


Abbildung 40: Gebrochener Chip (520 µm)

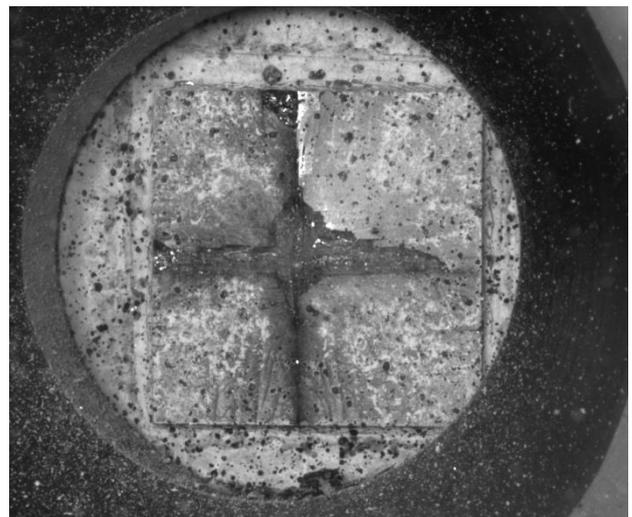


Abbildung 41: Gebrochener Chip (380 µm)

5.3.3 AP3: Prozesse zur Defektentschärfung

In Arbeitspaket 3 wurden bekannte und bereits industriell eingesetzte Methoden zur Defektentschärfung hinsichtlich ihrer Wirksamkeit untersucht werden. Die durch das Projekt „Chipcrack“ erarbeiteten Verfahren zur Defektentschärfung an Chipkanten sollen für den Einsatz als Stress-Relief-Prozess für die Wafer-Oberflächen Anwendung finden.

Dabei wurden die Auswirkungen des KOH-Rückdünnens und das XeF₂-Defektätzen auf die Oberflächenfestigkeit bruchmechanisch und mikrostrukturell analysiert. Zusätzlich wurden verschiedene Nachbehandlungsprozesse nach dem Waferrückdünnen auf den resultierenden Festigkeitseinfluss untersucht. Dabei fand eine Korrelation der Oberflächenfestigkeit mit verschiedenen Schleif- und Polier-Prozessen statt.

Korrelationen der Festigkeitskenngrößen bei KOH-Rückdünnen und XeF₂-Ätzen

Zur Untersuchung nach Möglichkeiten der Defektentschärfung wurden Si-Wafer mit KOH rückgedünnt und mit XeF₂-Ätzen behandelt. Beim KOH-Rückdünnen werden die Rückseiten der Wafer anisotrop geätzt, indem sie in ein KOH-Bad getaucht werden. Beim XeF₂-Ätzen werden die Si-Wafer-Oberflächen gleichmäßig geätzt.

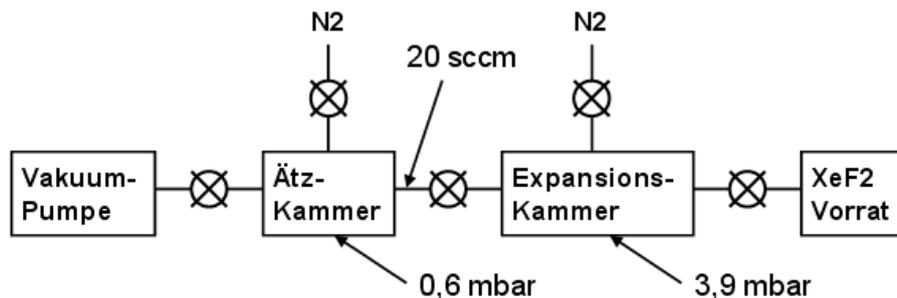
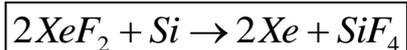


Abbildung 42 :Blockdiagramm eine XeF₂ Ätzanlage [1]

Prozessablauf beim XeF₂-Ätzen:

- XeF₂ liegt bei Raumtemperatur und Normaldruck als Kristall vor.
- Übergang bei 40°C und einem Druck unter 4 mbar in die Gasphase
- Expansion in die Expansionskammer bei 3,9 mbar und 40 °C
- Gasstrom in die Ätzkammer mit 0,6 mbar
- Katalyse an der Si-Oberfläche
- Bildung von Fluor-Ionen und Abtrag der Si-Oberfläche



Als Ergebnis führt eine KOH-Nachbehandlung zu einer deutlichen Festigkeitssteigerung bei gleichzeitiger Erhöhung der Streuung sowohl bei polierten Oberflächen (Abbildung 43) als auch bei unpolierten Oberflächen (Abbildung 45).

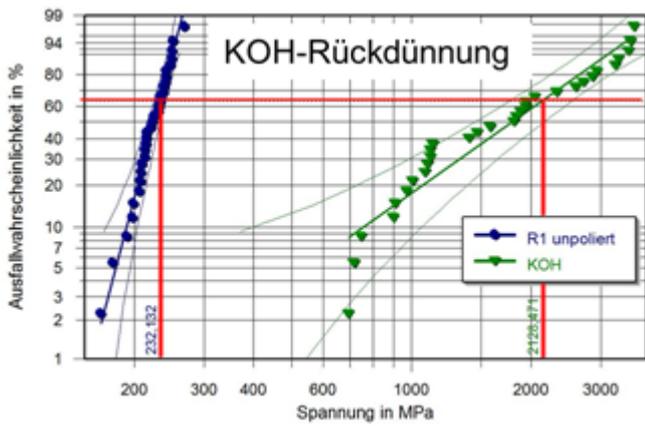


Abbildung 43: KOH-Rückdünnung auf R1 (525 µm)

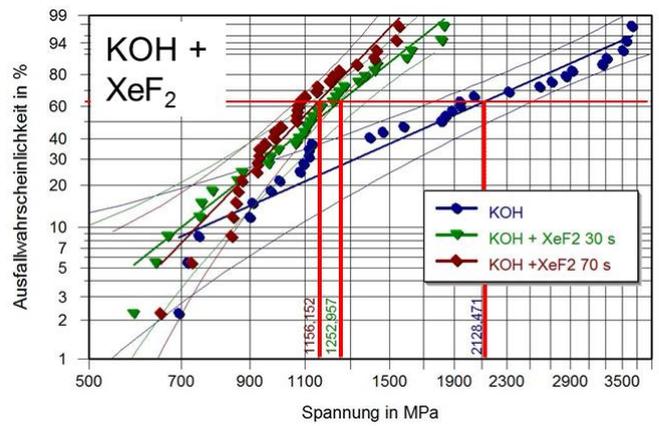


Abbildung 44: Vergleich von KOH-Rückdünnen und XeF₂-Ätzen auf R1

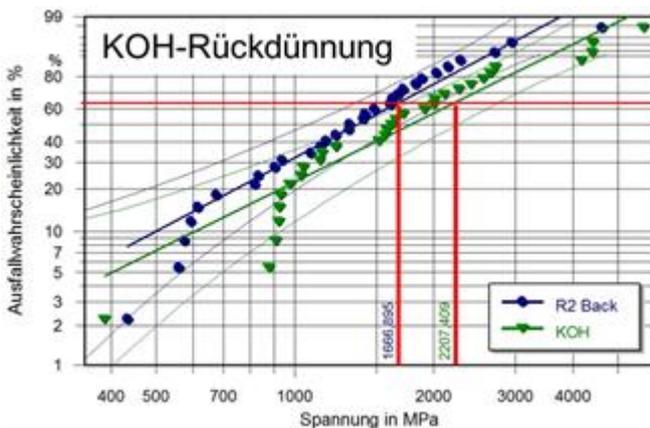


Abbildung 45: KOH-Rückdünnung auf R2 (380 µm)

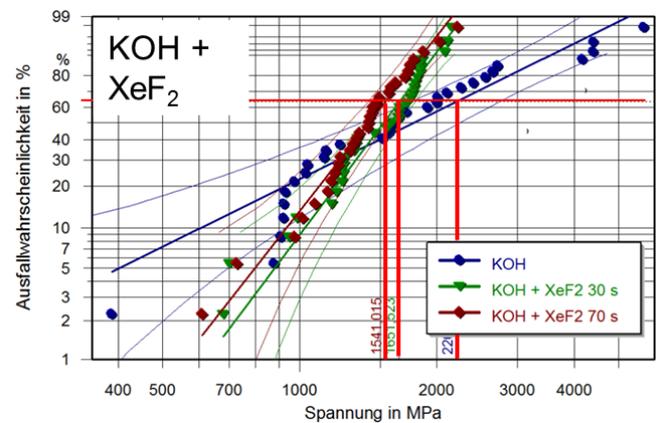


Abbildung 46: Vergleich von KOH-Rückdünnen und XeF₂-Ätzen auf R2

Als Prozessfolge des XeF₂-Ätzens ist eine Abnahme der Oberflächenrauigkeit mit zunehmender Prozessierungsdauer messbar. Diese führt zwar nicht zu einer Erhöhung der Festigkeit, jedoch zur Verringerung der Streuung (Abbildung 44, 46). Diese Ergebnisse der bruchmechanischen Analyse können durch mikrostrukturelle Oberflächenanalysen erklärt werden. Wie man an lokalen Kontrastunterschieden in Abbildung 47 sehen kann, führt der XeF₂-Prozess zum lokalen Anätzen bestehender Oberflächendefekte und somit zur Erhöhung der Defektgröße bzw. Veränderung der Defektgrößenverteilung. Die Ursache der Entstehung der Ätzdefekte konnte im Rahmen des Projektes nicht geklärt werden.

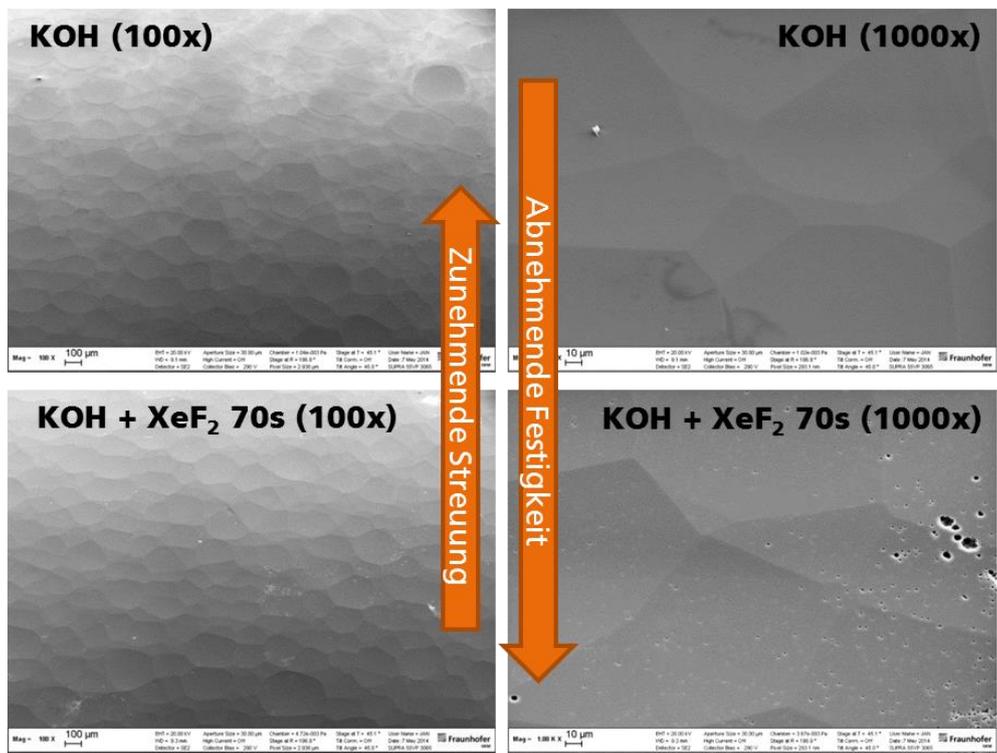


Abbildung 47: REM-Aufnahmen der mit KOH und KOH+XeF₂ geätzten Wafer (R1, 525 µm, unpoliert)

Analog zu den sichtbaren Oberflächenveränderungen aus Abbildung 47 ist eine messbare Abnahme der Oberflächenrauigkeit nach Abbildung 48 zu verzeichnen. Diese nimmt im Vergleich zum Referenzwafer ($S_q \sim 800$ nm) mit zunehmenden Prozessschritten bzw. Prozesszeiten weiterhin deutlich ab. Wie bereits in Abbildungen 44 und 46 angedeutet, geht dies jedoch nicht mit einer Zunahme der Bruchfestigkeit einher.

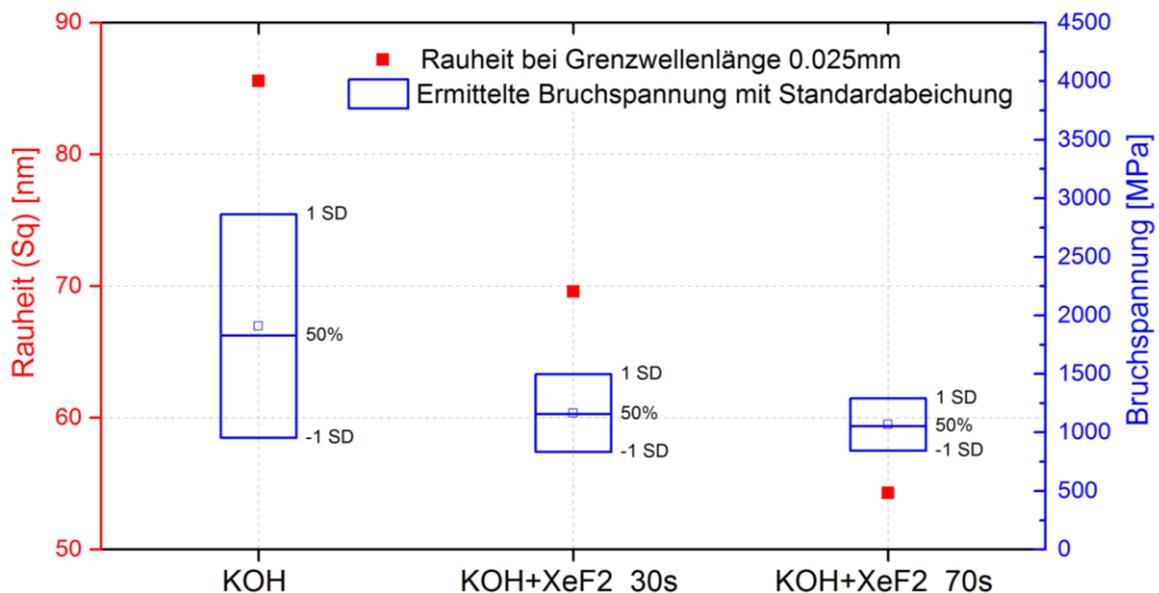


Abbildung 48: Gemessene Oberflächenrauigkeiten und Bruchspannungen nach Ätzen mit KOH bzw. KOH+XeF₂. Wafer (R1, 525 µm, unpoliert)

Bewertung von Prozessentschärfungsmaßnahmen nach Rückdünnpromessen

Für eine systematische Studie zur Bewertung von Oberflächendefekten nach typischen Waferückdünnpromessen wurden Testwafer hinsichtlich ihrer Oberflächenfestigkeit in Korrelation mit verschiedenen Schleif- und Polier-Promessen untersucht. Hieraus lässt sich der Nutzeffekt verschiedener zusätzlicher Prozessschritte oder Prozesszeiten in Bezug auf die Ausbeute-Optimierung ableiten. Die mikrostrukturell und mechanisch bewerteten Proben haben einen chronologischen Herstellungsprozess (W01 bis W04) durchlaufen:

- W01: Schleifen (grob + fein) auf 511 μm Waferdicke
- W02: Schleifen + 2 μm CMP auf 511 μm Waferdicke
- W03: Schleifen + 5 μm CMP auf 506 μm Waferdicke
- W04: Schleifen + 10 μm CMP auf 500 μm Waferdicke
- W05: Schleifen + 5 μm Spin-Etching auf 505 μm Waferdicke

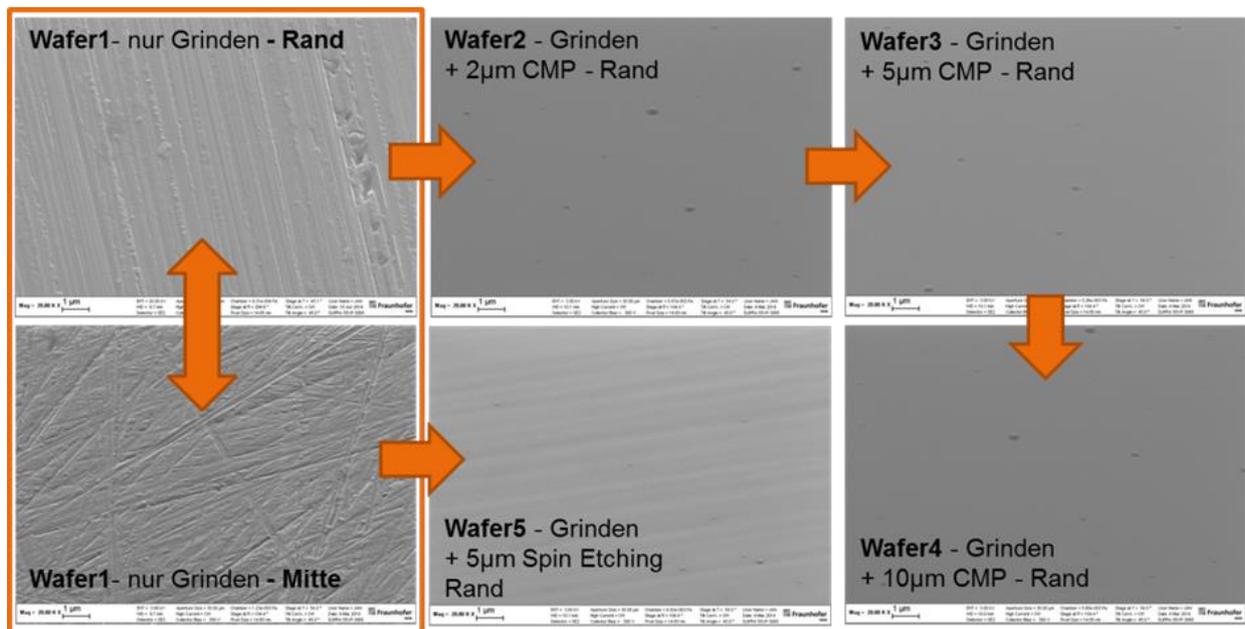


Abbildung 49: REM-Aufnahmen der Waferoberfläche nach verschiedenen Defektentschärfungsprozessen

Für die bruchmechanischen Analysen kam ein Ring-Ring-Biegeversuch zum Einsatz. Dabei werden die Proben homogen im Bereich des oberen Rings belastet, um so ein Bauteilversagen hinsichtlich vorhandener Oberflächendefekte zu provozieren. Es erfolgte eine Belastung der rückgedünnten Chipseiten auf Zugspannung. Die aus den Experimenten ermittelten Bruchkräfte wurden mit FEM-Simulationen in Bruchspannungen umgerechnet und mittels Weibull-Analyse ausgewertet und verglichen. Abbildung 50 zeigt die Weibullverteilungen der resultierenden Bruchspannungen in Kombination mit der Oberflächenmorphologie aus AFM-Messungen. Es ist eine deutliche Zunahme der Festigkeit mit nachfolgendem CMP und Spin-Etching zu verzeichnen. Zusätzlich sind deutliche lokale Unterschiede der Festigkeitsverteilung über den Wafer zu verzeichnen. Abbildung 51 stellt hierfür die lokale Festigkeitsverteilung als Wafermap (W05) dar. Dabei sind prozessbedingt sowohl Bereiche mit signifikant erhöhter Festigkeit als auch Festigkeitsreduzierungen sichtbar. Durchgeführte Topografiemessungen mittels Weißlichtinterferometrie zeigen Oberflächenschädigungen und korrelieren zu den Festigkeitsergebnissen. Ergänzend zeigt Abbildung 52 die gemessene Oberflächenrauheit nach verschiedenen Prozessschritten. Es ist eine deutliche Abnahme der Oberflächenrauheit mit Korrelation zur Festigkeitszunahme nach entsprechenden CMP und Spin-Etching zu verzeichnen. Allerdings können

für die CMP-behandelten Wafer keine signifikanten Unterschiede in der Festigkeit festgestellt werden.

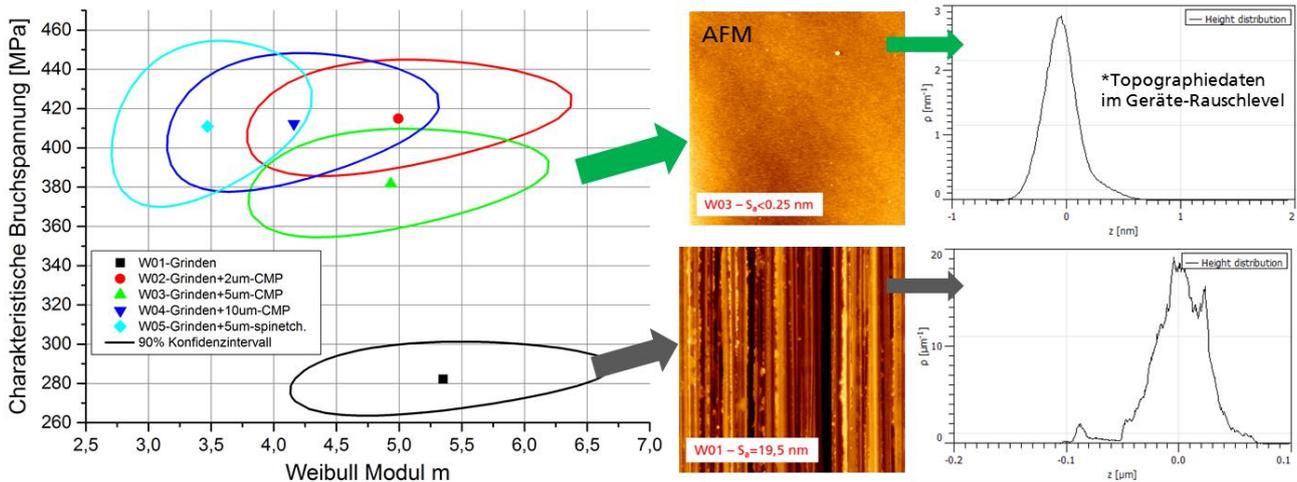


Abbildung 50: Ermittelte Festigkeitsverteilung der Wafer 01 bis 05 mit Vergleich der gemessenen Rauheitsverteilung aus Rasterkraftmikroskopieanalysen (AFM)

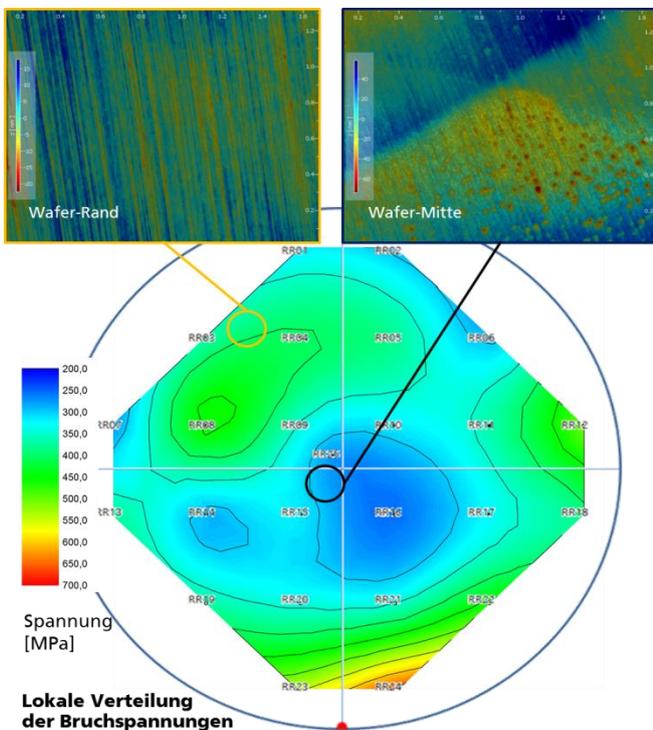


Abbildung 51: Ermittelte Festigkeitsverteilung von Wafer 05 (Spin-Etching) mit Rauheitsmessung am Wafer-Rand und in Wafermitte

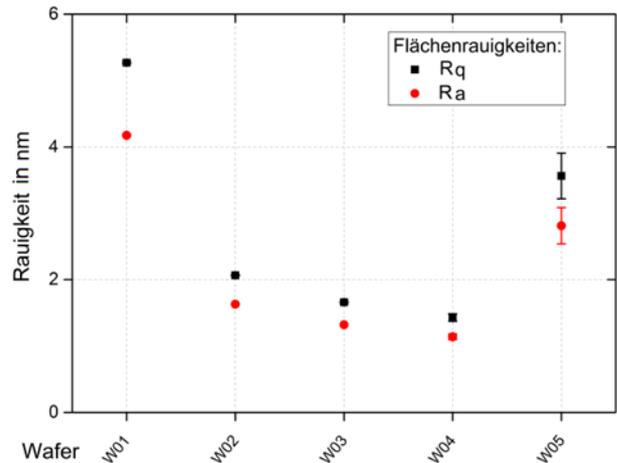


Abbildung 52: Ermittelte Oberflächenrauheit für Wafer 01 bis 05

Für den analysierten Prozess kann somit eine deutliche Festigkeitssteigerung nach Schleifen durch CMP und Spin-Etching erreicht werden. Eine signifikante Erhöhung der Festigkeit durch Variation der Abtragtiefe im analysierten Bereich (2-10 µm) ist jedoch nicht ersichtlich.

5.3.4 AP4: Fehlerdarstellung

Im Rahmen des Projektes wurden wie geplant mit den Firmen des PbA diverse analytische Methoden zur Defekterkennung sowie zur Prozessoptimierung evaluiert und diskutiert. Hierfür fanden zur Defekt-Fehlerdarstellung die in AP 1 vorgestellten Verfahren Anwendung. Aufgrund der zur Defektbewertung benötigten hohen Auflösungsanforderungen und damit lateralen Beschränkung, in Kombination großen Probenabmessungen, ist eine verallgemeinerte Aussage zu möglichen analytischen Bewertungstechniken nur bedingt und hohem Aufwand möglich. Entsprechende identifizierte Defektarten in Kombination der einzelnen Analysetechniken sind in AP1.1 und AP2.1 aufgeführt. Als wesentliche und wichtigste Methode zur Defektbewertung und Prozessoptimierung muss die experimentelle Charakterisierung betrachtet werden. Trotz zerstörenden Charakters ist hierbei eine reproduzierbare und sensitive Bewertung großer Probenbereiche mit vertretbarem Prüfaufwand möglich, welche im Anschluss durch eine Ursachenanalyse bzw. mikrostrukturelle Fehlerdarstellung (z.B. REM) zu ergänzt wird ist. Für die fertigungstechnische Relevanz konnten besonders Defekte durch Rückdünnverfahren identifiziert werden. Der Festigkeitseinfluss von Metallisierungen oder Passivierungen erlangt nur für Halbleiter mit geringerer Oberflächengüte hinsichtlich Festigkeitsoptimierung Bedeutung. Ein Einfluss auf polierte Wafer ist gering.

Zur experimentellen Festigkeitsbewertung sowie zur Übertragung der Ergebnisse auf Bauteilebene unter beliebigen Belastungen ist zusätzlich die Defektverteilung in Form des Größeneffektes zu berücksichtigen. Aufgrund des Aspekt-Verhältnisses der bis zu 50 μm dünnen Proben (z.B. IGBT) spielen bereits in der experimentellen Materialbewertung geometrische Nichtlinearitäten sowie von der Verformung abhängige Defektverteilungs- und Defektgrößeneinflüsse eine deutliche Rolle. Im Rahmen des Arbeitspaketes wurden Vergleichsmessungen der Bruchspannung mit verschiedenen Prüfaufbauten der unpolierten Seite des Referenz-Wafers I (525 μm) durchgeführt. Hierfür fanden folgende Ring-Ring- und Kugel-Ring-Aufbauten Anwendung (Abbildung 53):

- Ring-Ring-Aufbau: $\varnothing_{\text{Ring I}} = 7,5 \text{ mm}$; $\varnothing_{\text{Ring II}} = 4,5 \text{ mm}$ (Wafer a)
- Kugel-Ring 1: $\varnothing_{\text{Kugel}} = 8 \text{ mm}$; $\varnothing_{\text{Ring}} = 7,5 \text{ mm}$ (Wafer a)
- Kugel-Ring 2: $\varnothing_{\text{Kugel}} = 2 \text{ mm}$; $\varnothing_{\text{Ring}} = 7,5 \text{ mm}$ (Wafer a)
- Kugel-Ring 3: $\varnothing_{\text{Kugel}} = 2 \text{ mm}$; $\varnothing_{\text{Ring}} = 5 \text{ mm}$ (Wafer b)

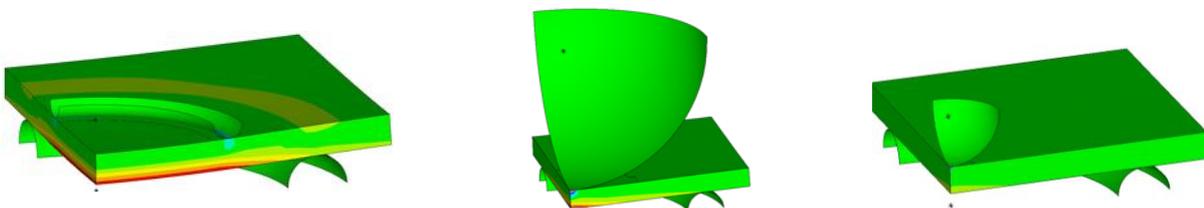


Abbildung 53: FE-Modell zur Spannungsrechnung und Darstellung der effektiv belasteten Flächen bei den verschiedenen Versuchsaufbauten

Das Ergebnis der Festigkeitscharakterisierung ist in Abbildung 54 und Tabelle 4 für die verschiedenen Prüfaufbauten dargestellt. Hierbei zeigen sich deutliche Unterschiede in der gemessenen charakteristischen Bruchspannung σ_{θ} von ca. 25% für die verschiedenen Aufbauten. Diese Abweichungen lassen sich durch den Größeneffekt und z.T. verschiedene Waferchargen (Wafer a, b) erklären. Die Berücksichtigung des Größeneffektes erfolgt unter Verwendung der belasteten Flächen A_i aus der FEM-Simulation sowie den berechneten Elementhauptspannungen (σ_I , σ_{II}) nach Gleichung 1.

$$A_{eff} = \sum_{i=1}^n \Delta A_i \left(\left(\frac{\sigma_I}{\sigma_{max}} \right)^m + \left(\frac{\sigma_{II}}{\sigma_{max}} \right)^m \right) \quad (1) \quad \sigma_0 = \sigma_{\theta} A_{eff}^{1/m} \quad (2)$$

Die Ergebnisse nach Ermittlung des Skalierungsparameters σ_0 gemäß Gleichung 2 sind in Abbildung 55 dargestellt. Es zeigt sich, dass für Wafer a alle Versuchsaufbauten mit verschiedenen belasteten Probenoberflächen zu vergleichbaren Festigkeitskennwerten führen. Wafer b (Kugel-Ring 3) zeigt weiterhin eine Abweichung von ~15%. Dies kann auf eine veränderte Festigkeitsverteilung des Wafers aufgrund unterschiedlicher Waferchargen zurückgeführt werden.

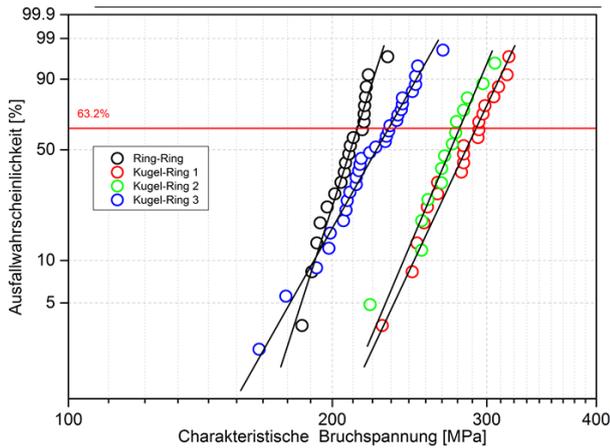


Abbildung 54: Mit FE-Simulationen berechnete charakteristische Bruchspannungen σ_{θ} für verschiedene Mess-Aufbauten

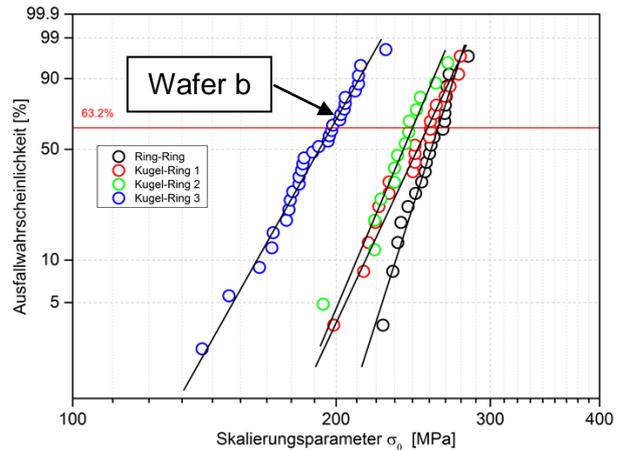


Abbildung 55: Ergebnisse bei Berücksichtigung des Größeneffekts durch FE-Simulation

Tabelle 4: Ergebnisse der Bruchuntersuchungen mit verschiedenen Testaufbauten

	Charakt. Spannung σ_{θ} [MPa]	Weibull-Modul m
Ring-Ring (Wafer a)	213,6	20,2
Kugel-Ring 1 (Wafer a)	291,8	13,8
Kugel-Ring 2 (Wafer a)	279,4	15,3
Kugel-Ring 3 (Wafer b)	235,6	11,9

Als Ergebnis des Arbeitspunktes lässt sich aufgrund der deutlich nichtlinearen geometrischen Einflüsse während des Tests in Kombination signifikant veränderter belasteter Probenbereiche (Oberflächen) kein allgemeingültiges vereinfachtes Modell zur Beschreibung chipbruchbedingter Ausfälle erstellen. Aufgrund der Diversität der Proben (geometrisches Aspektverhältnis) in Kombination zur lokalen Belastung im Festigkeitstest und realen Beanspruchung im Prozess (z.B. während der AVT) wird zur Bestimmung der Bruchwahrscheinlichkeit eine numerische Simulation in Kombination der Berücksichtigung des Größeneffekts notwendig.

6 Angaben über gewerbliche Schutzrechte

Es werden keine gewerblichen Schutzrechte beantragt.

7 Plan zum Ergebnistransfer

Die von den Forschungsstellen im laufenden Projekt und nach Abschluss des Projekts geplanten Maßnahmen zum Ergebnistransfer umfassen im Einzelnen die nachstehend Aufgeführten.

	Zeitraum	Maßnahme	Ziel / Bemerkung
während der geplanten Laufzeit von 12 Monaten	fortlaufend	1. Unterstützung des PA	Ergebnispräsentation und Diskussion der durchgeführten und geplanten Arbeiten
	halbjährlich Oktober 2013 und Mai 2014	2. Beratung des projektbegleitenden Ausschusses	Fortschrittsbericht, Diskussionen, Festlegungen, Abstimmung, Maßnahmen
	halbjährlich Dez. 2013, April und Nov. 2014	3. Ergebnispräsentation und Beratung des DVS FA 10 Mikroverbindungstechnik	Fortschrittsbericht, Diskussionen, Festlegungen, Abstimmung, Maßnahmen
	jährlich	4. Organisation und Beteiligung an Workshops (z.B. ECPE, ZVEI „Stressarme Packages“, FAM-Workshop)	Direkter Know-how-Transfer zu PA und zu weiteren KMU und Firmen
	August 2014	5. Beratung und Weiterbildung des PA	Darstellung des Fehlerkatalogs (AP1), Bestandsaufnahme relevanter Defekte und möglicher Detektionsverfahren
	Oktober 2014	6. Bericht auf Fachtagung IMAPS in München	Ergebnispräsentationen gegenüber Fachwelt
nach Abschluss des Vorhabens	6 Monate nach Projektende	7. Aufnahme der Ergebnisse in die akademische Lehre (Vorlesung: Qualitätsmanagement und Assembly and Packaging)	Im Rahmen der genannten Vorlesungen können Studenten an das Problem und die Lösung herangeführt werden
	6 Monate nach Projektende	8. Abschluss- und Forschungsbericht: Veröffentlichung im Internet unter www.dvs-forschungsvereinigung.de und www.imtek.de	Zusammenstellung und vertiefte Darstellung der Forschungsergebnisse
	6 Monate nach Projektende	9. DVS-Merkblatt	Kurzfassung aus Fehlerkatalog
	Innerhalb 12 Monate nach Projektende	10. Veröffentlichung in Fachzeitschrift PLUS	Ergebnistransfer in die Wirtschaft, Wissenschaftliche der Ergebnisse und Darstellung des Einsatzes

Der vorliegende Plan zum Ergebnistransfer in die Wirtschaft wurde eingehalten und umgesetzt. Die aufgeführten Punkte zum Ergebnistransfer wurden aufgrund eines verschobenen Projektbeginns um 2 Monate und einer kostenneutralen Verlängerung um 3 Monate mit zeitlicher Verschiebung umgesetzt. Aufgrund der Verschiebung des Projektbeginns konnte man nicht mehr an der EBL im Februar 2014 teilnehmen. Alternativ erfolgte eine Präsentation der Ergebnisse auf der IMAPS-Konferenz Oktober 2014 in München.

Maßnahmen, die nach Projektabschluss erfolgen sollen, sind in Planung und werden umgesetzt. Folgende Transfermaßnahmen wurden bereits durchgeführt:

Maßnahme 1: Unterstützung des PA

Die Ergebnisse aus dem Projekt wurden an Einzelmitglieder des PA elektronisch übermittelt und telefonisch besprochen. Vor allem wurden Untersuchungen an Chips und Proben einzelner PA Firmen durchgeführt und die Ergebnisse ausführlich dargelegt. Auf diesem stetigen Austausch an Informationen, sowohl von den Forschungsstellen zu den Unternehmen als auch von den Unter-

nehmen zu den Forschungsstellen, aufbauend, konnte und wurde der Verlauf des Projekts auf individuelle Wünsche und Fragestellungen der Unternehmen hin orientiert.

Maßnahme 2: Beratung des projektbegleitenden Ausschusses

Es wurde am 22.10.2013 am IMTEK in Freiburg eine PA-Sitzung durchgeführt, an der 2 PA-Mitglieder und 1 Gast aus einem Industrieunternehmen teilgenommen haben. Eine weitere PA-Sitzung, an der 3 PA-Firmen und 1 Gast aus einem Industrieunternehmen teilnahmen, fand am 27.05.2014 am Fraunhofer IWM in Halle statt. Der PA zeigte sich stets mit dem Verlauf der durchgeführten Arbeiten einverstanden. Die Treffen wurden für ausführliche Diskussionen zum Thema genutzt. Dabei wurden die jeweils weiteren geplanten Schritte im Projekt eng mit den Unternehmen abgestimmt.

Maßnahme 3 Ergebnispräsentation und Beratung des DVS FA 10

Die Darstellung der Ergebnisse im Fachausschuss Mikroverbindungstechnik der FV des DVS fand im Rahmen von FA10-Treffen am 4.12.2013, 9.04.2014 und am 26.11.2014 statt.

Maßnahme 4. Beratung und Weiterbildung des PA

Erfolgte im Rahmen der PA-Sitzungen.

Maßnahme 5: Berichte auf Fachtagungen und Fachzeitschriften

Im Rahmen der Konferenz IMAPS wurde am 24.10.2014 ein Fachvortrag mit dem Titel „Mechanische und mikrostrukturelle Bewertung von Halbleiterbauelementen mit Oberflächendefekten“ gehalten. Weiterhin findet eine Publikation im Rahmen der „PLUS“-Fachzeitschrift des Leuz-Verlag statt.

Maßnahme 6: Übernahme der Ergebnisse in die akademische Lehre

Die Ergebnisse werden in die Vorlesungen „Aufbau und Verbindungstechnik“ und „Reliability Engineering“ aufgenommen.

Maßnahme ab 6 Monate nach Abschluss des Vorhabens

Die nach Abschluss des Projekts vorgesehenen Transfermaßnahmen werden planmäßig durchgeführt. Geplant ist eine Veröffentlichung in der Fachzeitschrift PLUS. Es ist die Herausgabe eines Forschungsberichts und Fehlerkatalogs über den Freiburger Dokumentenserver und den Instituts-Homepages (www.imtek.de/avt, www.iwm.fraunhofer.de) geplant. Sie stehen dann dauerhaft zum Download bereit.

8 Erläuterungen der Verwendung der Zuwendung

Alle Arbeiten waren notwendig und sie wurden in Abstimmung zwischen den Projektpartnern durchgeführt. Die Arbeiten entsprechen inhaltlich denen im Arbeitsplan vorgesehenen. Sie gewährleisteten daher die planmäßige Bearbeitung des Projekts.

Durchgeführte Arbeiten und eingesetzte Mittel

AP1 Herstellung und Charakterisierung von Halbleiter-Teststrukturen

- Durchgeführte Arbeiten:
 - Festlegung der Modell-Proben mit PA-Firmen in Gesprächen
 - Mikrostrukturelle Untersuchungen an repräsentativen Proben der PA-Firmen
 - Herstellung von Modell-Proben
 - Mikrostrukturelle Untersuchung der Modell-Proben
 - Dokumentation von Defekten mittels REM und Giga-Hertz-SAM
- Dazu benötigt und eingesetzt:

- wissenschaftlich-technisches Personal HPA A: 1 MM (IMTEK) 1 MM (IWMH)
- wissenschaftlich-technisches Personal HPA B: 2 MM (IMTEK) 1 MM (IWMH)
- Studentische Hilfskraft 3 MM (IMTEK) 3 MM (IWMH)

AP2 Materialprüfung: Festigkeitsanalyse und Belastungsexperimente

- Durchgeführte Arbeiten:
 - Bruchfestigkeitsuntersuchungen an den Modell-Proben mittels der Kugel-Ring-Methode
 - Herstellung unterschiedlich dicker Proben und Bruchtest mit verschiedenen Prüfaufbauten für die Bestimmung des realen Größeneffekts
 - Herstellung eines Messaufbaus am IMTEK für die Kugel-Ring-Versuche und eines Messaufbaus für Bruchfestigkeitsuntersuchungen (Kugel-Ring-Aufbau) mit simultaner Dehnungsmessung mittels Grauwertkorrelation (DIC)
 - Aufbau und Charakterisierung eines Bauelemente-Muster
- Dazu benötigt und eingesetzt:
 - wissenschaftlich-technisches Personal HPA A: 2 MM (IMTEK) 1 MM (IWMH)
 - wissenschaftlich-technisches Personal HPA B: 1 MM (IMTEK) 2 MM (IWMH)
 - Studentische Hilfskraft 3 MM (IMTEK) 3 MM (IWMH)
 - Leistungen Dritter:
Reinraum: 3363,69 € (IMTEK)

AP3 Prozesse zur Defektentschärfung

- Durchgeführte Arbeiten:
 - Rückdünnen von Si-Wafern mit KOH
 - Behandlung von rückgedünnten Si-Wafern mit XeF₂-Ätzen
 - Mikrostrukturelle und Bruchfestigkeits-Analysen mit diesen Proben
- Dazu benötigt und eingesetzt:
 - wissenschaftlich-technisches Personal HPA A: 1 MM (IMTEK) 2 MM (IWMH)
 - wissenschaftlich-technisches Personal HPA B: 2 MM (IMTEK) 2 MM (IWMH)
 - Studentische Hilfskraft 3 MM (IMTEK) 3 MM (IWMH)

AP4 Fehlerdarstellung

- Durchgeführte Arbeiten:
 - Darstellung des Größeneffekts mittels Modelbildung aus Chipcrack
- Dazu benötigt und eingesetzt:
 - wissenschaftlich-technisches Personal HPA A: 2 MM (IMTEK) 1 MM (IWMH)
 - wissenschaftlich-technisches Personal HPA B: 1 MM (IMTEK) 2 MM (IWMH)
 - Studentische Hilfskraft 3 MM (IMTEK) 3 MM (IWMH)

9 Zusammenfassung

Im Rahmen der Projektbearbeitung erfolgte eine intensive Auseinandersetzung der Forschungsstellen mit industriellen Fragestellungen zur Bewertung der chipbruchbedingten

Zuverlässigkeit durch Oberflächendefekte. Schwerpunkt lag in der Beschreibung der Belastbarkeit verschieden prozessierter Halbleitersubstrate für einen möglichen Vergleich zur Beanspruchung während nachfolgender AVT-Schritte. Hierfür fanden verschiedene Techniken zur mikrostrukturellen und experimentellen probabilistischen Bewertung an realen Bauteilen des PbA (IGBT's, Dioden), diversen Modellproben sowie erstellten Bauelementmustern statt. So wurde unter anderem systematisch der Festigkeitseinfluss verschiedener Oberflächenbeschichtungen (z.B. Passivierungen, Metallisierungen) sowie verschiedener Defektentschärfungsmaßnahmen auf die Festigkeit bewertet. Zur experimentellen Beschreibung kamen oberflächensensitive Verfahren wie Kugel-Ring- und Ring-Ring-Versuche zur Anwendung. Die Bestimmung der resultierenden Bruchfestigkeit erfolgte auf Basis numerischer Simulationen des Festigkeitsversuchs sowie z. T. unter Berücksichtigung des Größeneffektes. Systematische Analysen von Rückdünn-, Defektentschärfungs- und Handlingsprozessen zeigen resultierend das Potential zur Prozessoptimierung, Kostenreduktion und Erhöhung der Ausbeute für mögliche industrielle Anwender. Eine mikrostrukturelle Charakterisierung fand vergleichend durch Anwendung bildgebender optischer, akustischer sowie indifferenzbasierender Methoden statt. Aufgrund der Proben Diversität der untersuchten Halbleitersubstrate (z.B. Beschichtungsart, -dicke, Prozessparameter, Überlagerung durch Eigenspannungen, Oberflächenbeschaffenheit etc.) ist eine verallgemeinerte Korrelation der mikroskopischen Analyse und resultierenden Bruchspannungen nicht möglich. Die gewonnenen Erkenntnisse liefern jedoch eine gute Abschätzung der Sensitivität verschiedener Prozesse auf die resultierende Bruchfestigkeit. Somit lassen sich für industrielle Anwender potenzielle risikobehaftete Prozesse identifizieren und ggf. Entschärfungsmaßnahmen ableiten.

10 Literatur

1. G. Hawkins, H. Berg, M. Mahalingam, G. Lewis, L. Lofgran: Measurement of strength as affected by wafer back processing, Proc. of the 25th Reliability Physics Symposium, San Diego, CA, USA, April 1987, pp. 216 – 223
2. O. T. Iancu: „Berechnung von thermischen Eigenspannungsfeldern in Keramik/Metall Verbunden“, VDI Fortschritt Berichte, Reihe 18: Mechanik/Bruchmechanik, 1989
3. E. Suhir: „An approximate analysis of stresses in multilayered elastic thin films“, ASME J. Applied Mechanics, Bd. 55, 1988, S. 143-148
4. E. Suhir: „Analytical modeling in electronic packaging structures: Its merits, shortcomings and interaction with experimental and numerical techniques“, ASME J. Applied Mechanics, Bd. 111, 1989, S. 157-161
5. M. Thoben: „Zuverlässigkeit von großflächigen Verbindungen in der Leistungselektronik“, Fortschritt-Berichte VDI, Reihe 9: Elektronik/Mikro- und Nanotechnik, Nr. 363, 2002
6. S. Fischer, H. Beyer, R. Janke, S. Hartwig, J. Wilde, „The influence of package-induced stresses on moulded Hall sensors“, Microsystem Technologies, Vol. 12, No. 1-2, 2005, S. 69-74
7. S. Fischer, H. Beyer, R. Janke, S. Hartwig, J. Wilde, „Comparison of analysis methods for package-induced stresses on moulded Hall sensors“, Microsystem Technologies, Vol. 12, No. 10-11, 2006, S. 1005-1009
8. D. Pustan, „Analyse von Stressfaktoren in Baugruppen der Mechatronik“, PLUS, Bd. 11, Nr. 8, (2009), S. 1831 – 1846.
9. R. Zeiser et al., Verformungsmessung von Mikrosystemen bei hohen Temperaturen mit ESPI, DIC und Holographie, Universität Freiburg, 2013.
10. M. Ranjan, L. Gopalakrishnan, K. Srihari, C. Woychik: Die cracking in flip chip assemblies, Proc. of the 48th IEEE ECTC, Seattle, WA, May 1998, pp. 729 – 733
11. D. Yang, J. Bielen, F. Theunis, W.D. van Driel, G.Q. Zhang: Die fracture probability prediction and design guidelines for laminate-based over-molded packages, Proc. 9th IEEE Euro-SimE, Freiburg i.B., Apr. 2008, pp.1-6

12. B. Vijayakumar, Y. Guo: Failure rate prediction and prevention of die cracking in overmolded plastic packages, Proc. of the IEEE ITherm, San Diego, CA, Jun. 2006, pp. 803-809
13. B. Yeung, T.T. Lee: An overview of experimental methodologies and their applications for die strength measurement, Transactions on Components and Packaging Technologies, vol. 26 (2003), pp 423-428
14. S.-H. Chae, J.-H. Zhao, D.R. Edwards, P.S. Ho: Effect of dicing technique on the fracture strength of Si dies with emphasis on multimodal failure distribution, J. Device and Materials Reliability, Volume 10, Issue: 1, March 2010, pp. 149 – 156
15. S. Schönfelder, J. Bagdahn, M Ebert, M Petzold, K. Bock, C. Landesberger: Investigations of strength properties of ultra-thin silicon, Proc. of the 6th Thermal, Mechanical and Multi-Physics Simulation and Experiments in Micro-Electronics and Micro-Systems, 2005. Euro-SimE, April 2005, pp. 105 – 111
16. D. Pustan: Belastungs- und Zuverlässigkeitsanalyse einer Ball-Grid-Array-Bauform, Albert-Ludwigs-Universität Freiburg, Institut für Mikrosystemtechnik, Dissertation 2010
17. F. Blumrich, Optische korrelationsbasierte Messtechnik mittels zufälliger Punktemuster. Dissertation, Universität Stuttgart, 2009.
18. H. W. Schreier/R. Lichtenberger, *Kombination von Stereoskopie und digitalen Korrelationsverfahren zur Messung von Kontur, Verformung und Dehnung*, 3D-Tag Oldenburg, 2003.
19. L. Donghua et al., Validation of shape context based image registration method using Digital Image Correlation measurement on a rat stomach, URL:
<http://www.hindawi.com/journals/jcm/2014/504656/>